บทที่ 3

การออกแบบและจำลองการทำงานวงจรแต่ละส่วน

การออกแบบวงจรรวมซีมอสส่วนที่เป็นแอนะล็อกนั้น จะต้องศึกษารายละเอียดในระดับทรานซิสเตอร์ ขั้นตอนการออกแบบเริ่มจากการหาพารามิเตอร์ที่สำคัญของทรานซิสเตอร์พีมอสและเอ็นมอส ได้แก่ ค่า k (หรือ μC_{ox}) และ λ (ค่าคงที่ของอิมพีแดนซ์ด้านออก) เพื่อใช้ในการออกแบบวงจรเบื้องต้นด้วยมือ จากนั้นจึงจำลองการทำงานของวงจรด้วยคอมพิวเตอร์ ในการจำลองการทำงานผู้ออกแบบจะต้องตรวจสอบคุณสมบัติของวงจรในแง่ไฟตรง (DC), ไฟสลับ (AC), ผลตอบชั่วครู่ (Transient) และสัญญาณรบกวน นอกจากนี้จะต้องคำนึงถึงความไม่เข้าคู่ของอุปกรณ์และความแปรปรวนในกระบวนการผลิต เพื่อให้วงจรรวมที่เจือสารมีมีผลิตผล (Yield) สูง

เนื้อหาในบทนี้กล่าวถึงข้อมูลเบื้องต้นของทรานซิสเตอร์ที่ใช้ในการออกแบบ จากนั้นจะกล่าวถึงความไม่เป็นอุดมคติของวงจร ได้แก่ ความไม่เข้าคู่และสัญญาณรบกวน และการออกแบบวงจรในระดับทรานซิสเตอร์ของวงจรแอนะล็อกแต่ละส่วน ทั้งการคำนวณ และการจำลองการทำงาน นอกจากนี้ยังกล่าวถึงการออกแบบวงจรในส่วนดิจิทัล ซึ่งต่างจากการออกแบบวงจรแอนะล็อก เนื่องจากเป็นการออกแบบในระดับประตูสัญญาณ (Gate) และจำลองการทำงานโดยใช้แบบจำลองของประตูสัญญาณซึ่งเป็นภาษาวีเอชดีแอล (VHDL) ในตอนท้ายจะกล่าวถึงการจำลองการทำงานซึ่งรวมส่วนประกอบทุกส่วนของระบบไว้ เพื่อยืนยันว่าวงจรทุกส่วนทำงานร่วมกันได้อย่างถูกต้อง

3.1 ข้อมูลเบื้องต้นในการออกแบบ

ทรานซิสเตอร์ที่ใช้ในการออกแบบมาจากกระบวนการผลิตซีมอส (N-well) 0.7 ไมครอน และมีชั้นสาร (Layer) พิเศษสำหรับวงจรแอนะล็อก ของบริษัทอัลคาเทลไมโครอิเล็กทรอนิกส์ เนื่องจากทรานซิสเตอร์ที่ใช้ในงานวิจัยนี้ส่วนใหญ่ต้องการค่าแรงดันเดรนซอร์สอิ่มตัว (V_{dssat}) ต่ำกว่า 200 มิลลิโวลต์ ซึ่งเป็นช่วงที่ความสัมพันธ์ระหว่างกระแสกับแรงดันไม่เป็นไปตามสมการกำลังสองที่ใช้ในการคำนวณอย่างง่ายๆ นอกจากนี้ยังมีทรานซิสเตอร์บางตัวทำงานในย่านซับเทรชโฮลด์ ซึ่งแบบจำลองระดับ 2 หรือ 3 จะให้ผลการจำลองการทำงานที่ผิดพลาดไปได้มาก ดังนั้นการจำลองการทำงานของวงจรแอนะล็อก จะใช้แบบจำลองทรานซิสเตอร์บีซิม 3 รุ่นที่ 3 (BSIM 3 version 3) ซึ่งต้องหาค่าพารามิเตอร์ ได้แก่ k และ λ ที่เหมาะสมออกมา เนื่องจากปรากฏการณ์แชนเนลสั้น

(Short-channel effect) ส่งผลให้ค่า k และ λ เปลี่ยนแปลงตามแรงดัน V_{dssat} และความยาวของทรานซิสเตอร์ (L) การหาค่าพารามิเตอร์ทำได้โดยจำลองการทำงานด้วยวงจรดังรูปที่ 3-1 เมื่อให้แรงดัน V_{GS} มีค่าคงที่ (V_{dssat} คงที่) และเปลี่ยนค่าแรงดัน V_{DS} จาก 0 ไปยัง 5 โวลต์ จะได้กราฟความสัมพันธ์ระหว่าง I_D กับ V_{DS} ซึ่งสามารถนำมาวิเคราะห์หา k และ λ ได้ อย่างไรก็ตามค่าพารามิเตอร์ที่หาได้จะขึ้นอยู่กับค่า L และ V_{dssat} ที่เลือกใช้ด้วย ดังนั้นการหาค่าพารามิเตอร์ด้วยวิธีนี้จึงเป็นการประมาณค่าในเบื้องต้นเท่านั้น

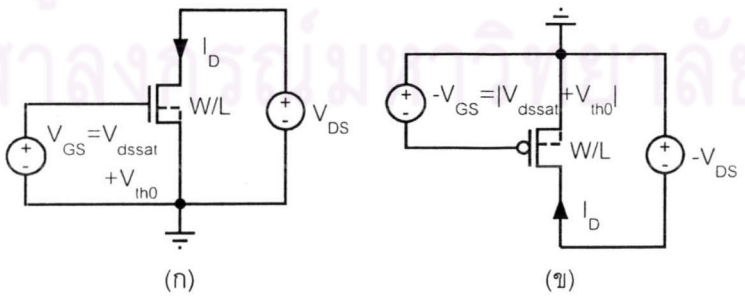
ในงานวิจัยนี้จะใช้ค่าพารามิเตอร์ดังต่อไปนี้ (ได้จากการจำลองการทำงานด้วยแบบจำลองทรานซิสเตอร์ในกระบวนการผลิตปกติ (Typical process)) สำหรับออกแบบวงจรส่วนแอนะล็อก

$$k_n = 90\ \mu A/V^2,\ \lambda_n\big|_{L=3\mu m} = 0.02\ V^{-1}$$
$$k_p = 30\ \mu A/V^2,\ \lambda_p\big|_{L=3\mu m} = 0.03\ V^{-1} \qquad (3\text{-}1)$$

เมื่อ x_n และ x_p เป็นพารามิเตอร์ของทรานซิสเตอร์เอ็นมอส และพีมอสตามลำดับ สำหรับทรานซิสเตอร์ซึ่งมีความยาวมากกว่า 3 μm ขึ้นไป ค่า k จะไม่ได้รับผลกระทบจากปรากฏการณ์แชนเนลสั้น ทำให้ค่า k มีค่าไม่ขึ้นกับแรงดัน V_{dssat} และความยาว อย่างไรก็ตาม ที่แรงดัน V_{dssat} ต่ำกว่า 200 mV ค่า k จะเปลี่ยนแปลงตาม V_{dssat} เนื่องจากทรานซิสเตอร์ไม่ได้ทำงานในย่านอินเวอร์ชันแรง (Strong inversion)

3.2 ความไม่เป็นอุดมคติในวงจรรวม

วงจรรวมที่ผลิตขึ้นมาแล้วจะต้องเผชิญกับปัญหาหลักสองปัญหาด้วยกัน คือ ความไม่เข้าคู่ของอุปกรณ์ (Device mismatches) และสัญญาณรบกวน ในขั้นตอนการออกแบบวงจรจะต้องคำนึงถึงผลจากปัญหาเหล่านี้ด้วย ไม่เช่นนั้นวงจรที่ออกแบบมาอาจไม่สามารถทำงานได้เมื่อนำมาผลิตจริง ดังนั้นหัวข้อนี้จะกล่าวถึงการหาค่าพารามิเตอร์ที่บ่งบอกถึงขนาดของผลกระทบเนื่องจากความไม่เป็นอุดมคติแต่ละอย่างที่มีต่อวงจร ซึ่งนำไปสู่การออกแบบวงจรในหัวข้อต่อไป



(ก) (ข)

รูปที่ 3-1 วงจรที่ใช้ในการหาค่าพารามิเตอร์ของทรานซิสเตอร์ (ก) เอ็นมอส (ข) พีมอส

3.2.1 ความไม่เข้าคู่ของอุปกรณ์

ความแปรปรวนในกระบวนการผลิตสามารถจำแนกได้สองรูปแบบ ได้แก่ ความแปรปรวนแบบโกลบอล (Global variation) และความแปรปรวนแบบท้องถิ่น (Local variation) ความแปรปรวนรูปแบบแรกหมายถึงความแตกต่างของค่าของอุปกรณ์เดียวกันระหว่างแผ่นเวเฟอร์หรือรอบการผลิต ส่วนความแปรปรวนแบบท้องถิ่นเป็นการเปรียบเทียบความแตกต่างระหว่างอุปกรณ์บนชิปเดียวกันและเป็นอุปกรณ์ที่วางอยู่ใกล้กัน

การศึกษาผลจากความแปรปรวนแบบโกลบอลทำได้โดยเปลี่ยนแบบจำลองของอุปกรณ์ที่ใช้จำลองการทำงานวงจรที่ออกแบบ โดยทั่วไปสามารถแบ่งแบบจำลองของอุปกรณ์ในวงจรรวมออกได้สามสภาวะ ได้แก่ แบบจำลองในสภาวะปกติ, สภาวะเร็วยิ่ง (Extremely fast) และสภาวะช้ายิ่ง (Extremely slow) การใช้แบบจำลองทั้งสามสภาวะมาจำลองการทำงานของวงจรจะช่วยยืนยันว่า วงจรที่ออกแบบสามารถทำงานได้แม้ว่าจะเกิดความแปรปรวนแบบโกลบอลขึ้นระหว่างชิปที่ไม่ได้มาจากแผ่นเวเฟอร์เดียวกัน หรือรอบการผลิตเดียวกัน

อย่างไรก็ตามในการออกแบบวงจรแอนะล็อกที่ต้องการความแม่นยำสูงนั้น ความแปรปรวนแบบโกลบอลไม่ได้ส่งผลกระทบต่อความแม่นยำของวงจรมากนัก เนื่องจากความแม่นยำของวงจรจะขึ้นอยู่กับอุปกรณ์ที่เป็นคู่กันบนวงจรเดียวกัน เช่น คู่ทรานซิสเตอร์ในวงจรสะท้อนกระแสหรือวงจรขยายผลต่าง และคู่ตัวเก็บประจุที่ใช้กำหนดอัตราขยายของวงจรสวิตช์ตัวเก็บประจุ เป็นต้น ความแปรปรวนแบบท้องถิ่นจะเป็นตัวกำหนดความไม่เข้าคู่ระหว่างอุปกรณ์ที่เป็นคู่กันเหล่านี้ ซึ่งหมายถึงความแม่นยำของวงจรด้วย ดังนั้นความไม่เข้าคู่ของอุปกรณ์ที่อ้างอิงถึงในส่วนต่างๆ ของวิทยานิพนธ์นี้จะหมายถึงความผิดพลาดของคุณสมบัติต่างๆ ระหว่างอุปกรณ์ที่เป็นคู่ ซึ่งเกิดจากความแปรปรวนแบบท้องถิ่น

3.2.1.1 ความไม่เข้าคู่ของทรานซิสเตอร์มอส

ความไม่เข้าคู่ของทรานซิสเตอร์มอสเกิดขึ้นได้จากสาเหตุหลายอย่าง เช่น ความแตกต่างของความหนาแน่นประจุใต้เกต, ความหนาของชั้นออกไซด์ใต้เกต, ขนาด และความเคลื่อนที่ได้ เป็นต้น สาเหตุดังกล่าวสามารถนำมาสร้างแบบจำลองของความไม่เข้าคู่เพื่อใช้ทำนายความผิดพลาดที่เกิดขึ้นกับคุณสมบัติของทรานซิสเตอร์ได้ [38]

แบบจำลองที่ใช้ทั่วไปจะแบ่งสาเหตุของความไม่เข้าคู่ออกเป็นสองสาเหตุด้วยกัน คือความไม่เข้าคู่ของแรงดันเทรชโฮลด์ และความไม่เข้าคู่ของค่าคงตัวทรานส์คอนดักแตนซ์ (Transconductance constant หรือ $\beta = \mu C_{ox}(W/L)$) ความไม่เข้าคู่ที่เกิดจากทั้งสองสาเหตุนั้นเป็นตัวแปรสุ่มซึ่งมีความแปรปรวน (Variance) เป็นไปตามสมการ

$$\sigma_{Vth}^2 = \frac{A_{Vth}^2}{WL} + C_{Vth}^2 \tag{3-2}$$

$$\frac{\sigma_\beta^2}{\beta^2} = \frac{A_\beta^2}{WL} + C_\beta^2 \tag{3-3}$$

เมื่อ A_{Vth} กับ C_{Vth} เป็นค่าคงตัวซึ่งขึ้นกับความไม่เข้าคู่ของแรงดันเทรชโฮลด์ และ A_β กับ C_β เป็นค่าคงตัวซึ่งขึ้นกับความไม่เข้าคู่ของค่าคงตัวทรานส์คอนดักแตนซ์ ค่าคงตัวเหล่านี้เป็นข้อมูลซึ่งขึ้นอยู่กับโรงงานเจือสาร [39] โดยทั่วไปเมื่อพื้นที่เกตมีค่าไม่เกิน 1000 μm^2 ผลจากค่าคงตัว C_{Vth} และ C_β สามารถจะละเลยได้ เช่น สมมติให้ A_{Vth} = 20 mV·μm, C_{Vth} = 0.3 mV, A_β = 0.02 μm และ C_β = 0 สำหรับทรานซิสเตอร์พีมอสขนาด 80/16 จะมีค่า σ_{Vth}^2 = (0.3125 + 0.09)×10^{-6} V^2 และ σ_β^2/β^2 = 0.3125×10^{-6} + 0

ความแปรปรวนดังกล่าวจะนำมาใช้หาค่าความไม่เข้าคู่ของกระแสเดรนระหว่างคู่ทรานซิสเตอร์ได้ดังสมการ [40]

$$\left(\frac{\sigma_{Id}^2}{I_d^2}\right)_{strong} = 4\frac{\sigma_{Vth}^2}{V_{dssat}^2} + \frac{\sigma_\beta^2}{\beta^2} \tag{3-4}$$

สมการดังกล่าวใช้อธิบายทรานซิสเตอร์ที่ทำงานในย่านอินเวอร์ชันแรง และถ้าแรงดัน V_{dssat} มีค่าไม่เกิน 1 โวลต์ เราสามารถจะละเลยความแปรปรวนของค่าคงตัวทรานส์คอนดักแตนซ์ได้ [41] ทำให้ความไม่เข้าคู่ของกระแสเดรนมีค่าประมาณดังสมการ

$$\left(\frac{\sigma_{Id}^2}{I_d^2}\right)_{strong} \cong 4\frac{\sigma_{Vth}^2}{V_{dssat}^2} \tag{3-5}$$

เช่น จากตัวอย่างในย่อหน้าที่แล้ว เมื่อนำค่า σ_{Vth}^2 และ σ_β^2/β^2 ที่ได้มาแทนในสมการที่ (3-4) จะได้ความไม่เข้าคู่ของกระแสเดรน $\sigma_{Id}^2/I_d^2 = (1.61/V_{dssat}^2 + 0.3125)\times 10^{-6}$ ถ้าแรงดัน V_{dssat} = 0.2 V จะได้ $\sigma_{Id}^2/I_d^2 = (6.4\times 10^{-3})^2$ คิดเป็นความไม่เข้าคู่ของกระแส 0.64 % โดยที่พจน์ σ_β^2/β^2 แทบไม่มีผลต่อความไม่เข้าคู่

จากแบบจำลองความไม่เข้าคู่ดังกล่าวสามารถนำมาหาค่าแรงดันออฟเซตของวงจรขยายผลต่างที่มีคู่รับเข้าเป็นทรานซิสเตอร์พีมอสได้ดังแสดงในภาคผนวก ข และแรงดันออฟเซตมีค่าดังสมการ

$$\sigma_{Vos}^2 \cong \sigma_{Vthp}^2 + \frac{V_{dssatp}^2}{V_{dssatn}^2}\sigma_{Vthn}^2 = \sigma_{Vthp}^2 + \frac{\beta_n}{\beta_p}\sigma_{Vthn}^2 \tag{3-6}$$

เมื่อ β_p และ β_n เป็นค่าคงตัวทรานส์คอนดักแตนซ์ของพีมอสซึ่งเป็นคู่รับเข้า (Input pair) และเอ็นมอสซึ่งเป็นคู่สะท้อนกระแสของวงจรขยายตามลำดับ

สำหรับความไม่เข้าคู่ของทรานซิสเตอร์ซึ่งทำงานในย่านซับเทรชโฮลด์นั้นไม่มีการพิสูจน์ไว้ในเอกสารใดๆ แต่มีงานวิจัยที่วัดความไม่เข้าคู่ของทรานซิสเตอร์ในย่านซับเทรชโฮลด์ไว้ Forti [42] กล่าวว่าความไม่เข้าคู่ของกระแสเดรนจะคงที่ ไม่ขึ้นกับแรงดันเกตซอร์ส (V_{gs}) เมื่ออยู่ในย่านซับเทรชโฮลด์ สอดคล้องกับสมการที่ Pelgrom [40] ใช้ประมาณค่าความไม่เข้าคู่ของกระแสในย่านซับเทรชโฮลด์

$$\left(\frac{\sigma_{Id}^2}{I_d^2}\right)_{sub} = \frac{\sigma_{Vth}^2}{(mkT/q)^2} = \frac{\sigma_{Vth}^2}{(mV_T)^2} \tag{3-7}$$

เมื่อ k คือค่าคงที่ของโบลทซ์มานน์ (Boltzmann's constant), T คืออุณหภูมิสัมบูรณ์, q คือประจุของอิเล็กตรอน และ m ≅ 1.5 ความไม่เข้าคู่ของกระแสในย่านซับเทรชโฮลด์เทียบกับย่านอินเวอร์ชันแรง เป็นดังสมการ

$$\frac{\left(\sigma_{Id}^2/I_d^2\right)_{sub}}{\left(\sigma_{Id}^2/I_d^2\right)_{strong}} = \frac{V_{dssat}^2/4}{(1.5\cdot V_T)^2} = \frac{V_{dssat}^2}{9\cdot V_T^2} \tag{3-8}$$

โดยทั่วไปแรงดัน V_{dssat} มีค่ามากกว่า 200 mV และ V_T มีค่าไม่เกิน 40 mV ทำให้ความไม่เข้าคู่ของกระแสในย่านซับเทรชโฮลด์มากกว่าย่านอินเวอร์ชันแรงอย่างน้อยสองเท่า

สิ่งที่มีผลต่อความไม่เข้าคู่ของทรานซิสเตอร์อีกประการหนึ่งคือผลจากปรากฏการณ์ตัวฐานรอง งานวิจัยของ Chen [43] พบว่าการไบแอสย้อนหัวต่อระหว่างตัวฐานรองกับซอร์ส (V_{BS}<0 สำหรับเอ็นมอส และ V_{BS}>0 สำหรับพีมอส) จะทำให้ความไม่เข้าคู่ของทรานซิสเตอร์ซึ่งทำงานในย่านซับเทรชโฮลด์เพิ่มขึ้น ดังสมการ

$$\frac{\sigma_{Id}^2}{I_d^2} \cong \left|1.5\phi_f - V_{BS}\right| \frac{\sigma_\gamma^2}{(mV_T)^2} + \frac{\sigma_{FB}^2}{(mV_T)^2} \tag{3-9}$$

เมื่อ ϕ_f คือระดับเฟอร์มิ (Fermi level) ของสารกึ่งตัวนำที่เป็นตัวฐานรอง, σ_γ^2 คือความแปรปรวนของสัมประสิทธิ์ของปรากฏการณ์ตัวฐานรอง (Body effect coefficient, γ) และ σ_{FB}^2 คือความแปรปรวนของแรงดันแถบเรียบ (Flat-band voltage, V_{FB}) จากการทดลองของ Chen พบว่าเมื่อมีแรงดันไบแอสย้อนที่หัวต่อดังกล่าวข้างต้นถึง –2 โวลต์ จะทำให้ความไม่เข้าคู่ของกระแสเพิ่มขึ้น 2 เท่า ปัญหาความไม่เข้าคู่ที่เกิดจากแรงดัน V_{BS} นี้สามารถหลีกเลี่ยงได้ในกรณีที่ใช้ทรานซิสเตอร์พีมอสซึ่งลัดวงจรตัวฐานรองเข้ากับซอร์สของทรานซิสเตอร์ ทำให้แรงดัน V_{BS}=0 เสมอ นอกจากนี้ในกระบวนการผลิตที่ใช้สำหรับงานวิจัยมีทรานซิสเตอร์พีมอสซึ่งมีแรงดันเทรชโฮลด์ต่ำ ซึ่งมีคุณสมบัติส่วนใหญ่ใกล้เคียงกับทรานซิสเตอร์พีมอสปกติ เว้นแต่ทรานซิสเตอร์แบบมีแรงดันเทรชโฮลด์ต่ำนี้จะมีความไม่เข้าคู่สูงกว่า ดังนั้นในการออกแบบวงจรที่ต้องการความแม่นยำจึงควรหลีกเลี่ยงทรานซิสเตอร์ชนิดนี้

3.2.1.2 **ความไม่เข้าคู่ของอุปกรณ์อื่น ๆ**

อุปกรณ์อื่นๆ ที่ต้องให้ความสนใจ ได้แก่ ตัวต้านทาน และตัวเก็บประจุ อุปกรณ์ทั้งสองตัวนี้สามารถคำนวณหาความไม่เข้าคู่ได้จากค่าสัมประสิทธิ์ซึ่งระบุไว้ในเอกสารจากโรงงานเจือสาร [39] ความไม่เข้าคู่ของอุปกรณ์ทั้งสองชนิดนี้จะแปรผันตามส่วนกลับของรากที่สองของพื้นที่ของอุปกรณ์ดังสมการ

$$\frac{\sigma_R^2}{R^2} = \frac{A_R^2}{W_R L_R} + C_R^2 \tag{3-10}$$

$$\frac{\sigma_C^2}{C^2} = \frac{A_C^2}{W_C L_C} + C_C^2 \tag{3-11}$$

เมื่อ σ_R^2, σ_C^2 คือความแปรปรวนของค่าความต้านทาน และความเก็บประจุตามลำดับ W_R, W_C คือความกว้างที่วาดบนลายวงจรของตัวต้านทาน และตัวเก็บประจุตามลำดับ L_R, L_C คือความยาวที่วาดบนลายวงจรของตัวต้านทาน และตัวเก็บประจุตามลำดับ A_R, C_R คือค่าคงตัวซึ่งขึ้นกับความไม่เข้าคู่ของตัวต้านทาน และ A_C, C_C คือค่าคงตัวซึ่งขึ้นกับความไม่เข้าคู่ของตัวเก็บประจุ ตัวอย่างเช่น ถ้าค่าคงตัวในสมการ (3-10) มีค่าดังต่อไปนี้ A_R = 0.03 μm และ C_R = 0.001 จะหาความไม่เข้าคู่ของตัวต้านทาน 33.4 kΩ ซึ่งมีขนาด 66.8/4 ได้เท่ากับ 0.0021 หรือ 0.21 %

3.2.2 **สัญญาณรบกวน**

สัญญาณรบกวนในวงจรรวมเกิดจากสัญญาณรบกวนสามชนิดหลัก ได้แก่ สัญญาณรบกวนเชิงอุณหภูมิ (Thermal noise), สัญญาณรบกวนประทุ (Shot noise) และสัญญาณรบกวนฟลิกเกอร์ (Flicker noise) สำหรับวงจรรวมซีมอส สัญญาณรบกวนที่มีผลต่อวงจรมากที่สุดคือ สัญญาณรบกวนเชิงอุณหภูมิ และสัญญาณรบกวนฟลิกเกอร์ [18]

สัญญาณรบกวนฟลิกเกอร์มีความหนาแน่นสเปกตรัมซึ่งแปรผกผันกับความถี่ และสามารถเขียนฟังก์ชันความหนาแน่นสเปกตรัม (Spectral density function) ได้ดังสมการ

$$V_{1/f}^2(f) = \frac{K_f}{WLC_{ox}f} \tag{3-12}$$

เมื่อ K_f คือค่าคงที่ซึ่งขึ้นอยู่กับชนิดของทรานซิสเตอร์ และ W, L และ C_{ox} คือความกว้าง, ความยาว และค่าความเก็บประจุของเกตต่อหน่วยพื้นที่ ตามลำดับ ค่า K_f สามารถหาได้โดยนำทรานซิสเตอร์เอ็นมอสและพีมอสมาจำลองการทำงาน เพื่อหาความหนาแน่นสเปกตรัมของสัญญาณรบกวน ที่ความถี่ต่ำ สัญญาณรบกวนฟลิกเกอร์จะมีขนาดใหญ่มาก ทำให้ละเลยผลของสัญญาณรบกวนเชิงอุณหภูมิได้ และจากสเปกตรัมดังกล่าวจะสามารถคำนวณหาค่า K_f ได้ สำหรับกระบวนการผลิตที่ใช้กับงานวิจัยนี้มีค่า K_f ดังต่อไปนี้

$$K_{fn} = 2.5 \times 10^{-24} V^2 \cdot F$$
$$K_{fp} = 9.9 \times 10^{-26} V^2 \cdot F \quad (3\text{-}13)$$

จะเห็นได้ว่าสเปกตรัมของสัญญาณรบกวนฟลิกเกอร์ในทรานซิสเตอร์พีมอส มีค่าต่ำกว่าของทรานซิสเตอร์เอ็นมอสประมาณ 25 เท่า (เมื่อทรานซิสเตอร์มีขนาดเท่ากัน)

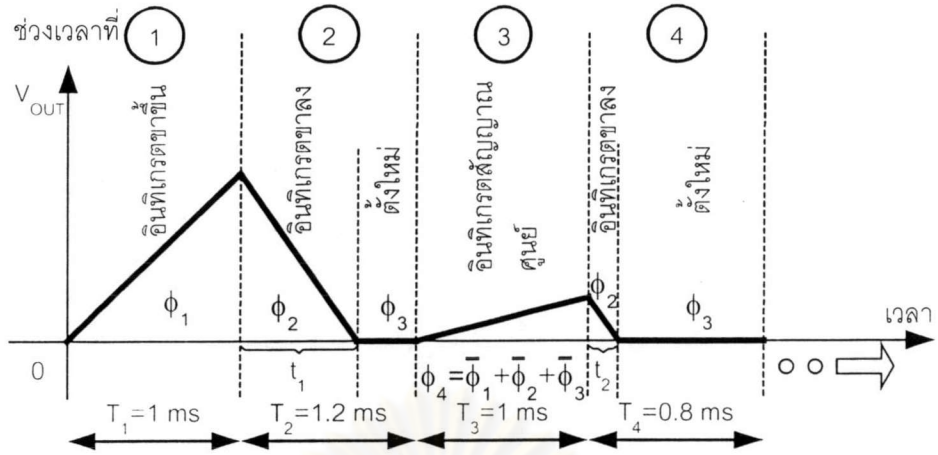
ผลของสัญญาณรบกวนจะมีความสำคัญต่อความถูกต้องในการแปลงแอนะล็อกเป็นดิจิทัล ในงานวิจัยนี้สัญญาณรบกวนที่เราสนใจ ได้แก่ สัญญาณรบกวนจากวงจรส่วนหน้า, ออปแอมป์ และตัวเปรียบเทียบ สัญญาณรบกวนในรูปกระแสจากวงจรส่วนหน้าจะรวมกับสัญญาณกระแสที่ต้องการวัด ขณะที่สัญญาณรบกวนจากออปแอมป์ทำให้แรงดันที่ด้านออกของตัวอินทิเกรตมีค่าเปลี่ยนแปลงไป หรือสัญญาณรบกวนของตัวเปรียบเทียบทำให้เปรียบเทียบค่าผิด สาเหตุดังกล่าวเป็นเหตุให้ค่าดิจิทัลที่ได้ผิดไป แต่การหาผลของสัญญาณรบกวนที่มีต่อการแปลงแอนะล็อกเป็นดิจิทัลนั้น จะทำได้ก็ต่อเมื่อทราบฟังก์ชันถ่ายโอนของเอดีซีต่อสัญญาณรบกวนเสียก่อน จึงจะวิเคราะห์ได้อย่างถูกต้อง

3.2.2.1 การทำงานของเอดีซีแบบสี่สโลป

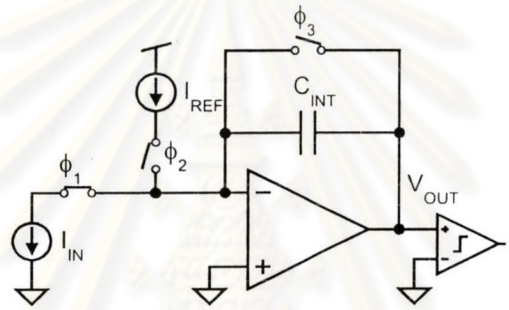
การหาฟังก์ชันถ่ายโอนของเอดีซีจะต้องเข้าใจหลักการทำงานของเอดีซีก่อน จึงจะสามารถวิเคราะห์ผลของเอดีซีต่อความหนาแน่นสเปกตรัมสัญญาณรบกวนได้ ดังนั้นผู้เขียนจึงยกแนวคิดการทำงานของเอดีซีแบบสี่สโลปมากล่าวในหัวข้อนี้ เพื่อให้เกิดความต่อเนื่องในการทำความเข้าใจฟังก์ชันถ่ายโอนสัญญาณรบกวนของเอดีซีในหัวข้อถัดไป

การทำงานของเอดีซีแบบสี่สโลปประกอบด้วยการแปลงสัญญาณแบบดูอัลสโลปสองครั้ง สามารถอธิบายได้ด้วยแผนภาพเวลาดังรูปที่ 3-2 เฟสการทำงานของวงจรแบ่งออกเป็นสี่เฟส ได้แก่ เฟสการอินทิเกรตขาขึ้น เฟสการอินทิเกรตขาลง (Down-integrating phase) เฟสการรีเซต (Resetting phase) และเฟสการอินทิเกรตสัญญาณศูนย์ (Zero-integrating phase) โครงสร้างของวงจรเป็นดังรูปที่ 3-3

การแปลงสัญญาณหนึ่งรอบ สามารถแบ่งเวลาที่ใช้ในการทำงานออกได้เป็นสี่ช่วง โดยที่แต่ละช่วงนั้นจะมีระยะเวลาที่แน่นอน ในช่วงแรกวงจรจะอินทิเกรตสัญญาณกระแสขาเข้าตลอดช่วงระยะเวลาที่หนึ่ง (เป็นเวลา 1 ms) เมื่อหมดเวลาแล้ววงจรก็จะสลับเอากระแสอ้างอิงมาใช้ในการอินทิเกรตขาลง ซึ่งหมายถึงการอินทิเกรตด้วยกระแสที่กลับทิศทาง การอินทิเกรตขาลงจะสิ้นสุดเมื่อระดับสัญญาณที่ขาออกของตัวอินทิเกรตมีค่าเท่ากับค่าเริ่มต้นที่ตั้งไว้ก่อนการอินทิเกรต ระยะเวลาที่เหลือในช่วงที่สองนี้จะถูกเติมให้เต็มโดยเฟสการรีเซต (รวมเวลาทั้งสิ้น 1.2 ms) ในเฟสนี้วงจรจะคายประจุที่ตกค้างอยู่ในตัวเก็บประจุ ในช่วงที่สาม (ระยะเวลา 1 ms) จะเป็นการอินทิเกรตโดยไม่ใช้สัญญาณใดๆ



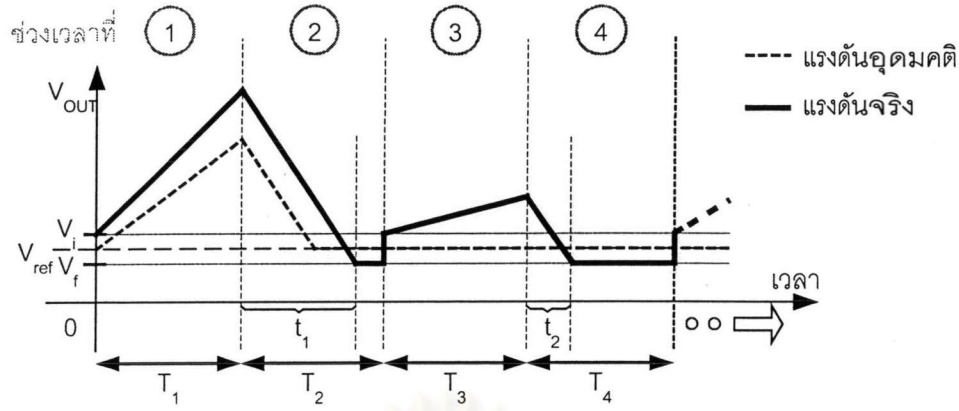
รูปที่ 3-2 แผนภาพเวลาของการแปลงผันสัญญาณแอนะลอกเป็นดิจิตอลแบบสี่สโลป



รูปที่ 3-3 โครงสร้างวงจรเอดีซีแบบสี่สโลป

ซึ่งสวิตช์ทุกตัวในรูปที่ 3-3 จะเปิดวงจร สิ่งที่จะมีผลต่อระยะเวลาของช่วงการอินทิเกรตขาลงในช่วงเวลาถัดไปจะมีแต่ออฟเซตและสัญญาณรบกวน และในช่วงสุดท้าย (ระยะเวลา 0.8 ms) จะเป็นการอินทิเกรตขาลง และตามด้วยการรีเซตเช่นเดียวกับในช่วงที่สอง เมื่อวงจรทำงานครบรอบใช้เวลาทั้งสิ้น 4 ms (อัตราการแปลงสัญญาณ 250 เฮิรตซ์) การแปลงสัญญาณก็จะวนกลับมาเริ่มต้นใหม่ที่ช่วงที่หนึ่งอีกครั้ง และวนซ้ำไปเรื่อยๆ สาเหตุที่ระยะเวลาในช่วงที่สองนานกว่าช่วงที่หนึ่งเพราะต้องเผื่อผลเนื่องจากออฟเซตด้วย (ออฟเซตทำให้ค่าเต็มสเกลของกระแสรับเข้ามีค่ามากกว่ากระแสอ้างอิง ดังนั้นการอินทิเกรตขาลงจึงใช้เวลานานกว่าการอินทิเกรตขาขึ้น)

ตัวเปรียบเทียบซึ่งอยู่ถัดจากตัวอินทิเกรตจะทำหน้าที่วัดระยะเวลาที่วงจรใช้ในการอินทิเกรตขาลง คือ t_1 และ t_2 ซึ่งแสดงในรูปที่ 3-2 และค่าที่ได้นี้จะถูกนำไปประมวลผลในโดเมนดิจิทัล (Digital domain) ต่อไป ในทางอุดมคติแล้วค่า t_2 ที่ได้นั้นควรจะมีค่าเท่ากับศูนย์เนื่องจากไม่มีสัญญาณใดๆ ถูกนำไปอินทิเกรต แต่ในความเป็นจริง t_2 จะมีค่าไม่เท่ากับศูนย์ดังรูปที่ 3-4 สาเหตุหลักสองประการที่ทำให้สัญญาณอินทิเกรตจากเอดีซีมีค่าเปลี่ยนไป ได้แก่ ประการแรกสัญญาณที่เกิดขึ้นจากการฉีดประจุของสวิตช์รวมทั้ง



รูปที่ 3-4 ผลของออฟเซตต่อสัญญาณของเอดีซี

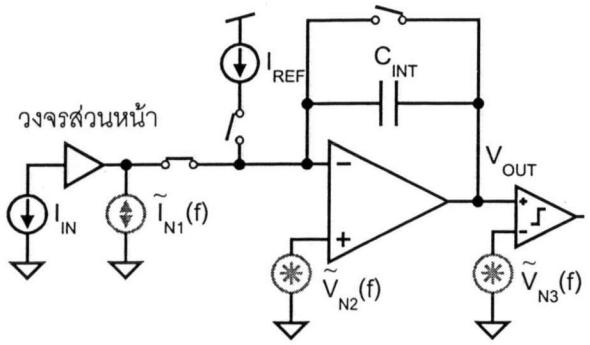
สัญญาณรบกวนภายในวงจรในรูปของกระแสซึ่งถูกอินทิเกรตได้ ทำให้ความชันของสัญญาณช่วงอินทิเกรตขาขึ้นเพิ่มขึ้นหรือลดลงตามทิศทางของสัญญาณรบกวนซึ่งเสริมหรือหักล้างกับสัญญาณรับเข้า และประการที่สองออฟเซตที่เกิดขึ้นในตัวอินทิเกรตและตัวเปรียบเทียบจะทำให้ระดับแรงดันอ้างอิงที่เอดีซีมองเห็นมีค่าเปลี่ยนไป ออฟเซตของตัวอินทิเกรตจะทำให้ค่าแรงดันเริ่มต้น V_i มีค่าต่างจาก V_{ref} ส่วนออฟเซตของตัวเปรียบเทียบจะทำให้แรงดันเมื่อสิ้นสุดการอินทิเกรตขาลง V_f มีค่าไม่เท่ากับ V_{ref} ผลจากออฟเซตดังกล่าวทำให้ระยะเวลาที่วัดได้คลาดเคลื่อนไป อย่างไรก็ตามความคลาดเคลื่อนดังกล่าวจะปรากฏทั้งในการวัดค่า t_1 และ t_2 ดังนั้นอาจถือได้ว่า t_2 เป็นตัววัดความผิดพลาดในการแปลงสัญญาณ และการนำค่าผิดพลาดที่ได้นี้ไปหักออกจาก t_1 ที่วัดได้ ทำให้สามารถคำนวณค่าสัญญาณเข้าที่ถูกต้องได้ สังเกตว่าในทางปฏิบัติแล้ว t_2 มีค่าน้อยกว่าศูนย์ไม่ได้ ดังนั้นโครงสร้างของเอดีซีดังกล่าวจะต้องมีความผิดพลาดรวมเป็นบวก ซึ่งอาจทำได้โดยการเติมกระแสออฟเซตค่าบวกเข้าไปในการอินทิเกรตทั้งช่วงเวลาที่หนึ่งและสาม

3.2.2.2 ฟังก์ชันถ่ายโอนสัญญาณรบกวนของเอดีซีแบบสี่สโลป

แหล่งกำเนิดสัญญาณรบกวนที่สำคัญในงานวิจัยนี้แบ่งออกเป็นกลุ่มใหญ่ได้สองกลุ่ม ได้แก่ สัญญาณรบกวนกระแสจากวงจรส่วนหน้า $\widetilde{I}_{N1}(f)$ และสัญญาณรบกวนแรงดันจากตัวอินทิเกรต $\widetilde{V}_{N2}(f)$ และตัวเปรียบเทียบ $\widetilde{V}_{N3}(f)$ ดังรูปที่ 3-5

สัญญาณรบกวนกระแสจากวงจรส่วนหน้าจะถูกแปลงเป็นแรงดันโดยตัวอินทิเกรตเวลาจำกัด (Finite-time integrator) และปรากฏที่ปม V_{OUT} ในที่นี้จะแทนแรงดันรบกวนที่เกิดจากกระแสด้วย $\widetilde{V}_{ON1}(f)$ และฟังก์ชันถ่ายโอนของตัวอินทิเกรตเวลาจำกัดเป็นดังสมการ

$$\left\| \frac{V_{OUT}(f)}{I_{IN}(f)} \right\| = \frac{T_1}{C_{INT}} \left| \mathrm{sinc}\left(\frac{2\pi f \cdot T_1}{2} \right) \right| \qquad (3\text{-}14)$$



รูปที่ 3-5 แหล่งกำเนิดสัญญาณรบกวนในเอดีซี

เมื่อ T_1=1ms และ $\mathrm{sinc}(x) = \sin(x)/x$ ฟังก์ชันถ่ายโอนดังกล่าวจะมีอัตราขยายเท่ากับศูนย์ที่ความถี่เป็นจำนวนเต็มเท่าของ $1/T_1$ และมีอัตราขยายลดลงอย่างรวดเร็วที่ความถี่สูงกว่า $1/T_1$ ทั้งนี้ฟังก์ชันถ่ายโอนของตัวอินทิเกรตเวลาจำกัดสามารถใช้ได้กับสัญญาณรบกวนกระแสด้วยเช่นกัน จึงสามารถหาความหนาแน่นสเปกตรัมของสัญญาณรบกวน $\tilde{V}_{ON1}(f)$ ได้ดังสมการ

$$\left\|\tilde{V}_{ON1}(f)\right\| = \frac{T_1}{C_{INT}}\left|\mathrm{sinc}(\pi f T_1)\right|\left\|\tilde{I}_{N1}(f)\right\| \tag{3-15}$$

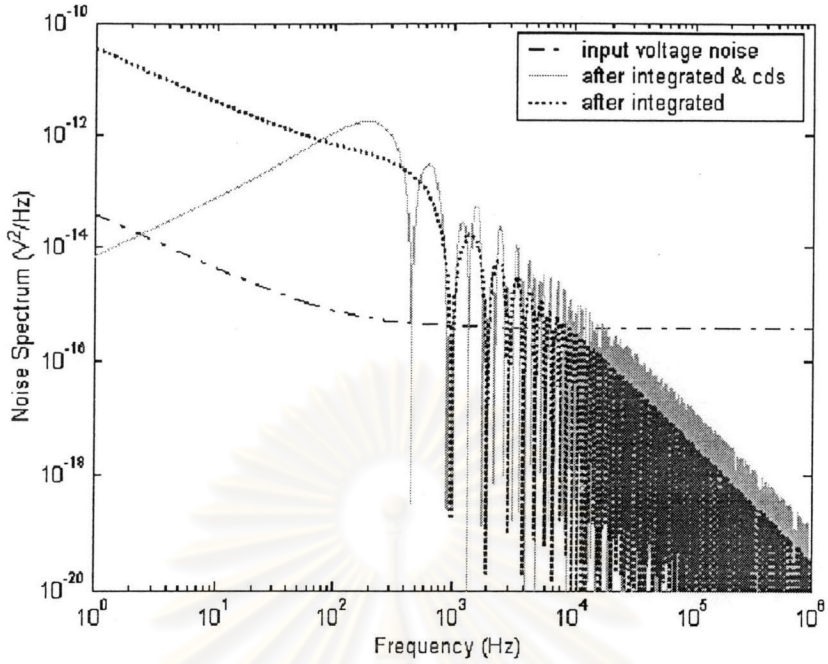
สมมติให้แหล่งกำเนิดสัญญาณรบกวนคือทรานซิสเตอร์พีมอสตัวหนึ่ง ซึ่งมีค่า g_m = 30 μA/V และขนาด 80/16 ความเก็บประจุ C_{ox} = 0.002 F/m^2 ที่อุณหภูมิ 300 K ความหนาแน่นสเปกตรัมของสัญญาณรบกวนแรงดันเชิงอุณหภูมิ และฟลิกเกอร์รวมกัน มีกราฟเป็นดังเส้นประในรูปที่ 3-6 ($\tilde{I}_N^2(f) = g_m^2 \cdot \tilde{V}_N^2(f)$) ผลของฟังก์ชันถ่ายโอนของตัวอินทิเกรต เวลาจำกัด (T_1 = 1 ms และ C_{INT} = 1 nF) แสดงด้วยเส้นประหนา ฟังก์ชันถ่ายโอนดังกล่าวทำให้ความหนาแน่นสเปกตรัมที่ความถี่ต่ำมีค่าเพิ่มขึ้น และถูกลดทอนที่ความถี่สูง สำหรับวงจรส่วนหน้าซึ่งมีแบนด์วิดท์กว้าง เนื่องจากทำงานในโหมดกระแส การลดทอนสัญญาณรบกวนที่ความถี่สูงช่วยลดสัญญาณรบกวนลงได้มาก แต่สัญญาณรบกวนที่ความถี่ต่ำจะมีค่ามากขึ้น จึงต้องใช้การแปลงสัญญาณแบบสี่สโลปเพื่อกำจัดสัญญาณรบกวนที่ความถี่ต่ำ

สัญญาณรบกวนแรงดันของตัวอินทิเกรต $\tilde{V}_{N2}(f)$ จะทำให้เกิดสัญญาณรบกวนที่ปม V_{OUT} เขียนแทนด้วยสัญลักษณ์ $\tilde{V}_{ON2}(f)$ และสัมพันธ์กันดังสมการ

$$\tilde{V}_{ON2}(f) = \frac{A_V(f)}{1 + A_V(f)}\tilde{V}_{N2}(f) \tag{3-16}$$

สมมติว่าออปแอมป์ที่ใช้เป็นแบบขั้วเดียว และมีอัตราขยายเป็นดังสมการ

$$A_V(f) = \frac{A_{VDC}}{1 + s \cdot A_{VDC}/(2\pi f_{u,oa})} \tag{3-17}$$



รูปที่ 3-6 ความหนาแน่นสเปกตรัมของสัญญาณรบกวนจากทรานซิสเตอร์ และผลจากฟังก์ชันถ่ายโอนของเอดีซี

เมื่อ A_{VDC} เป็นอัตราขยายไฟตรง และ $f_{u,oa} = A_{VDC} \cdot f_p$ คือแบนด์วิดท์อัตราขยายเป็นหนึ่ง (Unity-gain bandwidth) ของออปแอมป์ เมื่อนำไปแทนในสมการ (3-16) จะได้

$$\widetilde{V}_{ON2}(f) \cong \frac{1}{1+s/(2\pi f_{u,oa})}\widetilde{V}_{N2}(f) \tag{3-18}$$

ในทำนองเดียวกันสมมติว่าตัวเปรียบเทียบที่ใช้มีขั้วเดียว และมีอัตราขยายเหมือนในสมการ (3-17) จะสามารถหาสัญญาณรบกวนแรงดันที่ปม V_{OUT} เนื่องจากสัญญาณรบกวนของตัวเปรียบเทียบ $\widetilde{V}_{N3}(f)$ ได้ดังสมการ

$$\widetilde{V}_{ON3}(f) \cong \frac{1}{1+s/(2\pi f_{u,cp})}\widetilde{V}_{N3}(f) \tag{3-19}$$

เมื่อ $f_{u,cp}$ คือแบนด์วิดท์อัตราขยายเป็นหนึ่งของตัวเปรียบเทียบ

เมื่อพิจารณาการทำงานของเอดีซีแบบสี่สโลปจะพบว่าในคาบการแปลงแอนะล็อกเป็นดิจิทัลหนึ่งคาบ สัญญาณรบกวนจะถูกชักตัวอย่างสองครั้ง และนำค่าที่ชักตัวอย่างได้มาลบกัน ซึ่งเป็นหลักการเดียวกับเทคนิคการชักตัวอย่างคู่คอร์รีเลตหรือซีดีเอส (Correlated double sampling, CDS) ฟังก์ชันถ่ายโอนของเทคนิคซีดีเอสนี้เป็นดังสมการ [44], [45]

$$H_{CDS}(f) = 2j\sin(\pi f T_{diff}) \tag{3-20}$$

เมื่อ T_{diff} เป็นช่วงเวลาระหว่างการชักตัวอย่างครั้งแรกและครั้งที่สอง สำหรับสัญญาณรบกวนจากวงจรส่วนหน้า $T_{diff} = T_2 + T_3$ และสำหรับสัญญาณรบกวนจากออปแอมป์และตัวเปรียบเทียบ

$T_{diff} = T_2 + T_3 + t_2 - t_1$ (นิยามของเวลา T_2, T_3, t_1 และ t_2 เป็นไปตามรูปที่ 3-2) จะสังเกตได้ว่าค่า T_{diff} สำหรับวงจรส่วนหน้ามีค่าคงที่ ขณะที่ T_{diff} ในกรณีของออปแอมป์และตัวเปรียบเทียบขึ้นอยู่กับสัญญาณเข้า I_{IN} สาเหตุเพราะสัญญาณรบกวนจากวงจรส่วนหน้าจะมีผลต่อการเปลี่ยนแปลงแรงดันที่ปม V_{OUT} ในช่วงเวลาที่ 1 และ 3 เท่านั้น (ดูรูปที่ 3-2 ประกอบ) เมื่อสิ้นสุดช่วงเวลาดังกล่าว สัญญาณรบกวน $\widetilde{V}_{ON1}$ จะถูกคงค่า และถูกแปลงเป็นค่าดิจิทัลต่อไป ขณะที่สัญญาณรบกวนจากออปแอมป์ และตัวเปรียบเทียบ ยังคงมีผลต่อแรงดัน V_{OUT} ต่อไปแม้จะอยู่ในช่วงเวลาที่ 3 หรือ 4 และสัญญาณรบกวน $\widetilde{V}_{ON2}$ และ $\widetilde{V}_{ON3}$ จะถูกชักตัวอย่างเมื่อสิ้นสุดคาบการอินทิเกรตขาลง

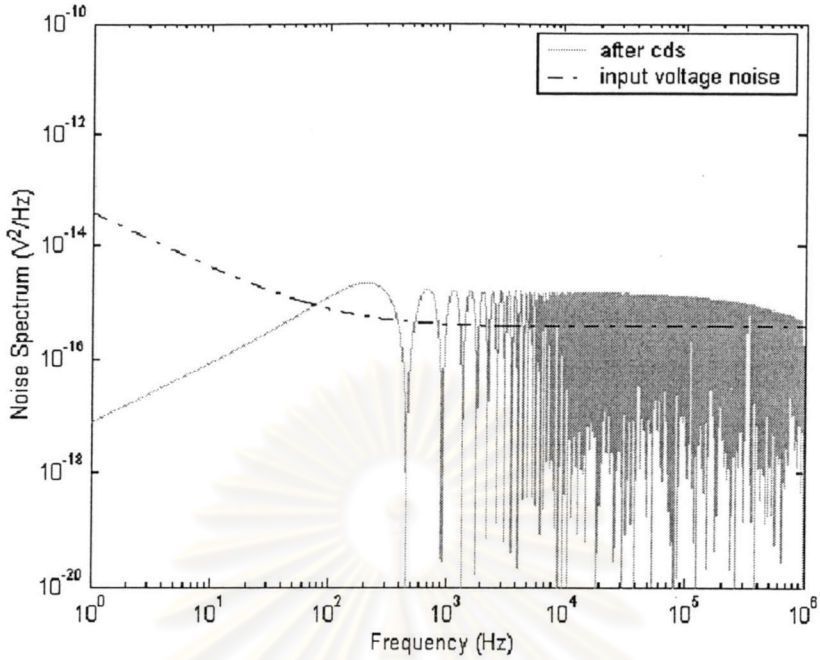
เมื่อนำผลจากการลบกันของสัญญาณรวมกับสัญญาณรบกวนด้านออกทั้งสามตัว ($\widetilde{V}_{N1}$, $\widetilde{V}_{N2}$ และ $\widetilde{V}_{N3}$) ได้เป็นความหนาแน่นสเปกตรัมสมมูลของสัญญาณรบกวนสำหรับเอดีซีแบบสี่สโลป ในที่นี้เขียนแทนด้วยสัญลักษณ์ $\widetilde{V}'_N(f)$ ดังสมการ

$$\left\|\widetilde{V}'_{N1}(f)\right\|^2 = \left(\frac{T_1}{C_{INT}}\right)^2 \left[\text{sinc}(\pi f T_1)\sin(\pi f(T_2+T_3))\right]^2 \left\|\widetilde{I}_{N1}(f)\right\|^2 \tag{3-21}$$

$$\left\|\widetilde{V}'_{N2}(f)\right\|^2 = \frac{\left[\sin(\pi f(T_2+T_3+t_2-t_1))\right]^2}{1+\left(f/f_{u,oa}\right)^2} \left\|\widetilde{V}_{N2}(f)\right\|^2 \tag{3-22}$$

$$\left\|\widetilde{V}'_{N3}(f)\right\|^2 = \frac{\left[\sin(\pi f(T_2+T_3+t_2-t_1))\right]^2}{1+\left(f/f_{u,cp}\right)^2} \left\|\widetilde{V}_{N3}(f)\right\|^2 \tag{3-23}$$

ความหนาแน่นสเปกตรัมในสมการ (3-21) ซึ่งมีผลจากฟังก์ชันถ่ายโอนของตัวอินทิเกรตและเทคนิคซีดีเอสรวมกัน แสดงด้วยเส้นทึบในรูปที่ 3-6 (T_2+T_3 = 2.2 ms) ผลของตัวอินทิเกรตช่วยลดทอนสัญญาณรบกวนที่ความถี่สูง ขณะที่เทคนิคซีดีเอสลดทอนสัญญาณที่ความถี่ต่ำ สังเกตว่าเทคนิคซีดีเอสทำให้สัญญาณรบกวนที่ความถี่สูงมีค่าเพิ่มขึ้นประมาณสองเท่า กรณีของสมการ (3-22) สมมติให้ t_2-t_1 = 0 และ f_u = 200 kHz และใช้ความหนาแน่นสเปกตรัมสัญญาณรบกวนของทรานซิสเตอร์ค่าเดียวกับรูปที่ 3-6 จะได้ผลของเทคนิคซีดีเอสต่อสเปกตรัมสัญญาณรบกวนเป็นดังกราฟเส้นทึบในรูปที่ 3-7 สัญญาณรบกวนความถี่ต่ำจะถูกกำจัด ขณะที่สัญญาณรบกวนที่ความถี่สูงจะมีค่าเพิ่มขึ้นประมาณสองเท่า และสเปกตรัมที่ความถี่สูงกว่าแบนด์วิดท์ของวงจรจะถูกลดทอน



รูปที่ 3-7 ผลของเทคนิคซีดีเอส และแบนด์วิดท์ ต่อสัญญาณรบกวน

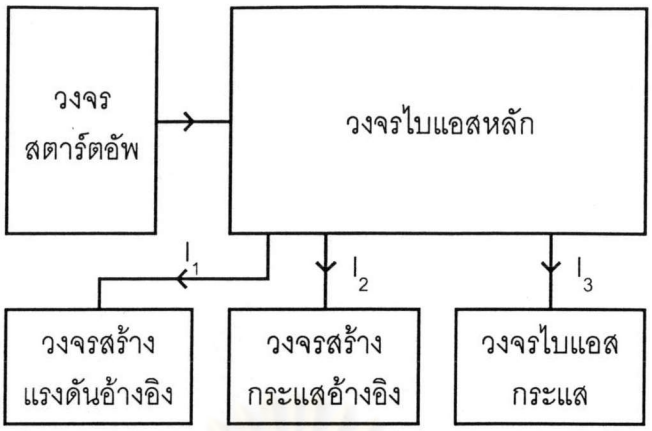
สัญญาณรบกวนสมมูลเนื่องจากแหล่งกำเนิดสัญญาณรบกวนทั้งสามสามารถหาได้จากสมการ

$$\widetilde{V}_N'^2 = \int_0^\infty \left\|\widetilde{V}_{N1}'(f)\right\| df + \int_0^\infty \left\|\widetilde{V}_{N2}'(f)\right\| df + \int_0^\infty \left\|\widetilde{V}_{N3}'(f)\right\| df \qquad (3\text{-}24)$$

สมการ (3-21) ถึง (3-24) จำเป็นในการวิเคราะห์ผลของสัญญาณรบกวนในการออกแบบเบื้องต้น และการคำนวณหาสัญญาณรบกวนจากผลการจำลองการทำงาน การหาสมการผลลัพธ์จากการอินทิเกรตของพจน์แต่ละพจน์ทางด้านขวามือของสมการ (3-24) จำเป็นต้องใช้โปรแกรมแมทแลบช่วยในการวิเคราะห์เนื่องจากสมการค่อนข้างซับซ้อน ผลลัพธ์ที่ได้จะนำไปใช้ในการออกแบบวงจรส่วนหน้า ออปแอมป์ และตัวเปรียบเทียบ เพื่อให้เอดีซีที่ออกแบบมีสัญญาณรบกวนไม่เกิน 1 LSB

3.3 วงจรสร้างแรงดันอ้างอิงและกระแสอ้างอิงแบนด์แกป

วงจรส่วนนี้มีหน้าที่ในระบบอยู่สามประการ ได้แก่ สร้างแรงดันอ้างอิงเพื่อเป็นแรงดันโพลาไรเซชันในวงจรส่วนหน้า, สร้างกระแสคงที่เพื่อใช้เป็นกระแสอ้างอิงในการอินทิเกรตขาลง และไบแอสกระแสให้กับวงจรแอนะล็อก เช่น ออปแอมป์และตัวเปรียบเทียบ ส่วนประกอบของวงจรไบแอสสามารถเขียนแผนภาพบล็อกได้ดังรูปที่ 3-8 ซึ่งประกอบด้วยวงจรสตาร์ตอัพที่มีหน้าที่จ่ายกระแสให้กับวงจรไบแอสหลักในช่วงเริ่มต้น, วงจรไบแอสหลักซึ่งเป็นวงจรไบแอสแบบแบนด์แกปที่ใช้หลักการรวมกระแสดังที่กล่าวไว้ในหัวข้อ 2.3.4, วงจรสร้างแรงดันอ้างอิงซึ่งสร้าง



รูปที่ 3-8 แผนภาพบล็อกแสดงส่วนประกอบของวงจรไบแอส

แรงดันแบนด์แกปขึ้นจากกระแสที่ได้รับจากวงจรไบแอสหลัก, วงจรสร้างกระแสอ้างอิงซึ่งทำหน้าที่เปลี่ยนแรงดันแบนด์แกปให้เป็นกระแสแบนด์แกปโดยอาศัยตัวต้านทานภายนอก และวงจรไบแอสกระแสซึ่งจ่ายกระแสให้กับองค์ประกอบในระบบที่ไม่ต้องการกระแสค่าเที่ยงตรง เช่น ออป-แอมป์ และตัวเปรียบเทียบ

3.3.1 วงจรไบแอสหลัก และวงจรสตาร์ตอัพ

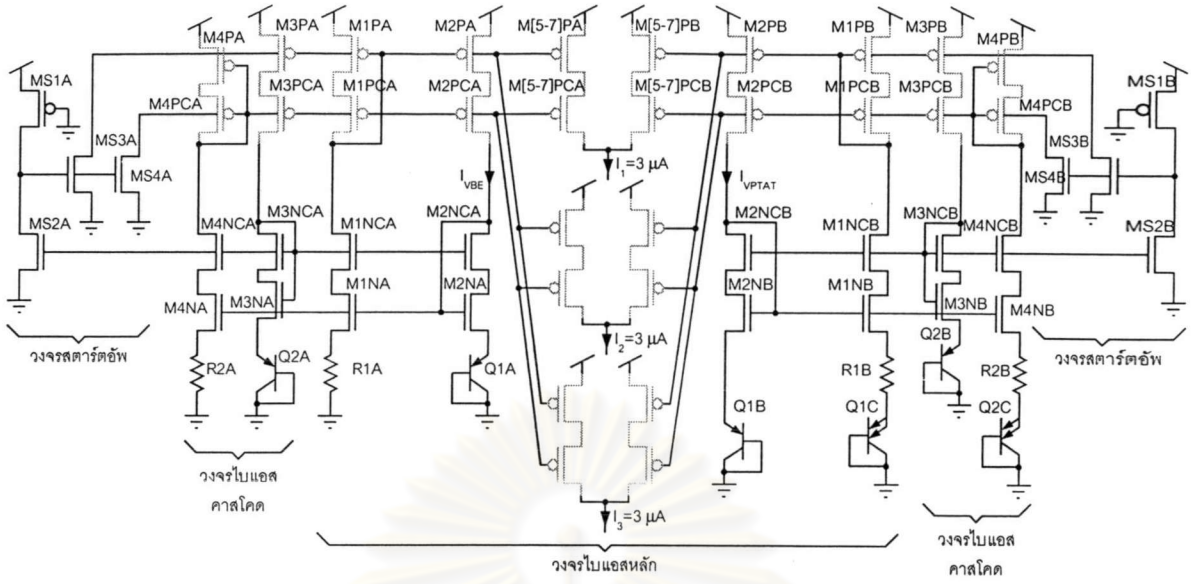
ผังวงจร (Schematic) สมบูรณ์ของวงจรสตาร์ตอัพ และวงจรไบแอสหลักแสดงในรูปที่ 3-9 (ทรานซิสเตอร์พีมอสชนิดแรงดันเทรชโฮลด์ต่ำแสดงด้วยสีเทา) ทรานซิสเตอร์ M1x,M2x, M5x-M7x, Q1x และตัวต้านทาน R1x (x หมายถึงตัวอักษรกำกับใดๆ) ประกอบกันเป็นวงจรไบแอสแบนด์แกปแบบรวมกระแส กระแส I_1, I_2 และ I_3 ซึ่งจ่ายให้กับส่วนประกอบอื่นๆ ในวงจรไบแอสมีค่า 3 μA กระแสไบแอส I_1, I_2 และ I_3 คำนวณได้จากสมการ

$$I = I_1 = I_2 = I_3 = \frac{V_{BE1A}}{R_{1A}} + \frac{V_T \ln A}{R_{1B}} \tag{3-25}$$

เมื่อ A คืออัตราส่วนระหว่างขนาดของทรานซิสเตอร์ Q1C ต่อ Q1B การเลือกอัตราส่วน A น้อยเกินไปมีผลให้แรงดันตกคร่อมตัวต้านทาน R1B มีค่าน้อย จึงไวต่อความแปรปรวนและสัญญาณรบกวน ดังนั้นจึงเลือก A=8 อัตราส่วน R1A/R1B ที่เหมาะสมสามารถหาได้โดยหาอนุพันธ์ของสมการ (3-25) เทียบกับอุณหภูมิสัมบูรณ์ โดยละเลยผลของอุณหภูมิที่มีต่อความต้านทานจะได้ดังสมการ

$$\frac{dI}{dT} = 0 = \frac{1}{R_{1A}} \cdot \frac{dV_{BE1A}}{dT} + \frac{k \cdot \ln A}{qR_{1B}} \tag{3-26}$$

โดยทั่วไป $dV_{BE}/dT \cong -2mV/K$ เมื่อแทนค่าแล้วจะสามารถหาอัตราส่วน R1A/R1B ได้เท่ากับ 11.2 อย่างไรก็ตามค่าอัตราส่วนที่เหมาะสมที่สุดจะต้องหาโดยการจำลองการทำงาน และมีค่าเท่ากับ 11.5 สังเกตว่าถ้าคิดผลของสัมประสิทธิ์อุณหภูมิ (Temperature coefficient, TC) ของตัว



รูปที่ 3-9 วงจรสตาร์ตอัพ และวงจรไบแอสหลัก

ต้านทานแล้ว สมการข้างต้นจะไม่เป็นจริง อย่างไรก็ตามอัตราส่วน R1A/R1B ที่ได้จากสมการ (3-26) สามารถใช้ได้กับแรงดัน เหตุผลที่เป็นเช่นนั้นจะกล่าวถึงในส่วนของวงจรสร้างแรงดันอ้างอิง

วงจรไบแอสหลักจะต้องทำงานได้ในภาวะที่แรงดันแหล่งจ่ายมีค่าเท่ากับ 2 โวลต์ และแรงดันเทรชโฮลด์มีค่ามาก (สภาวะช้ายิ่ง) ดังนั้นทรานซิสเตอร์พีมอสที่ใช้จึงเลือกเป็นชนิดแรงดันเทรชโฮลด์ต่ำ และใช้แรงดัน V_{dsat} ต่ำเพียง 0.12 โวลต์ นอกจากนี้เพื่อให้ความไม่เข้าคู่ของพีมอสต่ำกว่า 1% จึงต้องใช้ทรานซิสเตอร์ยาว 16 ไมครอนเพื่อให้ได้ความไม่เข้าคู่ตามต้องการ ขนาดของทรานซิสเตอร์ที่ใช้รวมทั้งค่าของตัวต้านทานถูกสรุปไว้ในตารางที่ 3-1

ตารางที่ 3-1 สรุปขนาดของทรานซิสเตอร์และตัวต้านทานที่ใช้ในผังวงจรรูปที่ 3-9

อุปกรณ์	ชนิด	ขนาด	อุปกรณ์	ชนิด	ขนาด
M1Px-M3Px,M5Px-M7Px	PLA	160/16	MS1x	PHA	2/200
M4PCx	PLA	160/16	MS2x-MS4x	NA	4/16
M4PA,M4PB	PLA	20/16	R1A,R2A	RHIPO	400.8kΩ
M1Nx,M2Nx,M4Nx	NA	240/16	R1B,R2B	RHIPO	34.8kΩ
M3NCx	NA	240/16	Q1A,Q2A,Q1B,Q2B	VPNP460	1x
M3NA,M3NB	NA	30/16	Q1C,Q2C	VPNP460	8x

หมายเหตุ PLA คือพีมอสชนิดแรงดันเทรชโฮลด์ต่ำ, PHA คือพีมอสปกติ, NA คือเอ็นมอส, RHIPO คือตัวต้านทานซึ่งสร้างจากโพลีซิลิคอน (Polysilicon) แบบความต้านทานสูง และ VPNP460 คือทรานซิสเตอร์ไบโพลาร์พีเอ็นพีแนวตั้งซึ่งมีพื้นที่อิมิตเตอร์เท่ากับ 460 μm^2

เนื่องจากระบบจะต้องทำงานได้ภายใต้แรงดันแหล่งจ่ายตั้งแต่ 2-5 โวลต์ ทรานซิสเตอร์ในวงจรไบแอสจึงต้องคาสโคดเพื่อเพิ่มความต้านทานขาออก ทำให้การเปลี่ยนแปลงของแรงดันแหล่งจ่ายมีผลต่อกระแสไบแอสน้อยที่สุด และจากข้อจำกัดเรื่องแรงดันทำให้ต้องใช้เทคนิคคาสโคดช่วงแกว่งกว้าง (High-swing cascode) ทรานซิสเตอร์ M3x, M4x, Q2x และตัวต้านทาน R2x ทำหน้าที่เป็นวงจรไบแอสทรานซิสเตอร์คาสโคด

ทรานซิสเตอร์ MS1x - MS4x เป็นวงจรสตาร์ตอัพ โดยทรานซิสเตอร์ MS1x เป็นทรานซิสเตอร์ที่ทำงานในย่านไทรโอด ใช้เป็นโหลดให้กับ MS2x ซึ่งจะควบคุมการปิดเปิดของแหล่งจ่ายกระแสซึ่งสร้างโดย MS3x และ MS4x ในช่วงต้นที่ไม่มีกระแสไหลในวงจรไบแอสหลัก MS2x จะอยู่ในย่านซับเทรชโฮลด์ทำให้แรงดันที่เดรนมีค่าสูง MS3x และ MS4x จะดึงแรงดันเกตของพีมอสในวงจรไบแอสหลักให้ต่ำลง เป็นการบังคับให้เกิดกระแสไหลในวงจรไบแอสหลัก เมื่อวงจรไบแอสหลักทำงานแล้ว แรงดันที่เกตของ MS2x จะเพิ่มขึ้นทำให้แรงดันที่เดรนลดลงจนกระทั่ง MS3x และ MS4x ทำงานอยู่ในย่านซับเทรชโฮลด์ ซึ่งกระแสที่ไหลเข้าไปในวงจรไบแอสหลักจะมีค่าน้อยกว่า 1 nA ซึ่งน้อยมากเมื่อเทียบกับกระแสที่ไหลอยู่ภายในวงจรไบแอสหลัก เสมือนว่าวงจรสตาร์ตอัพถูกแยกออก และไม่มีผลกับการทำงานของวงจรไบแอสหลัก

3.3.2 ส่วนอื่น ๆ ของวงจรไบแอส

ส่วนที่เหลือของวงจรไบแอสประกอบด้วยวงจรสร้างแรงดันอ้างอิง, วงจรสร้างกระแสอ้างอิง และวงจรไบแอสกระแส มีผังวงจรดังแสดงในรูปที่ 3-10 วงจรสร้างแรงดันอ้างอิงประกอบด้วยตัวต้านทานซึ่งแบ่งออกเป็นหน่วยย่อย 10 หน่วย โดยหน่วยย่อย 7 หน่วยล่างจะมีทรานซิสเตอร์เอ็นมอสทำหน้าที่เป็นสวิตช์ลัดวงจรเมื่อมีแรงดันซึ่งแทนตรรกะ 1 ป้อนเข้าที่เกต แรงดันอ้างอิงที่ได้จะใช้เป็นแรงดันไบแอสด้านที่มีแรงดันสูงสำหรับตัวตรวจรู้ (V_{pol+}) ค่าแรงดันสามารถคำนวณได้ดังสมการ

$$V_{pol+} = n \cdot R_{unit} \cdot \left(\frac{V_{BE1A}}{R_{1A}} + \frac{V_T \ln A}{R_{1B}} \right) \tag{3-27}$$

เมื่อ n คือจำนวนหน่วยย่อยของตัวต้านทานที่ไม่ถูกลัดวงจร แรงดันสูงสุดที่ได้จากวงจรเมื่อความต้านทานมีค่าสูงสุดมีค่าเท่ากับ 1 โวลต์ ถ้าตัวต้านทานที่ใช้ในวงจรไบแอสทุกตัวเป็นตัวต้านทานชนิดเดียวกัน และมีแบบจำลองผลของอุณหภูมิต่อความต้านทานเป็นดังสมการ

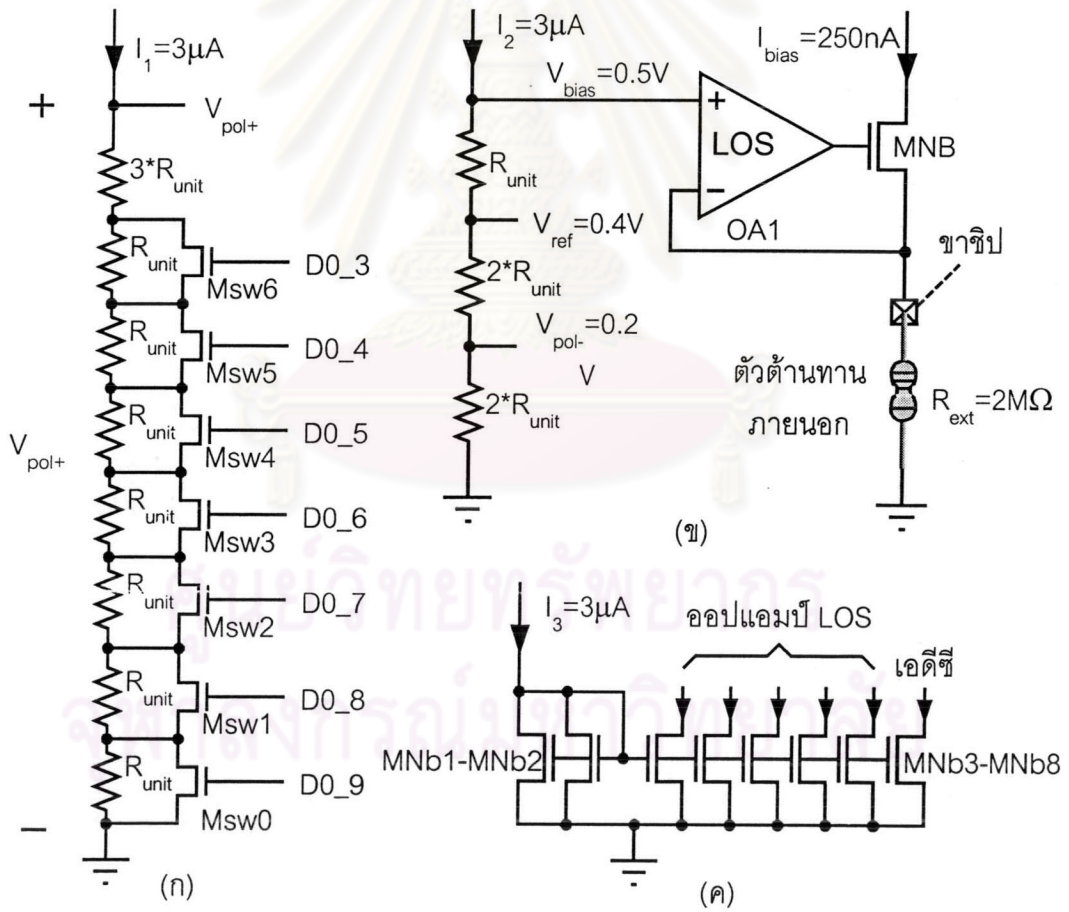
$$R = R_0 \cdot \left[1 + TC1 \cdot (T - T_0) + TC2 \cdot (T - T_0)^2 \right] \tag{3-28}$$

เมื่อ R_0 คือค่าความต้านทานที่อุณหภูมิปกติ T_0 จากสมการ (3-27) จะพบว่าผลของอุณหภูมิต่อค่าความต้านทานของ R_{1A}, R_{1B} และ R_{unit} จะหักล้างกัน และจะเขียนสมการในรูปของความต้านทานที่อุณหภูมิปกติได้ดังสมการ

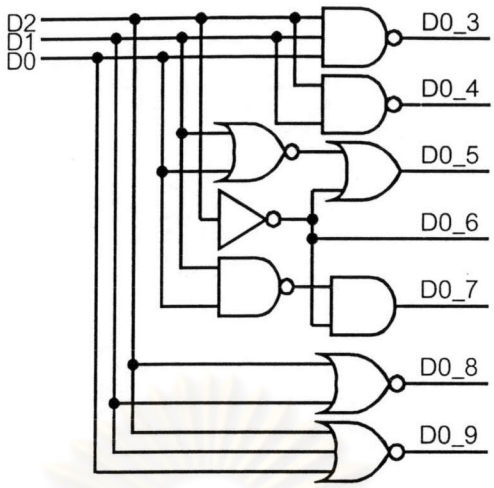
$$V_{pol+} = n \cdot R_{unit0} \cdot \left(\frac{V_{BE1A}}{R_{1A0}} + \frac{V_T \ln A}{R_{1B0}} \right) \quad (3\text{-}29)$$

ถ้าอัตราส่วน R_{1A0}/R_{1B0} เป็นค่าที่หาได้จากสมการ (3-26) แล้ว อนุพันธ์ของแรงดัน V_{pol+} เทียบกับอุณหภูมิจะมีค่าเท่ากับศูนย์

การควบคุมสวิตช์เอ็นมอสสำหรับวงจรสร้างแรงดันอ้างอิงใน รูปที่ 3-10 (ก) จะต้องใช้รหัสอุณหภูมิ (Thermometer code) ในการควบคุมขาเกต โดยสวิตช์ที่จะลัดวงจรจะต้องเป็นสวิตช์ด้านล่างเท่านั้น โดยเริ่มจากสวิตช์ตัวล่างสุดซึ่งต่ออยู่กับกราวด์ก่อน เพื่อให้ความต้านทานลัดวงจรของทรานซิสเตอร์มีค่าต่ำที่สุด เช่น ต้องการลัดวงจรตัวต้านทาน 3 ตัว สวิตช์ที่ลัดวงจรคือ Msw0 ถึง Msw2 วงจรถอดรหัส (Decoder) ซึ่งแปลงค่าไบนารี 3 บิตให้กลายเป็นรหัสอุณหภูมิเพื่อควบคุมสวิตช์ในรูปที่ 3-10 (ก) แสดงในรูปที่ 3-11 ประตูสัญญาณที่ใช้ในผังวงจรมาจากชุดเซลล์มาตรฐานของโรงงานเจือสาร

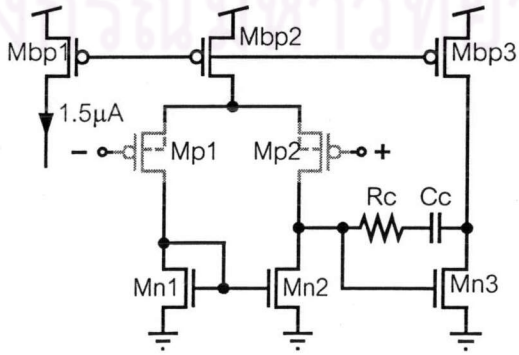


รูปที่ 3-10 (ก) วงจรสร้างแรงดันอ้างอิง (ข) วงจรสร้างกระแสอ้างอิง (ค) วงจรไบแอสกระแส



รูปที่ 3-11 วงจรถอดรหัสไบนารีเป็นอุณหภูมิ

วงจรสร้างกระแสอ้างอิงอาศัยแรงดันที่สร้างในลักษณะเดียวกับวงจรสร้างแรงดันอ้างอิง ผ่านวงจรแปลงแรงดันเป็นกระแสซึ่งประกอบด้วยออปแอมป์และทรานซิสเตอร์ต่อเป็นวงจรบัฟเฟอร์แรงดันดังรูปที่ 3-10 (ข) แรงดันที่ขั้วบวกของออปแอมป์จะถูกแปลงเป็นกระแสโดยตัวต้านทานที่ต่ออยู่ที่ขั้วลบ ความแม่นยำของกระแสที่ได้ขึ้นอยู่กับปัจจัยหลักสามปัจจัย ได้แก่ ความแม่นยำของแรงดัน V_{bias} ความแม่นยำของตัวต้านทานที่ใช้ในการแปลงแรงดันเป็นกระแส และออฟเซตของออปแอมป์ สำหรับแรงดัน V_{bias} ซึ่งสร้างจากหลักการแบนด์แกปจะมีความผิดพลาดประมาณ 1% สำหรับตัวต้านทานที่ใช้ในการแปลงแรงดันเป็นกระแสจะต้องเป็นอุปกรณ์ภายนอก เนื่องจากสามารถเลือกค่าที่แม่นยำ มีความผิดพลาดเพียง 1% หรือต่ำกว่าได้ ส่วนออฟเซตของออปแอมป์จะต้องน้อยกว่า 5 mV จึงจะมีความผิดพลาดอยู่ในระดับเดียวกับแรงดัน V_{bias} ดังนั้นออปแอมป์ที่ใช้ในวงจรนี้จะสร้างด้วยทรานซิสเตอร์ขนาดใหญ่เพื่อให้แรงดันออฟเซตต่ำกว่า 5 mV (ออปแอมป์ที่มีออฟเซตต่ำนี้จะเขียนตัวอักษร LOS กำกับในผังวงจร) วงจรของออปแอมป์แสดงในรูปที่ 3-12 นอกจากนี้วงจรสร้างกระแสอ้างอิงยังสร้างแรงดันคงที่ 0.2 และ 0.4 โวลต์ เพื่อใช้เป็นแรงดันไบแอสตัวตรวจรู้ด้านแรงดันต่ำ และแรงดันอ้างอิงสำหรับเอดีซี ตามลำดับ



รูปที่ 3-12 โครงสร้างของออปแอมป์ออฟเซตต่ำ

ส่วนสุดท้ายของวงจรไบแอสคือวงจรไบแอสกระแสในรูปที่ 3-10 (ค) วงจรสะท้อนกระแสจากวงจรไบแอสหลักมาจ่ายให้กับออปแอมป์และเอดีซี ซึ่งเป็นอุปกรณ์ที่ไม่ต้องการกระแสที่มีค่าแม่นยำ สามารถทนความแปรปรวนของกระแสเนื่องอุณหภูมิและกระบวนการผลิตได้ ขนาดของอุปกรณ์ที่ใช้ในวงจรย่อยทั้งสามวงจรที่กล่าวมา รวมทั้งออปแอมป์ออฟเซตต่ำได้สรุปไว้ในตารางที่ 3-2

ตารางที่ 3-2 สรุปขนาดของอุปกรณ์ที่ใช้ในผังวงจรรูปที่ 3-10 และรูปที่ 3-12

อุปกรณ์	ชนิด	ขนาด	อุปกรณ์	ชนิด	ขนาด
Msw0-Msw6	NA	120/0.7	Mbp3	PHA	320/16
MNb1-MNb8	NA	20/16	Mp1,Mp2	PLA	160/16
MNB	NA	160/3	Mn1,Mn2	NA	20/16
R_{unit}	RHIPO	33.4kΩ	Mn3	NA	80/16
Mbp1	PHA	80/16	Rc	RHIPO	20kΩ
Mbp2	PHA	160/16	Cc	CAPA	9pF
หมายเหตุ CAPA เป็นตัวเก็บประจุชนิดที่มีเฉพาะในกระบวนการผลิตแบบแอนะล็อก					

3.3.3 ผลการจำลองการทำงาน

การจำลองการทำงานเพื่อหาค่าแรงดันอ้างอิงที่วงจรสร้างขึ้น จะต้องคำนึงถึงความแปรปรวนของกระบวนการผลิตในอุปกรณ์ทุกตัวที่เกี่ยวข้อง ได้แก่ ทรานซิสเตอร์มอสไบโพลาร์ และตัวต้านทานในวงจรไบแอสหลัก เพื่อให้ผลที่ได้ครอบคลุมช่วงแรงดันที่เป็นไปได้มากที่สุด นอกจากนี้ยังต้องศึกษาผลจากแรงดันแหล่งจ่าย และอุณหภูมิอีกด้วย ตารางที่ 3-3 แสดงผลการจำลองการทำงานของแรงดันอ้างอิง V_{bias} ซึ่งใช้ในการสร้างกระแสอ้างอิง และอัตราส่วนขจัดแหล่งจ่ายกำลังหรือพีเอสอาร์อาร์ (Power-Supply Rejection Ratio หรือ PSRR) ถ้าไม่ได้ระบุเป็นอย่างอื่น ให้ถือว่าการจำลองการทำงานในแต่ละสภาวะมีการตั้งค่าดังนี้

- สภาวะปกติ ใช้แบบจำลองทรานซิสเตอร์มอสปกติ ความต้านทานมีค่าปานกลาง ทรานซิสเตอร์ไบโพลาร์มีค่าอัตราขยายกระแสปานกลาง ทำงานที่อุณหภูมิ 30°C และแรงดันแหล่งจ่าย 3.0 โวลต์
- สภาวะเร็วยิ่ง ใช้แบบจำลองทรานซิสเตอร์มอสแบบเร็ว ความต้านทานมีค่าน้อย ทรานซิสเตอร์ไบโพลาร์มีค่าอัตราขยายกระแสสูง ทำงานที่อุณหภูมิ 0°C และแรงดันแหล่งจ่าย 5.0 โวลต์

- สภาวะช้ายิ่ง ใช้แบบจำลองทรานซิสเตอร์มอสแบบช้า ความต้านทานมีค่าสูง ทรานซิสเตอร์ไบโพลาร์มีค่าอัตราขยายกระแสต่ำ ทำงานที่อุณหภูมิ 70°C และแรงดันแหล่งจ่าย 2.0 โวลต์

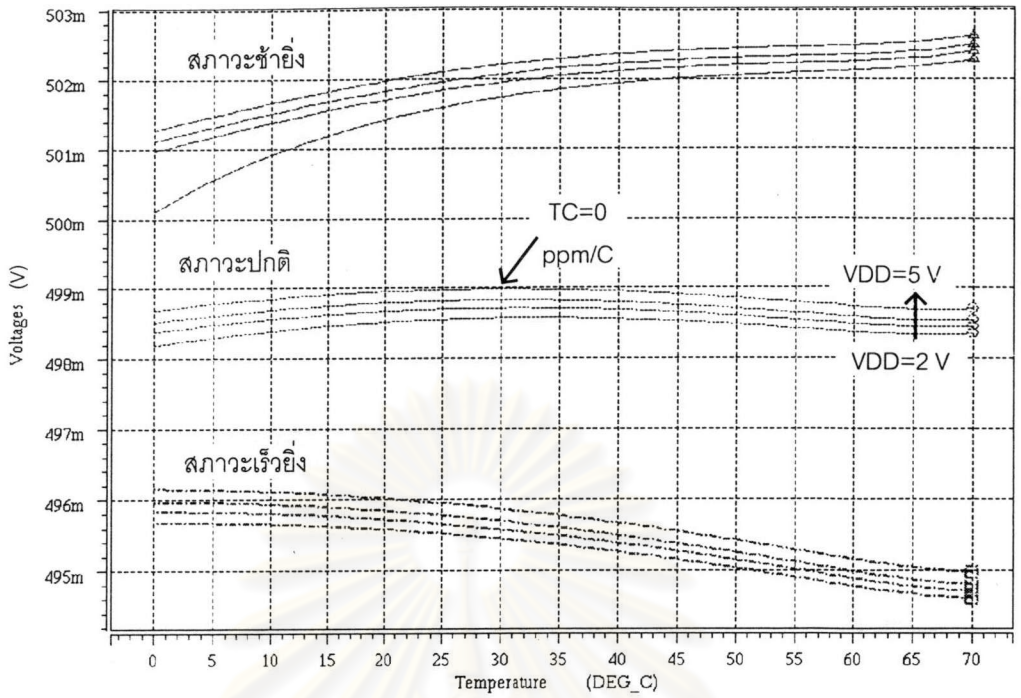
ตารางที่ 3-3 สรุปผลการจำลองการทำงานของวงจรสร้างแรงดันอ้างอิง

วงจรสร้างแรงดันอ้างอิง	สภาวะปกติ	สภาวะเร็วยิ่ง	สภาวะช้ายิ่ง
V_{bias} @3V, 30°C (ค่าที่ตั้งไว้ 500 mV) (mV)	498.7	495.8	502.0
ค่าเฉลี่ย (mV)	498.6	495.4	501.4
ค่าผิดพลาด (mV)	±0.40	±0.76	±1.26
TC @3V (ppm/°C)	2.2	-33	41
PSRR ของ V_{bias} (dB) ที่ความถี่			
DC	-78.5	-71.9	-70.3
50 Hz	-76.4	-71.7	-69.4
1 kHz	-54.7	-59.0	-50.9
100 kHz	-18.7	-22.7	-15.2
1 MHz	-11.7	-16.1	-8.5
การกินกระแส (μA)	32.8	42.2	29.2

แรงดันอ้างอิง V_{bias} ที่ได้มีค่าอยู่ในช่วง 0.495 ถึง 0.503 โวลต์ คิดเป็นความผิดพลาดประมาณ ±1 % และจะส่งผลให้กระแสอ้างอิงมีค่าคลาดเคลื่อนตามแรงดัน V_{bias} เช่นกัน สัมประสิทธิ์อุณหภูมิของแรงดันถูกปรับให้มีค่าต่ำสุดที่สภาวะปกติ โดยเฉพาะอย่างยิ่งที่อุณหภูมิ 30°C สัมประสิทธิ์อุณหภูมิจะมีค่าเท่ากับศูนย์ดังรูปที่ 3-13 ค่าพีเอสอาร์อาร์ของวงจรมีค่าสูงมากที่ความถี่ต่ำเนื่องจากใช้ทรานซิสเตอร์ยาวและใช้เทคนิคคาสโคดทำให้ความต้านทานขาออกสูง อย่างไรก็ตามค่าพีเอสอาร์อาร์จะตกลงที่ความถี่สูง ความถี่ที่เลือกมาแสดงนี้มีความสำคัญดังนี้

- ความถี่ 50 Hz เป็นความถี่ที่มีสัญญาณรบกวนจากไฟฟ้าที่ใช้ในบ้าน
- ความถี่ 1 kHz เป็นแบนด์วิดท์ในการอินทิเกรตของเอดีซี
- ความถี่ 100 kHz หรือใกล้เคียง เป็นความถี่ที่คอมพิวเตอร์ส่วนใหญ่สร้างสัญญาณรบกวนขึ้น
- ความถี่ 1 MHz คือความถี่ของสัญญาณนาฬิกาของวงจร

แม้ว่าที่ความถี่สูงค่าพีเอสอาร์อาร์จะต่ำ แต่ในกรณีของงานวิจัยนี้สัญญาณรบกวนที่ความถี่สูงจะถูกกำจัดด้วยกระบวนการแปลงแอนะล็อกเป็นดิจิทัลซึ่งทำงานที่ความถี่ต่ำได้เป็นอย่างดี จึงช่วยขจัดปัญหาการรบกวนทางแรงดันแหล่งจ่ายที่ความถี่สูงได้ในระดับหนึ่ง



รูปที่ 3-13 ค่าแรงดันไบแอสเมื่อได้รับผลจากกระบวนการผลิต อุณหภูมิ และแหล่งจ่าย

ตารางที่ 3-4 สรุปผลการจำลองการทำงานของออปแอมป์ออฟเซตต่ำเอาไว้ทั้งสามสภาวะ อัตราขยายไฟตรงของออปแอมป์มีค่าสูงเนื่องจากทรานซิสเตอร์ยาวมากทำให้ความต้านทานขาออกสูง และมีช่วงแกว่งขาออกค่อนข้างกว้างเนื่องจากแรงดัน V_{dssat} ที่ออกแบบไว้มีค่าต่ำ ความถี่อัตราขยายป้อนกลับเป็นหนึ่งอยู่ระหว่าง 300 ถึง 500 kHz และมีเฟสมาร์จินค่อนข้างมาก เพื่อให้ออปแอมป์มีเสถียรภาพดี เมื่อต้องขับโหลดเนื่องจากแพดและความเก็บประจุปรสิตภายนอกชิป สัญญาณรบกวนอ้างอิงที่ขาเข้าของวงจรมีค่าต่ำเนื่องจากทรานซิสเตอร์มีขนาดใหญ่ จึงลดผลจากสัญญาณรบกวนฟลิกเกอร์ และแบนด์วิดท์มีค่าน้อยจึงจำกัดขนาดของสัญญาณรบกวนเชิงอุณหภูมิ ส่วนออฟเซตนั้นหาได้โดยจำลองการทำงานด้วยเทคนิคมอนติคาร์โล (Monte Carlo)

ตารางที่ 3-4 สรุปคุณสมบัติของออปแอมป์ออฟเซตต่ำ

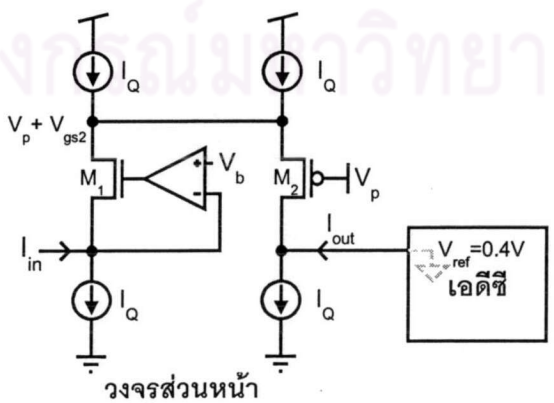
ออปแอมป์	สภาวะปกติ	สภาวะเร็วยิ่ง	สภาวะช้ายิ่ง
อัตราขยายไฟตรง (dB)	101	102	97
ช่วงแกว่งขาออก (V)	0.26 ถึง V_{DD}-0.26	0.24 ถึง V_{DD}-0.24	0.31 ถึง V_{DD}-0.31
f_u (kHz)	399	526	323
เฟสมาร์จิน (องศา)	74	74	73
สัญญาณรบกวนอ้างอิงที่ขาเข้า (คิดในช่วง 1 Hz ถึง 10 MHz) (μV)	3.6	2.9	4.7
ออฟเซตอ้างอิงที่ขาเข้า (mV)	±1.4	±1.4	±1.4
การกินกระแส (μA)	9.2	11.4	8.2

3.4 วงจรรับสัญญาณกระแสจากตัวตรวจรู้ (วงจรส่วนหน้า)

ดังที่ได้กล่าวไว้ในหัวข้อ 2.3.2 ว่าโครงสร้างของวงจรบัฟเฟอร์กระแสที่ใช้เป็นวงจรส่วนหน้าที่เหมาะสมคือแบบชั้นเอความต้านทานขาเข้าต่ำดังรูปที่ 2-11 (ค) ความต้านทานขาเข้าของวงจรบัฟเฟอร์กระแสจะต้องมีค่าน้อยกว่า 200 Ω เพื่อให้แรงดันที่ขาเข้ามีค่าคงที่ตลอดช่วงกระแสขาเข้าต่ำสุดถึงสูงสุด ถ้าใช้โครงสร้างวงจรบัฟเฟอร์กระแสความต้านทานขาเข้าสูงกับวงจรที่มีกระแสไบแอสต่ำกว่า 2 μA ความต้านทานขาเข้าจะมีค่าสูงกว่า 10 kΩ ดังนั้นจึงต้องใช้โครงสร้างวงจรบัฟเฟอร์ความต้านทานขาเข้าต่ำ

เมื่อพิจารณาวงจรเอดีซีที่ใช้ จะพบว่าขาออกของวงจรส่วนหน้าต่อเข้ากับขาเข้าของตัวอินทิเกรตซึ่งเป็นกราวด์เสมือน แรงดันไฟตรงที่กราวด์เสมือนนี้ (หรือแรงดัน V_{ref}) กำหนดไว้เท่ากับ 0.4 โวลต์ (เหตุผลในการเลือกค่าแรงดันดังกล่าวจะกล่าวถึงในเรื่องการจัดสรรพิสัยพลวัต (Dynamic range) ของการออกแบบเอดีซีในหัวข้อ 3.5.2 ต่อไป) แรงดันค่าดังกล่าวต่ำเกินกว่าที่ทรานซิสเตอร์ M_1 ในรูปที่ 2-11 (ค) จะทำงานในย่านอิ่มตัวได้ ดังนั้นจึงต้องดัดแปลงวงจรโดยต่อวงจรคอมมอนเกตเพื่อบัฟเฟอร์กระแสและยกระดับแรงดันที่เดรนของทรานซิสเตอร์ M_1 ให้สูงขึ้นดังรูปที่ 3-14

การหาค่าแรงดัน V_p ที่เหมาะสมเพื่อให้ทรานซิสเตอร์ M_1 ทำงานในย่านอิ่มตัว จำเป็นต้องพิจารณาจุดทำงานของทรานซิสเตอร์ M_1 ก่อน เนื่องจากเกตของ M_1 นั้นถูกควบคุมด้วยออปแอมป์ซึ่งมีช่วงแกว่งด้านออกตั้งแต่ 0.2 ถึง V_{DD}-0.2 โวลต์ ในกรณีที่แรงดันแหล่งจ่ายมีค่าต่ำสุด แรงดันที่เกตของ M_1 จะมีค่าสูงสุดเพียง 1.8 โวลต์ ขณะที่แรงดันไบแอสตัวตรวจรู้ V_b มีค่าสูงสุดถึง 1 โวลต์ หมายความว่าแรงดัน V_{gs1} จะต้องมีค่าไม่เกิน 0.8 โวลต์ ซึ่งมีค่าใกล้เคียงกับแรงดันเทรชโฮลด์ของ M_1 เมื่อคิดผลของปรากฏการณ์ตัวฐานรอง ดังนั้น M_1 จะต้องทำงานในย่านซับเทรชโฮลด์เพื่อให้แรงดัน V_{gs1} มีค่าน้อยกว่าหรือเท่ากับ 0.8 โวลต์ ในกรณีที่ทรานซิสเตอร์ทำงานในย่านซับเทรชโฮลด์

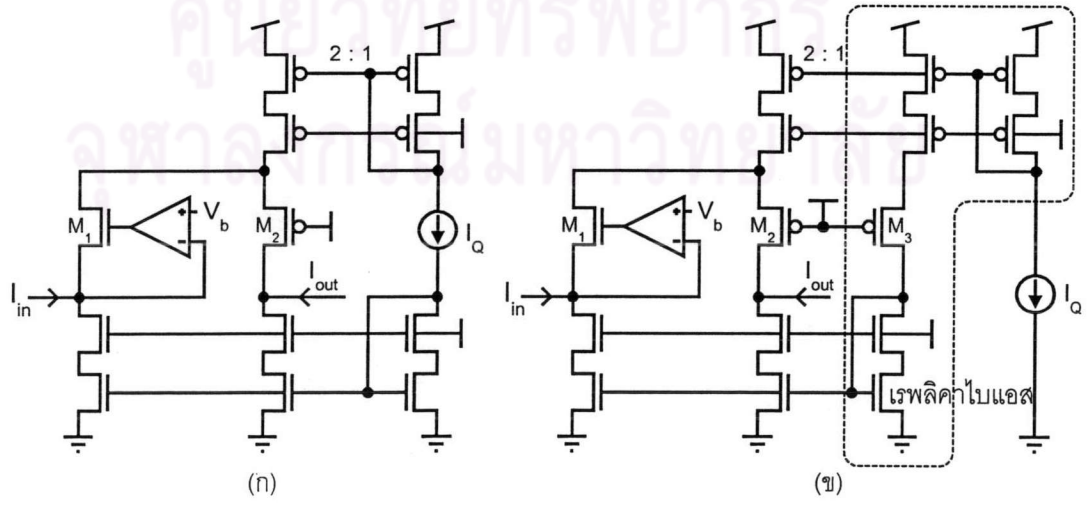


รูปที่ 3-14 วงจรส่วนหน้าที่ได้รับการดัดแปลงให้ใช้ได้กับเอดีซีที่ออกแบบ

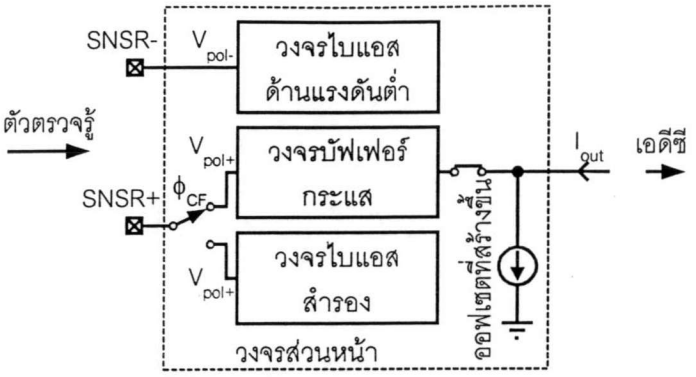
แรงดันคร่อมเดรนซอร์สควรจะมีค่ามากกว่า 0.1 โวลต์ ดังนั้นแรงดันที่เดรนของ M_1 จะต้องมีค่าอย่างน้อย 1.1 โวลต์

แหล่งจ่ายกระแสที่จะใช้ในวงจรบัฟเฟอร์กระแสจะต้องมีความต้านทานขาออกสูงเพื่อลดความเพี้ยนเนื่องจากแรงดันกระเพื่อมที่ปมด้านออก และที่ซอร์สของทรานซิสเตอร์ M_2 จึงใช้เทคนิคคาสโคดช่วงแกว่งกว้างในการสร้างแหล่งจ่ายกระแสดังรูปที่ 3-15 (ก) อย่างไรก็ตามการไบแอสแหล่งจ่ายกระแสชนิดพีและชนิดเอ็นด้วยวิธีปกติดังรูป (ก) นั้นทำให้ออฟเซตแบบซิสเต็มเมติก (Systematic offset) มีค่ามากเกือบ 1 ใน 10 ส่วนของกระแสไบแอสซึ่งมีค่า 1.5 μA และมีค่าแปรตามอุณหภูมิอีกด้วย เพื่อลดออฟเซตดังกล่าวจึงต้องใช้เทคนิคเรพลิคาไบแอส (Replica bias) ดังรูปที่ 3-15 (ข) มาใช้ในการไบแอสวงจรบัฟเฟอร์กระแส ทรานซิสเตอร์ M_3 ที่เพิ่มเข้ามาจะช่วยปรับระดับแรงดันที่ด้านเข้าของวงจรสะท้อนกระแสชนิดเอ็น ให้ใกล้เคียงกับแรงดันที่ด้านออก วิธีนี้ช่วยลดออฟเซตแบบซิสเต็มเมติกลงต่ำกว่า 1 μA ส่วนออฟเซตแบบสุ่มนั้นลดได้โดยเพิ่มความกว้างและความยาวของทรานซิสเตอร์

เพื่อให้วงจรส่วนหน้าสมบูรณ์ นอกจากวงจรบัฟเฟอร์กระแสแล้ว ยังต้องมีวงจรไบแอสด้านแรงดันต่ำสำหรับตัวตรวจรู้, วงจรไบแอสสำรอง และออฟเซตที่ตั้งใจสร้างขึ้นดังรูปที่ 3-16 วงจรไบแอสสำรองมีหน้าที่ไบแอสด้านแรงดันสูงของตัวตรวจรู้ในช่วงเวลาที่ต้องตัดตัวตรวจรู้ออกจากวงจรบัฟเฟอร์กระแส ซึ่งเป็นช่วงการอินทิเกรตสัญญาณศูนย์เพื่อหาค่าออฟเซตจากวงจรบัฟเฟอร์กระแส แรงดันที่วงจรไบแอสสำรองจ่ายให้กับตัวตรวจรู้จะเป็นแรงดันค่าเดียวกับที่วงจรบัฟเฟอร์กระแสจ่าย รายละเอียดของการควบคุมสวิตช์เพื่อเลือกระหว่างวงจรบัฟเฟอร์กระแสกับวงจรไบแอสสำรองจะกล่าวถึงในเรื่องการทำงานของเอดีซี ส่วนออฟเซตที่สร้างขึ้นมีไว้เพื่อให้ความผิดพลาดเนื่องจากออฟเซตต่างๆ มีผลรวมเป็นบวกเสมอ เพื่อให้เอดีซีแบบสี่สโลปทำงานอย่าง



รูปที่ 3-15 วงจรบัฟเฟอร์กระแส (ก) ใช้แหล่งจ่ายกระแสคาสโคด (ข) เทคนิคเรพลิคาไบแอส



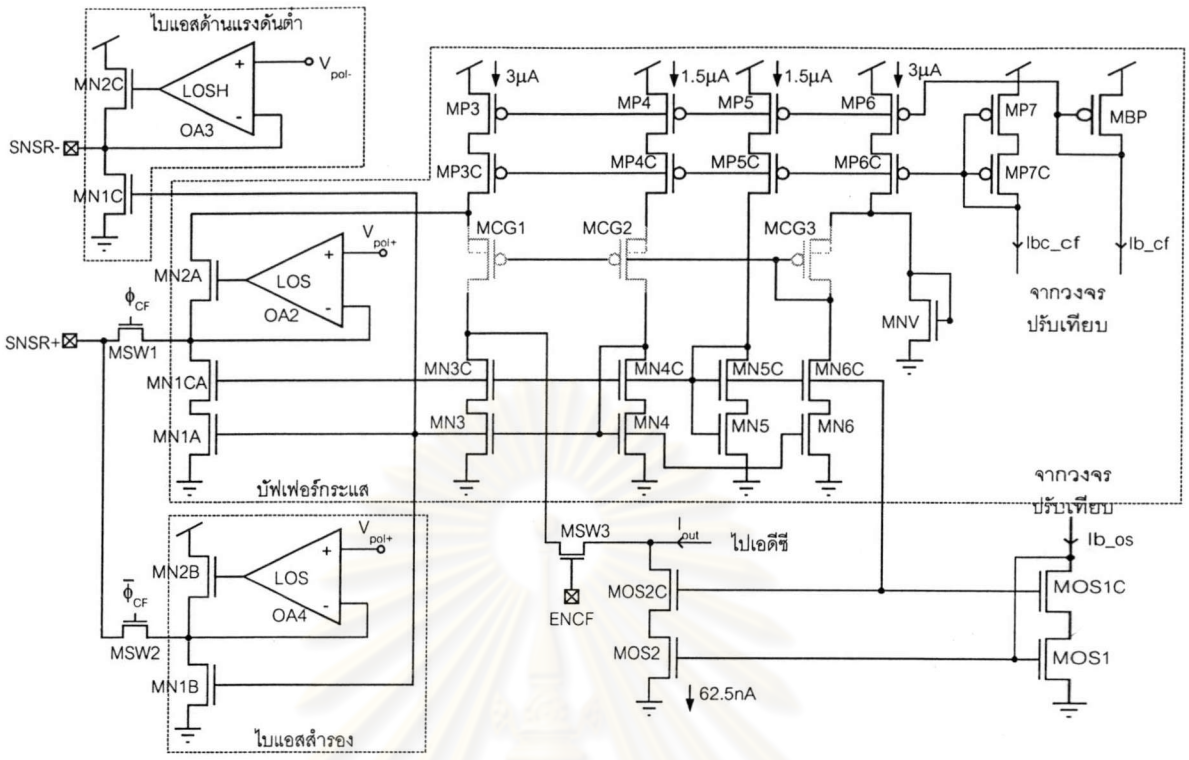
รูปที่ 3-16 แผนภาพบล็อกของวงจรส่วนหน้า

ถูกต้อง นอกจากนี้ระหว่างวงจรบัฟเฟอร์กระแสกับแหล่งจ่ายกระแสออฟเซตจะมีสวิตช์คั่นอยู่ตัวหนึ่ง สวิตช์ดังกล่าวมีไว้เพื่อเลือกตัดหรือต่อวงจรบัฟเฟอร์เข้ากับเอดีซี เพื่อใช้ในการแก้จุดบกพร่อง (Debug) ของระบบ

3.4.1 ผังวงจร

ผังวงจรทั้งหมดของวงจรส่วนหน้าแสดงในรูปที่ 3-17 ทรานซิสเตอร์ MN1B, MN2B และออปแอมป์ OA4 ทำหน้าที่เป็นวงจรไบแอสสำรอง ซึ่งจะสลับหน้าที่ไบแอสขั้ว SNSR+ กับวงจรบัฟเฟอร์กระแสโดยการเลือกสวิตช์สองทางที่สร้างจากทรานซิสเตอร์ MSW1 และ MSW2 และควบคุมด้วยสัญญาณ ϕ_{CF} ซึ่งสร้างจากวงจรดิจิทัล ความต้านทานของสวิตช์รวมกับความต้านทานขาเข้าของวงจรบัฟเฟอร์กระแสจะต้องมีค่าน้อยกว่า 200 Ω เพื่อให้ความต้านทานขาเข้าของวงจรส่วนหน้าไม่สูงจนเกินไป ส่วนทรานซิสเตอร์ MN1C, MN2C และออปแอมป์ OA3 ทำหน้าที่เป็นวงจรไบแอสตัวตรวจรู้ด้านแรงดันต่ำ สำหรับวงจรของออปแอมป์ออฟเซตต่ำเป็นวงจรเดียวกับในรูปที่ 3-12 และขนาดของอุปกรณ์ในออปแอมป์ระบุไว้ในตารางที่ 3-2 ยกเว้นชนิดของทรานซิสเตอร์ Mp1 และ Mp2 สำหรับออปแอมป์ OA3 จะเป็นชนิดที่มีแรงดันเทรชโฮลด์ปกติ (PHA) และกำกับด้วยสัญลักษณ์ LOSH ทรานซิสเตอร์ MCG3, MN6x, MP6x และ MNV ทำหน้าที่สร้างแรงดันไบแอสเกตของทรานซิสเตอร์ MCG1 และ MCG2 ทรานซิสเตอร์ MSW3 เป็นสวิตช์ตัดต่อกระแสจากวงจรบัฟเฟอร์กระแส ทรานซิสเตอร์ MOS1x และ MOS2x เป็นแหล่งจ่ายกระแสออฟเซตเพื่อให้ผลรวมของออฟเซตที่เกิดขึ้นในระบบมีค่าเป็นบวก ขนาดของอุปกรณ์ที่ใช้ในวงจรส่วนหน้าได้สรุปไว้ในตารางที่ 3-5

ซอร์สของทรานซิสเตอร์ MN2x สามารถมองว่าเป็นด้านออกของออปแอมป์ซึ่งมีวงจรคอมมอนเดรนเป็นวงจรบัฟเฟอร์เชื่อมต่อกับตัวตรวจรู้ภายนอกชิป ที่ปมนี้จะมีค่าความเก็บประจุเนื่องจากตัวเก็บประจุปรสิตสูง ทำให้เสถียรภาพของออปแอมป์ซึ่งมีการป้อนกลับแย่ลง การออกแบบจะต้องคำนึงเรื่องเสถียรภาพของแรงดันเนื่องจากการสวิตช์ไปมาระหว่างวงจรบัฟเฟอร์-



รูปที่ 3-17 ผังวงจรของวงจรส่วนหน้า

กระแสกับวงจรไบแอสสำรองอาจทำให้เกิดการกระเพื่อมของแรงดันที่ไบแอสตัวตรวจรู้ได้ นอกจากนี้เมื่อมีกระแสจากตัวตรวจรู้ไหลจะทำให้กระแสที่ไหลผ่านทรานซิสเตอร์ MN2x มีค่าเปลี่ยนแปลงและมีผลต่อเสถียรภาพ ถ้ากระแสที่ไหลมีค่าน้อยเกินไปจะทำให้เสถียรภาพแย่ลงได้ ดังนั้นกระแสไบแอสของวงจรส่วนหน้าจะต้องมีค่ามากกว่าค่ากระแสรับเข้าเต็มสเกล

ตารางที่ 3-5 สรุปขนาดของอุปกรณ์ที่ใช้ในวงจรส่วนหน้า

อุปกรณ์	ชนิด	ขนาด	อุปกรณ์	ชนิด	ขนาด
MSW1, MSW2	NA	320/0.7	MSW3	NA	16/0.7
MN1x	NA	20/16	MN2x	NA	480/3
MN3x	NA	20/16	MP3x	PHA	160/16
MN4x	NA	20/16	MP4x	PHA	80/16
MN5	NA	5/16	MN5C	NA	20/16
MP5x	PHA	80/16	MN6x	NA	20/16
MP6x	PHA	160/16	MNV	NA	2/16
MCG1-MCG3	PLA	220/3	MP7	PHA	20/16
MP7C	PHA	80/16	MBP	PHA	80/16
MOSx	NA	40/20			

3.4.2 สัญญาณรบกวนสมมูลของวงจรส่วนหน้า

การวิเคราะห์ความหนาแน่นสเปกตรัมของสัญญาณรบกวนของวงจรส่วนหน้า จะใช้แบบจำลองสำหรับวิเคราะห์สัญญาณรบกวนดังรูปที่ 3-18 วงจรส่วนที่ผลของสัญญาณรบกวนต่อกระแสด้านออก I_{out} สามารถละเลยได้จะไม่นำมาแสดงในรูป เพื่อให้วงจรไม่ซับซ้อน ส่วนตัวตรวจรู้นั้นแทนด้วยความต้านทานสมมูล R_{eq} และถือว่าเป็นความต้านทานอุดมคติที่ไม่มีสัญญาณรบกวน (สำหรับตัวตรวจรู้น้ำตาลกลูโคสมีค่า R_{eq} ต่ำสุด 200 kΩ เมื่อค่ารับเข้ามีค่าสูงสุด) ความหนาแน่นสเปกตรัมรวมของสัญญาณรบกวนทั้งหมดที่ปรากฏที่ด้านออกของวงจรส่วนหน้าเป็นดังสมการ

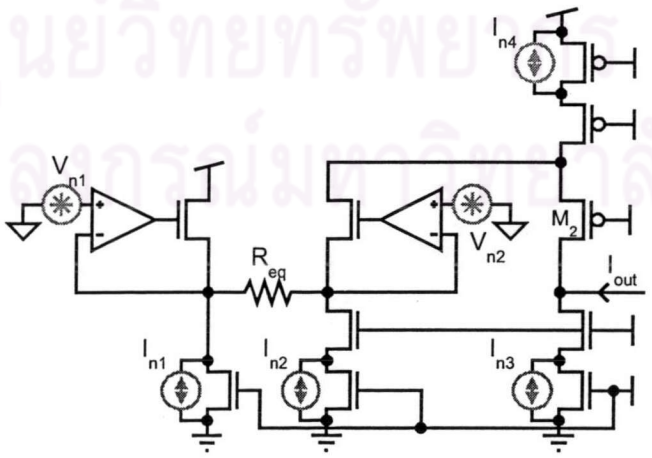
$$I_{n,out}^2(f) = I_{n1}^2(f) + I_{n2}^2(f) + I_{n3}^2(f) + I_{n4}^2(f) + \frac{V_{n1}^2(f) + V_{n2}^2(f)}{R_{eq}} \qquad (3\text{-}30)$$

และ*สัญญาณรบกวนสมมูล*ของระบบเนื่องจากวงจรส่วนหน้าหาได้จากสมการ

$$I_{n,out}^2 = \int_0^\infty |H_{INT}(f) H_{CDS}(f)|^2 I_{n,out}^2(f) df \qquad (3\text{-}31)$$

เมื่อ $H_{INT}(f)$ และ $H_{CDS}(f)$ คือฟังก์ชันถ่ายโอนของตัวอินทิเกรตในสมการ (3-14) และฟังก์ชันถ่ายโอนของเทคนิคซีดีเอสดังสมการ (3-20) ตามลำดับ

สัญญาณรบกวนแต่ละพจน์ทางด้านขวาของสมการ (3-30) สามารถแบ่งย่อยออกได้เป็นพจน์ย่อยสองพจน์ ได้แก่ สัญญาณรบกวนเชิงอุณหภูมิ และสัญญาณรบกวนฟลิกเกอร์ จากการวิเคราะห์พบว่าฟังก์ชันถ่ายโอนของตัวอินทิเกรตจะจำกัดแบนด์วิดท์ของสัญญาณรบกวนให้มีค่าต่ำมาก ดังนั้นสัญญาณรบกวนสมมูลจะขึ้นอยู่กับสัญญาณรบกวนฟลิกเกอร์เป็นหลัก สมการ (3-30) จะสามารถประมาณได้เป็น



รูปที่ 3-18 แบบจำลองสำหรับวิเคราะห์สัญญาณรบกวนของวงจรส่วนหน้า

$$I_{n,out}^2(f) \cong \frac{1}{C_{ox} f}\left[\frac{g_{m1}^2 K_{fn}}{(WL)_1}+\frac{g_{m2}^2 K_{fn}}{(WL)_2}+\frac{g_{m3}^2 K_{fn}}{(WL)_3}+\frac{g_{m4}^2 K_{fp}}{(WL)_4}+\frac{V_{n1/f}^2+V_{n2/f}^2}{R_{eq}}\right] \quad (3\text{-}32)$$

เมื่อ $V_{n1/f}^2$ และ $V_{n2/f}^2$ คือพจน์ที่ไม่ขึ้นกับความถี่ของสเปกตรัม $V_{n1}^2(f)$และ $V_{n2}^2(f)$ ตามลำดับ

3.4.3 ผลการจำลองการทำงาน

หน้าที่หลักของวงจรส่วนหน้าคือไบแอสแรงดันให้แก่ตัวตรวจรู้ และบัฟเฟอร์กระแส ดังนั้นคุณสมบัติที่สำคัญของวงจรส่วนหน้า ได้แก่ แรงดันไบแอสที่สามารถจ่ายได้ อัตราขยายกระแส ความต้านทานขาเข้า และออก นอกจากนี้ยังมีคุณสมบัติอื่นๆ เช่น สัญญาณรบกวน และออฟเซต ผลการจำลองการทำงานของวงจรส่วนหน้าสรุปไว้ในตารางที่ 3-6

ตารางที่ 3-6 สรุปผลการจำลองการทำงานของวงจรส่วนหน้า

วงจรส่วนหน้า	สภาวะปกติ	สภาวะเร็วยิ่ง	สภาวะช้ายิ่ง
แรงดันไบแอสตัวตรวจรู้ (V)	0.1 – 0.8	0.1 – 0.8	0.1 – 0.7
อัตราขยายไฟตรง ($0<I_{in}<1\mu A$)	1.000	1.000	0.9972 – 0.9980
ความต้านทานขาเข้า (f<100 Hz, $0<I_{in}<1\mu A$)			
รวมความต้านทานสวิตช์ MSW1 (Ω)	18.3	9.6	64.9
ไม่รวมความต้านทานของสวิตช์ (Ω)	0.49	0.36	0.76
ความต้านทานขาออก (f<1 kHz, $0<I_{in}<1\mu A$) (MΩ)	75.8	131.2	22.6
พีเอสอาร์อาร์ที่ขาเข้า (f<100 Hz, $0<I_{in}<1\mu A$) (dB)	-81.3	-75.4	-61.4
ที่ 100 kHz (dB)	-19.6	-23.9	-15.9
ที่ 1 MHz (dB)	-23.6	-25.7	-21.9
สัญญาณรบกวนสมมูลอ้างอิงที่ขาเข้าดังสมการ (3-31) อินทิเกรตจาก 1 Hz ถึง 10 MHz (pA)	156	155	162
ออฟเซตแบบซิสเต็มเมติก (nA)	2.0	1.8	1.8
ออฟเซตแบบสุ่ม (nA)	79	66	62
การกินกระแส (μA)	49.4	57.9	45.6

แรงดันไบแอสตัวตรวจรู้ที่ได้จากวงจรส่วนหน้าคือผลต่างระหว่างแรงดันไบแอสขั้วบวก และขั้วลบ จากการออกแบบได้กำหนดให้แรงดันไบแอสขั้วลบมีค่าคงที่ประมาณ 0.2 โวลต์ และแรงดันขั้วบวกปรับได้ตั้งแต่ 0.3 ถึง 1.0 โวลต์ โดยปรับได้ทีละ 0.1 โวลต์ ยกเว้นในสภาวะช้ายิ่งที่แรงดันแหล่งจ่ายมีค่า 2.0 โวลต์ จะไม่สามารถปรับแรงดันขั้วบวกถึง 1.0 โวลต์ เนื่องจากแรงดันขาออกของออปแอมป์ที่ต้องการมีค่าเกินช่วงแกว่งของออปแอมป์

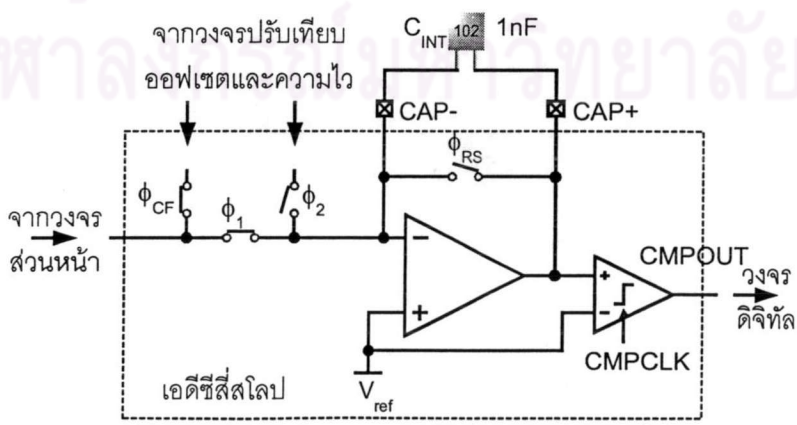
วงจรส่วนหน้าที่ออกแบบสามารถบัฟเฟอร์กระแสได้ดี เห็นได้จากอัตราขยายซึ่งค่อนข้างคงที่ทุกค่าของกระแสขาเข้า และมีความต้านทานขาเข้าต่ำเพียงพอเมื่อเทียบกับความ

ต้านทานสมมูลของตัวตรวจรู้ที่กระแสเต็มสเกลกับแรงดันไบแอส 0.1 โวลต์ ซึ่งมีค่าเท่ากับ 100 kΩ ส่วนความต้านทานขาออกมีค่าสูงกว่า 20 MΩ ดังนั้นแรงดันที่ขาออกจะกระเพื่อมได้ไม่เกิน 20 mV เพื่อให้กระแสผิดพลาดต่ำกว่า 1 nA

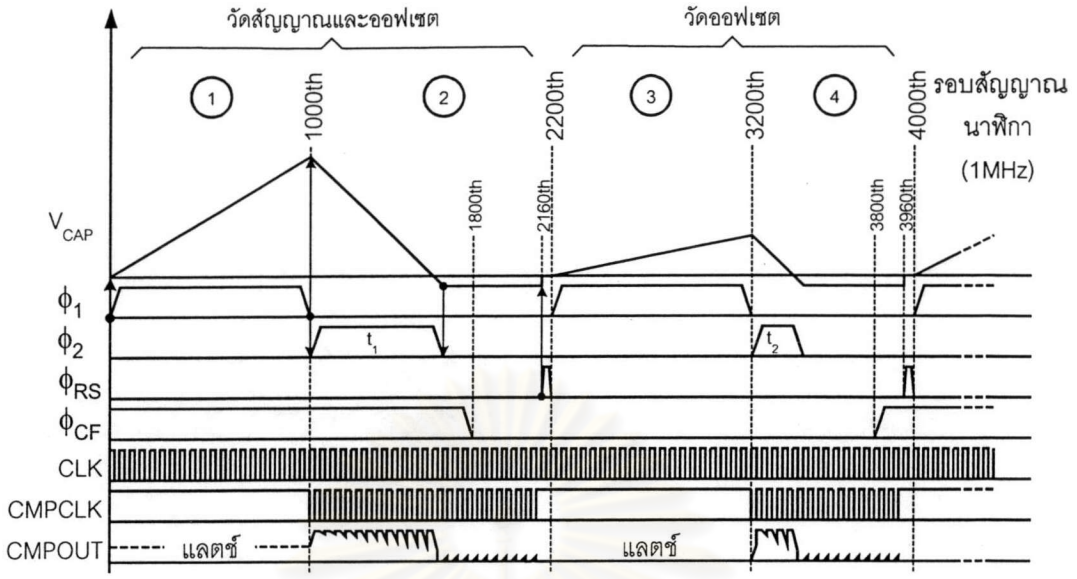
พีเอสอาร์อาร์ของแรงดันไบแอสของวงจรส่วนหน้ามีค่าสูงที่ความถี่ต่ำ เนื่องจากความยาวของทรานซิสเตอร์มีค่ามากเช่นเดียวกับพีเอสอาร์อาร์ของวงจรสร้างแรงดันอ้างอิง และมีค่าต่ำลงที่ความถี่สูงกว่า 100 เฮิรตซ์ สัญญาณรบกวนสมมูลของวงจรส่วนหน้ามีค่าน้อยกว่าค่า LSB ของตัวแปลงแอนะล็อกเป็นดิจิทัล ขณะที่ออฟเซตแบบซิสเต็มเมติกมีค่าต่ำเนื่องจากการไบแอสแบบเรพลิคา อย่างไรก็ตามออฟเซตแบบสุ่ม (Random offset) ของวงจรส่วนหน้ามีค่าค่อนข้างมาก เนื่องจากมีจำนวนแหล่งจ่ายกระแสในวงจรอยู่มากทำให้เกิดออฟเซตได้ง่าย อย่างไรก็ตาม ค่าออฟเซตดังกล่าวสามารถกำจัดได้โดยการแปลงแอนะล็อกเป็นดิจิทัลแบบสี่สโลป

3.5 ตัวแปลงแอนะล็อกเป็นดิจิทัล

ตัวแปลงแอนะล็อกเป็นดิจิทัลแบบสี่สโลปในส่วนแอนะล็อก ประกอบด้วยออปแอมป์ซึ่งเป็นองค์ประกอบหลักของตัวอินทิเกรต ตัวเปรียบเทียบ และสวิตช์เลือกกระแสที่จะนำมาอินทิเกรต ดังแสดงในรูปที่ 3-19 ตัวเก็บประจุที่ใช้ในการอินทิเกรตเป็นตัวเก็บประจุภายนอกเนื่องจากมีค่ามาก ตัวเปรียบเทียบที่ใช้เป็นชนิดติดตามและแลตช์ (Track and latch) ซึ่งต้องการสัญญาณนาฬิกาจากวงจรส่วนดิจิทัล เพื่อควบคุมจังหวะการทำงาน และสวิตช์จะเลือกระหว่างกระแสจากวงจรส่วนหน้าและกระแสปรับเทียบออฟเซต กับกระแสอ้างอิง ในที่นี้กระแสอ้างอิงกับกระแสปรับเทียบความไวมีความหมายเดียวกัน เนื่องจากการปรับเทียบความไวจะทำโดยการปรับค่ากระแสอ้างอิงโดยตรง นอกจากนี้ยังมีสวิตช์ที่ใช้คายประจุตกค้างในตัวเก็บประจุในตอนสิ้นสุดการแปลงสัญญาณแต่ละรอบ สัญญาณที่ควบคุมสวิตช์และตัวเปรียบเทียบมาจากวงจรส่วนดิจิทัล ซึ่งออกแบบให้ทำงานที่สัญญาณนาฬิกา 1 MHz และแปลงค่ากระแสรับเข้าได้ตั้งแต่ 0 ถึง 1000 nA



รูปที่ 3-19 แผนภาพบล็อกของเอดีซี



รูปที่ 3-20 แผนภาพเวลาของเอดีซี

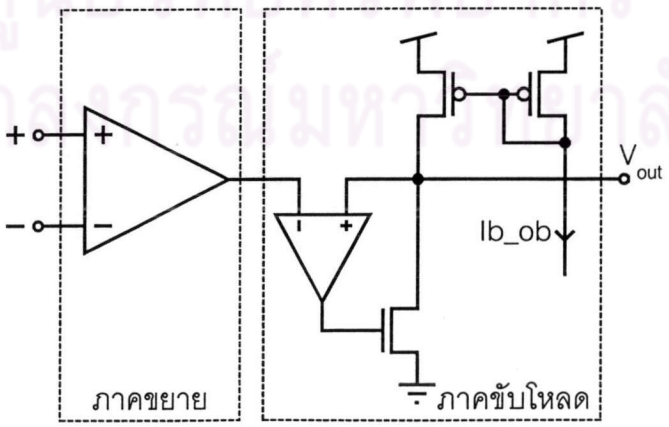
จังหวะการทำงานของสวิตช์และตัวเปรียบเทียบเป็นไปตามที่แสดงไว้ในรูปที่ 3-20 สวิตช์ที่ควบคุมด้วยเฟส ϕ_{CF} (นอกจากสวิตช์ในรูปที่ 3-19 แล้วยังมีสวิตช์อีกตัวหนึ่งในวงจรส่วนหน้าดังรูปที่ 3-17) จะปิดในช่วงเวลาที่ 1 พร้อมกับสวิตช์ที่ควบคุมด้วยเฟส ϕ_1 เพื่อให้กระแสจากวงจรส่วนหน้าร่วมกับกระแสปรับเทียบออฟเซตไหลเข้าสู่ตัวอินทิเกรต แต่สวิตช์ของเฟส ϕ_{CF} จะปิดก่อนและเปิดทีหลังเฟส ϕ_1 ทั้งนี้เพื่อให้กระแสจากวงจรส่วนหน้าเข้าสู่สถานะเสถียร (Steady state) ก่อนที่จะนำไปอินทิเกรต นอกจากจะปิดในช่วงเวลาที่ 1 แล้วสวิตช์ที่ควบคุมด้วยเฟส ϕ_1 จะปิดในช่วงเวลาที่ 3 ด้วย ขณะที่สวิตช์ที่ควบคุมด้วยเฟส ϕ_{CF} จะเปิด เพื่อให้มีแต่กระแสออฟเซตของวงจรส่วนหน้าไหลเข้าสู่ตัวอินทิเกรตเท่านั้น เมื่อเฟส ϕ_1 จบลงจะเป็นจังหวะที่เฟส ϕ_2 เริ่มทำงาน สวิตช์ที่ควบคุมด้วยเฟส ϕ_2 จะปิดเพื่อให้กระแสอ้างอิงไหลเข้าสู่ตัวอินทิเกรตเป็นเฟสการอินทิเกรตขาลง และตัวเปรียบเทียบได้รับสัญญาณนาฬิกาเพื่อเริ่มเปรียบเทียบสัญญาณ ขณะที่สัญญาณนาฬิกาเป็นตรรกะ 1 วงจรเปรียบเทียบจะอยู่ในสถานะแลตช์ ตรรกะ 0 วงจรเปรียบเทียบจะเป็นเพียงวงจรขยาย เฟส ϕ_2 จะสิ้นสุดหลังจากแรงดันที่ขาออกของตัวอินทิเกรตมีค่าน้อยกว่าแรงดัน V_{ref} และจะหน่วงเวลาไว้สองรอบสัญญาณนาฬิกาเพื่อให้แรงดันที่ขาออกของตัวอินทิเกรตน้อยกว่าแรงดัน V_{ref} มากพอที่จะไม่ถูกกวนโดยสัญญาณรบกวนจนทำให้สัญญาณ CMPOUT มีการเปลี่ยนค่าจากตรรกะ 0 เป็น 1 ในช่วงเวลาที่ 2 และ 4 หลังจากเฟส ϕ_2 สิ้นสุดลง สวิตช์ทุกตัวจะเปิด และแรงดันที่ขาออกของตัวอินทิเกรตจะไม่มีการเปลี่ยนแปลง จนกระทั่งถึงรอบสัญญาณนาฬิกาที่ 2160 หรือ 3960 สวิตช์ที่ถูกควบคุมด้วยเฟส ϕ_{RS} จะลัดวงจร เพื่อคายประจุที่ค้างอยู่ในตัวเก็บประจุก่อนที่จะเริ่มการอินทิเกรตครั้งต่อไป ระยะเวลาที่คายประจุยาว 40 ms หรือ 40 รอบสัญญาณนาฬิกา เพื่อให้แน่ใจว่าแรงดันที่ด้านออกของออปแอมป์เข้าสู่สถานะเสถียรก่อนจะเริ่มการอินทิเกรตครั้งใหม่

3.5.1 ผังวงจร

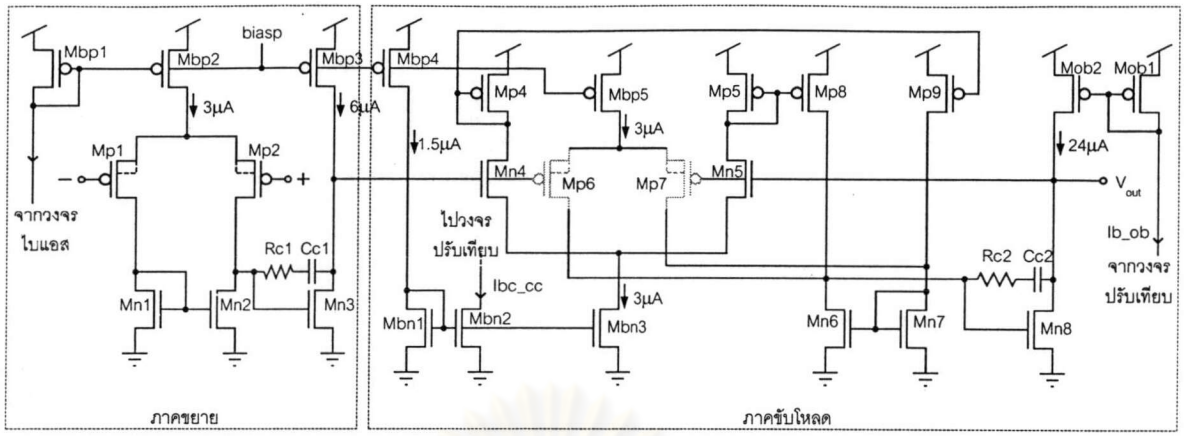
องค์ประกอบไวงานภายในเอดีซีมีสองตัว ได้แก่ ออปแอมป์ และตัวเปรียบเทียบ โครงสร้างภายในออปแอมป์ประกอบด้วยภาคขยาย และภาคขับโหลดดังรูปที่ 3-21 สาเหตุที่ต้องมีภาคขับโหลด เนื่องจากภาคขยายมีความต้านทานขาออกสูง ถ้านำมาต่อกับตัวเก็บประจุสำหรับอินทิเกรตโดยตรง ภาคขยายจะทำหน้าที่เป็นวงจรขยายทรานส์คอนดักแตนซ์ ซึ่งมีค่า g_m ประมาณ 40 μA/V สมมติว่าภาคขยายจ่ายกระแสให้กับตัวเก็บประจุ 1 μA แรงดันผลต่างขาเข้าของภาคขยายต้องมีค่า 25 mV ทำให้แรงดันที่ขาเข้าของออปแอมป์ไม่ใช่กราวด์เสมือนอีกต่อไป จึงต้องมีภาคขับโหลดซึ่งมีความต้านทานขาออกต่ำ จ่ายกระแสให้กับตัวเก็บประจุแทนภาคขยาย ทำให้แรงดันผลต่างขาเข้าของภาคขยายมีค่าต่ำกว่า 1 mV

โครงสร้างของภาคขยายเป็นวงจรขยายสองขั้นตอน (Two-stage amplifier) ส่วนภาคขับโหลดใช้โครงสร้างที่เรียกว่าซอร์สฟอลโลว์เออร์เทียม (Pseudo source follower) [46] ซึ่งใช้วงจรขยายผลต่างรวมกับวงจรขยายซอร์สร่วมต่อป้อนกลับเพื่อทำหน้าที่แทนวงจรขยายซอร์สฟอลโลว์เออร์ ข้อดีของโครงสร้างดังกล่าวคือภาคขับโหลดมีช่วงแกว่งด้านออก (Output swing) กว้างกว่าวงจรขยายซอร์สฟอลโลว์เออร์ เหมาะกับวงจรซึ่งทำงานที่แรงดันแหล่งจ่ายต่ำ วงจรขยายผลต่างที่ใช้จะต้องมีพิสัยแรงดันขาเข้าโหมดร่วม (Common-mode input range) เท่ากับช่วงแกว่งด้านออก

ผังวงจรของออปแอมป์แสดงในรูปที่ 3-22 ทรานซิสเตอร์ Mbp2, Mbp3, Mp1, Mp2, Mn1, Mn2 และ Mn3 เป็นวงจรขยายสองขั้นตอนซึ่งมีการชดเชยความถี่ด้วยตัวต้านทาน Rc1 และตัวเก็บประจุ Cc1 ทรานซิสเตอร์ Mn4-Mn7, Mp4-Mp9, Mbn3 และ Mbp5 เป็นวงจรขยายผลต่างซึ่งเกิดจากวงจรขยายผลต่างชนิดพี และชนิดเอ็นประกอบกัน ทำให้วงจรขยายที่ได้มีพิสัยรับเข้าโหมดร่วมกว้างขึ้นกว่าวงจรขยายผลต่างชนิดใดชนิดหนึ่งเพียงตัวเดียว แต่พิสัยรับเข้า



รูปที่ 3-21 แผนภาพบล็อกภายในออปแอมป์



รูปที่ 3-22 ผังวงจรออปแอมป์สำหรับตัวอินทิเกรต

โหมดร่วมของวงจรขยายทั้งสองชนิดจะต้องมีช่วงที่เกยกันเพื่อไม่ให้เกิดช่วงแรงดันตรงกึ่งกลางที่ไม่มีวงจรขยายตัวใดทำงาน วงจรขยายผลต่าง และทรานซิสเตอร์ Mn8 ต่อเป็นวงจรขยายป้อนกลับเพื่อเป็นวงจรซอร์สฟอลโลว์เออร์เทียม กระแสที่ไบแอสทรานซิสเตอร์ Mn8 นั้นได้มาจากวงจรปรับเทียบซึ่งนำกระแสมาจากวงจรสร้างกระแสอ้างอิงอีกทอดหนึ่ง

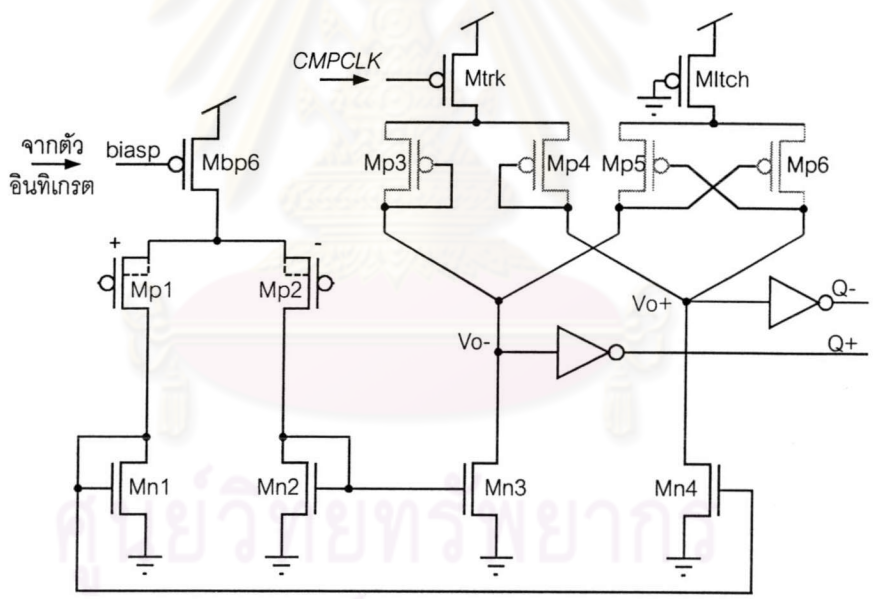
เนื่องจากโครงสร้างของวงจรซอร์สฟอลโลว์เออร์เทียมนั้นเหมือนกับวงจรขยายสองขั้นตอนจึงต้องชดเชยความถี่ด้วยตัวต้านทาน Rc2 และตัวเก็บประจุ Cc2 การชดเชยความถี่ของวงจรขยายผลต่างต้องมีความรอบคอบเนื่องจากแบนด์วิดท์ของวงจรขยายสามารถเปลี่ยนแปลงได้ตามแรงดันโหมดร่วมของสัญญาณเข้า การชดเชยความถี่จะต้องทำให้ภาคขับโหลดมีเสถียรภาพเสมอไม่ว่าแรงดันที่จ่ายจะมีค่าเท่าใด และกระแสที่ไหลในขั้นตอนที่สองของภาคขับโหลดจะต้องมีค่ามาก เพราะตัวเก็บประจุปรสิต (Parasitic capacitor) ที่ปมออกของออปแอมป์มีค่ามาก เนื่องจากต้องต่อกับตัวเก็บประจุภายนอก และเผื่อโหลดเนื่องจากโพรบของออสซิลโล-สโคปซึ่งใช้ในการทดสอบ (โหลดที่ใช้จำลองผลของโพรบประกอบด้วยความต้านทาน 1 MΩ และตัวเก็บประจุ 15 pF) ส่วนทรานซิสเตอร์ Mbn2 จ่ายกระแสเพื่อไบแอสทรานซิสเตอร์คาสโคดของวงจรปรับเทียบ ขนาดของอุปกรณ์ที่ใช้ในออปแอมป์ถูกสรุปไว้ในตารางที่ 3-7

ผังวงจรของตัวเปรียบเทียบแสดงในรูปที่ 3-23 [47] ตัวเปรียบเทียบมีโครงสร้างแบบติดตามและแลตช์ [18] ตัวเปรียบเทียบชนิดนี้มีความเร็วในการเปรียบเทียบสูง ขณะที่มีออฟเซตต่ำเมื่อเทียบกับตัวเปรียบเทียบพลวัต (Dynamic comparator)

ทรานซิสเตอร์ Mp1, Mp2, Mn1, Mn2 และ Mbp6 เป็นวงจรขยายภาคต้น ซึ่งมีแบนด์วิดท์กว้าง การทำงานของตัวเปรียบเทียบมีสองสถานะ เมื่อสัญญาณ CMPCLK มีค่าเท่ากับตรรกะ 0 ทรานซิสเตอร์ Mtrk จะลัดวงจร ทำให้มีกระแสไหลผ่านทรานซิสเตอร์ Mp3 และ Mp4 สถานะนี้คือสถานะติดตาม อัตราขยายของตัวเปรียบเทียบในสถานะนี้มีค่าเป็นดังสมการ

ตารางที่ 3-7 ขนาดของอุปกรณ์ที่ใช้ในออปแอมป์สำหรับตัวอินทิเกรต

อุปกรณ์	ชนิด	ขนาด	อุปกรณ์	ชนิด	ขนาด
Mbp1,Mbp4	PHA	24/3	Mbp2,Mbp5	PHA	48/3
Mbp3	PHA	96/3	Mbn1,Mbn2	NA	6/3
Mbn3	NA	12/3	Mp1,Mp2	PHA	40/3
Mn1,Mn2	NA	6/3	Mn3	NA	24/3
Mn4,Mn5	NA	80/3	Mp4,Mp5,Mp8,Mp9	PHA	24/3
Mp6,Mp7	PLA	40/3	Mn6,Mn7	NA	6/3
Mn8	NA	96/3	Mob1	PHA	24/3
Mob2	PHA	384/3	Rc1	RHIPO	14kΩ
Cc1	CAPA	7.5pF	Rc2	RHIPO	60kΩ
Cc2	CAPA	3pF			



รูปที่ 3-23 ผังวงจรของตัวเปรียบเทียบ

$$\frac{V_o}{V_i} = \frac{g_{mp1}}{g_{mp3} - g_{mp5}} \cdot \frac{(W/L)_{n3}}{(W/L)_{n1}} \qquad (3\text{-}33)$$

หรือ

$$\frac{V_o}{V_i} = \frac{\sqrt{(W/L)_{p1} \cdot \{(W/L)_{p3} + (W/L)_{p5}\}}}{(W/L)_{p3} - (W/L)_{p5}} \cdot \sqrt{\frac{(W/L)_{n3}}{(W/L)_{n1}}} \qquad (3\text{-}34)$$

ถ้าสัญญาณ CMPCLK มีค่าตรรกะ 1 จะทำให้ทรานซิสเตอร์ Mp3 และ Mp4 ถูกตัดออกจากวงจร เหลือเพียงทรานซิสเตอร์ Mp5 และ Mp6 ซึ่งต่อในลักษณะป้อนกลับแบบบวกอยู่ แรงดัน Vo+ และ Vo- จะถูกขยายอย่างรวดเร็วด้วยกระบวนการเวียนเกิด (Regenerative) แบบเดียวกับที่ใช้ในวงจรแลตช์ แรงดันสุดท้ายของ Vo+ และ Vo- ขึ้นอยู่กับค่าแรงดันตอนที่วงจรยังอยู่ในสถานะติดตาม สถานะนี้เรียกว่าสถานะแลตช์ โดยสถานะแลตช์ควรจะเริ่มในช่วงขอบขาลงของสัญญาณนาฬิกาของระบบ เพื่อเลี่ยงช่วงที่ระบบมีการดึงกระแสจำนวนมากเนื่องจากการทำงานของวงจรดิจิทัลที่ขอบขาขึ้นของสัญญาณนาฬิกา ซึ่งจะทำให้เกิดสัญญาณรบกวนและมีผลต่อการเปรียบเทียบ [47] ส่วนตัวผกผัน (Inverter) ทั้งสองตัวมีไว้เพื่อให้โหลดที่ปม Vo+ กับ Vo- เท่ากัน และทำให้แรงดันออกมีค่าเป็นตรรกะ 0 (0 โวลต์) และ 1 (แรงดันเท่ากับแรงดันแหล่งจ่าย) เพื่อที่จะส่งให้กับวงจรดิจิทัล ตัวผกผันดังกล่าวนำมาจากชุดเซลล์มาตรฐาน

จุดที่ต้องคำนึงในการออกแบบตัวเปรียบเทียบคือแบนด์วิดท์ของวงจรในสถานะติดตาม และเวลาที่แลตช์ใช้ในการแยกแยะแรงดัน Vo จนกระทั่งกลายเป็นค่าสูงสุดหรือต่ำสุด ในสถานะติดตามแรงดันที่ขาออกของตัวเปรียบเทียบจะต้องเปลี่ยนแปลงจากค่าสูงสุดหรือต่ำสุด (เนื่องจากในสถานะแลตช์ แรงดันที่ขาออกจะถูกขยายจนสุด) มาสู่ค่าในสถานะเสถียรซึ่งเท่ากับแรงดันขาเข้าคูณด้วยอัตราขยาย การเปลี่ยนแปลงสู่สถานะเสถียรจะเร็วหรือช้านั้นขึ้นอยู่กับแบนด์วิดท์ ซึ่งคำนวณได้จากสมการ (ดูการพิสูจน์ในภาคผนวก ค)

$$\omega_{p1} = \ln\left(\frac{V_{DD} + A_v v_{in,\min}}{A_v v_{in,\min}}\right) \Big/ t_{track} \tag{3-35}$$

เมื่อ ω_{p1}, A_v คือโพลเป็นใหญ่ (Dominant pole) และอัตราขยายของตัวเปรียบเทียบในสถานะติดตาม ตามลำดับ $v_{in,min}$ คือแรงดันต่ำสุดที่ตัวเปรียบเทียบต้องแยกแยะ และ t_{track} คือระยะเวลาที่ตัวเปรียบเทียบอยู่ในสถานะติดตาม ตัวอย่างเช่น ตัวเปรียบเทียบทำงานที่แรงดัน 5 โวลต์ มีอัตราขยาย 6 เท่า มีเวลาในการติดตาม 0.5 µs และใช้แยกแรงดันขนาดเล็กสุด 1 mV จะคำนวณหาแบนด์วิดท์ของตัวเปรียบเทียบในสถานะติดตามที่ต้องการได้เท่ากับ 2.1 MHz โพลเป็นใหญ่ของตัวเปรียบเทียบคำนวณได้จากสมการ

$$\omega_{p1} = \frac{g_{mp3} - g_{mp5}}{C_L} \tag{3-36}$$

ส่วนเวลาที่แลตช์ใช้ในการแยกแยะแรงดัน Vo สามารถคำนวณได้จากสมการ [18]

$$T_{latch} = \frac{C_L}{g_{mp5}} \ln\left(\frac{V_{DD}}{Vo^-}\right) \tag{3-37}$$

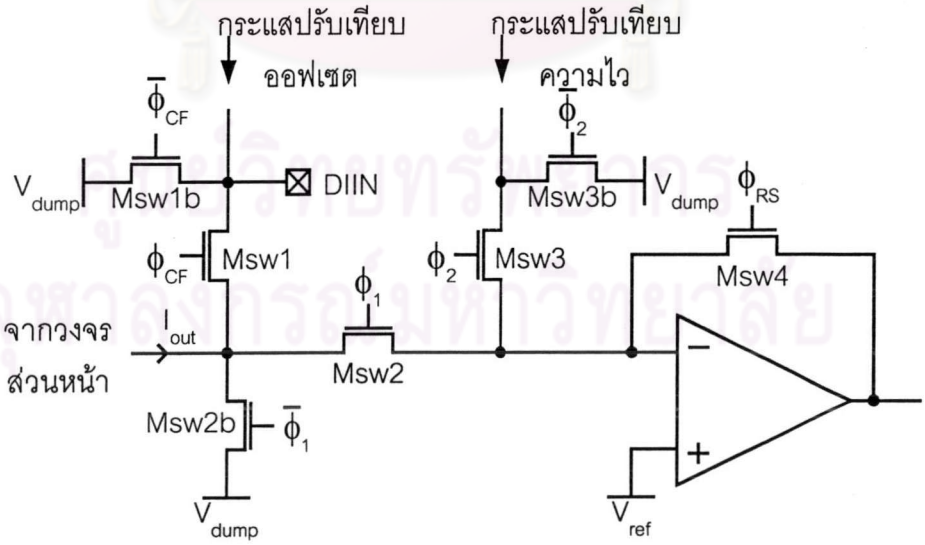
เมื่อ C_L คือโหลดตัวเก็บประจุที่ปม Vo+ หรือ Vo- และ Vo^- คือแรงดันขาออกตั้งต้น โดยทั่วไปเวลาที่ใช้แลตช์จะน้อยกว่า 10 ns ซึ่งน้อยกว่าเวลาที่ใช้ติดตามมาก ในการออกแบบตัวเปรียบเทียบใน

สถานะแลตช์จึงสามารถละเลยเรื่องความเร็วได้ ขนาดของอุปกรณ์ที่ใช้ในตัวเปรียบเทียบได้ระบุไว้ในตารางที่ 3-8

ตารางที่ 3-8 ขนาดของอุปกรณ์ที่ใช้ในตัวเปรียบเทียบ

อุปกรณ์	ชนิด	ขนาด	อุปกรณ์	ชนิด	ขนาด
Mbp6	PHA	144/3	Mp1,Mp2	PHA	40/1.2
Mn1,Mn2	NA	6/1.2	Mn3,Mn4	NA	12/1.2
Mp3,Mp4	PLA	48/1.2	Mp5,Mp6	PLA	40/1.2
Mtrk,Mltch	PHA	24/0.7	Msw1x,Msw2x	NA	320/0.7
Msw3x,Msw4	NA	16/0.7			

สวิตช์ในรูปที่ 3-19 แต่ละตัวจะมีคู่ของตัวเองซึ่งจะเปิดปิดสลับกัน เพื่อให้กระแสที่ไม่ต้องการนำไปอินทิเกรตในช่วงเวลานั้นไหลไปที่กราวด์เสมือน V_{dump} ซึ่งมีแรงดันเท่ากับแรงดันที่ขาเข้าของตัวอินทิเกรต ข้อดีของโครงสร้างเอดีซีแบบนี้คือสวิตช์ทุกตัวจะสามารถทำงานที่แรงดันแหล่งจ่ายต่ำได้ดีเนื่องจากขาข้างหนึ่งของสวิตช์อยู่ที่กราวด์เสมือนตลอดเวลา และใช้เพียงทรานซิสเตอร์เอ็นมอสเป็นสวิตช์ รูปที่ 3-24 แสดงรายละเอียดของสวิตช์ในเอดีซี ขนาดของสวิตช์ระบุไว้ในตารางที่ 3-8 นอกจากนี้ที่ปม DIIN ยังเป็นจุดที่สามารถป้อนกระแสจากภายนอกชิปเข้าสู่เอดีซีได้โดยตรงโดยไม่ต้องผ่านวงจรส่วนหน้า



รูปที่ 3-24 แผนภาพแสดงรายละเอียดของวงจรสวิตช์

3.5.2 การจัดสรรพิสัยพลวัต

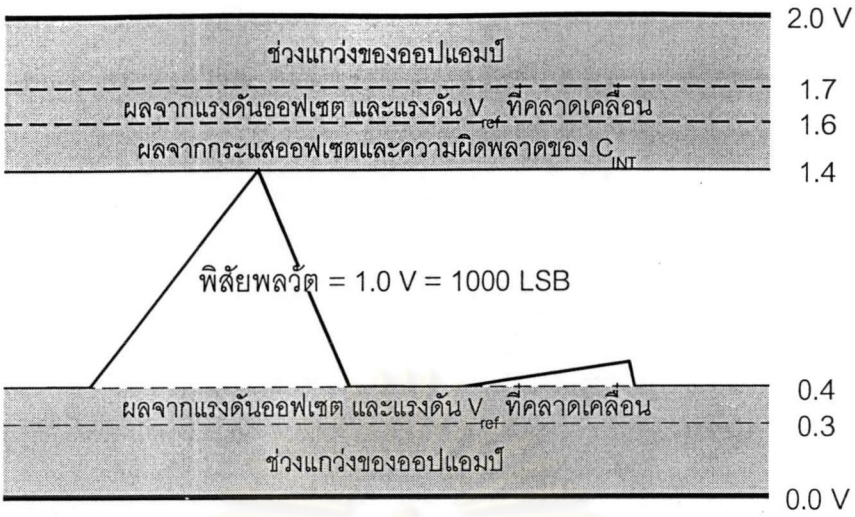
แรงดันที่ขาออกของตัวอินทิเกรตจะต้องมีค่าใหญ่ที่สุดเท่าที่จะเป็นไปได้ เพื่อให้เอดีซีทนต่อสัญญาณรบกวนได้ดี นอกจากนี้ยังช่วยให้ตัวเปรียบเทียบสามารถแยกแยะแรงดันได้ดีขึ้นอีกด้วย การกำหนดช่วงแรงดันขาออกของตัวอินทิเกรตขึ้นอยู่กับการเลือกค่าตัวเก็บประจุ C_{INT} สำหรับตัวอินทิเกรต และแรงดัน V_{ref} การเลือกค่านั้นจะต้องคำนึงถึงความไม่เป็นอุดมคติของวงจรในส่วนต่างๆ ของระบบซึ่งจะมีผลต่อแรงดันขาออก ความไม่เป็นอุดมคติที่ต้องพิจารณา ได้แก่

- **ช่วงแกว่งของออปแอมป์** ถ้าแรงดันออกของตัวอินทิเกรตมีค่าเกินช่วงแกว่ง อัตราขยายของออปแอมป์จะลดลงอย่างรวดเร็ว แรงดันที่ขาออกจะไม่ใช่ผลจากการอินทิเกรตสัญญาณเข้าอีกต่อไป สำหรับออปแอมป์ที่ใช้มีช่วงแกว่งอยู่ในช่วง 0.3 ถึง V_{DD}-0.3 V
- **แรงดันออฟเซต** มีแหล่งกำเนิดสองแหล่ง ได้แก่ ออปแอมป์ของตัวอินทิเกรต และตัวเปรียบเทียบ จากการออกแบบกำหนดให้ออฟเซตแบบสุ่มเนื่องจากอุปกรณ์สองตัวนี้มีค่าไม่เกินตัวละ ±25 mV รวมกันเป็น ±35.4 mV
- **ความคลาดเคลื่อนของ V_{ref}** ค่า V_{ref} ที่สร้างจากวงจรไบแอสจะมีค่าอยู่ในช่วง 395 ถึง 405 mV
- **กระแสออฟเซต** มีแหล่งกำเนิดสองแหล่ง ได้แก่ ออฟเซตที่ตั้งใจสร้างขึ้น มีค่า +62.5 nA และออฟเซตแบบสุ่มเนื่องจากวงจรส่วนหน้า ซึ่งออกแบบไว้ไม่เกิน ±70 nA คิดเป็นค่าออฟเซตสูงสุดประมาณ 130 nA หรือเท่ากับ 130 LSB
- **ความผิดพลาดของค่า C_{INT}** เนื่องจากค่าตัวเก็บประจุภายนอกอาจมีความผิดพลาด ±5 % ถ้าค่าของตัวเก็บประจุ C_{INT} น้อยกว่าที่ระบุจะทำให้แรงดันออกจากตัวอินทิเกรตมีค่าสูงขึ้นผกผันกับค่าความเก็บประจุ ความผิดพลาดของแรงดันออกสูงสุดมีค่าประมาณ 5 % ของแรงดันเต็มสเกล หรือคิดเป็น 50 mV

เมื่อนำผลจากความไม่เป็นอุดมคติดังกล่าวมาสรุปรวมกัน จะได้ค่าพิสัยพลวัตที่เหมาะสมคือ 1.0 V และค่าแรงดัน V_{ref} เท่ากับ 0.4 V ดังรูปที่ 3-25 เมื่อค่ากระแสเข้าเต็มสเกลเท่ากับ 1 μA ตัวเก็บประจุ C_{INT} จะต้องมีค่าเท่ากับ 1 nF จึงทำให้พิสัยพลวัตมีค่าตามที่ตั้งไว้

3.5.3 สัญญาณรบกวนสมมูลของเอดีซี

แหล่งกำเนิดสัญญาณรบกวนในเอดีซีมีอยู่สองแหล่งด้วยกัน ได้แก่ ออปแอมป์และตัวเปรียบเทียบ สำหรับออปแอมป์ซึ่งมีโครงสร้างแบบสองขั้นตอนสามารถศึกษาวิธีการวิเคราะห์ความหนาแน่นสเปกตรัมของสัญญาณรบกวนได้จากตำราทั่วไป [18] ความหนาแน่นสเปกตรัมสัญญาณรบกวนอ้างอิงที่ขาเข้า (Input-referred noise) รวมของออปแอมป์เป็นดังสมการ



รูปที่ 3-25 แผนภาพแสดงการจัดสรรพิสัยพลวัต

$$V_{n,oa}^2(f) = 2V_{n,mp1}^2(f) + 2V_{n,mn1}^2(f)\left[\frac{(W/L)_{n1}\mu_n}{(W/L)_{p1}\mu_p}\right] \tag{3-38}$$

เมื่อ $V_n^2(f)$ คือความหนาแน่นสเปกตรัมสัญญาณรบกวนของทรานซิสเตอร์ ซึ่งอาจเป็นสัญญาณรบกวนเชิงอุณหภูมิ สัญญาณรบกวนฟลิกเกอร์ หรือทั้งสองชนิดรวมกัน

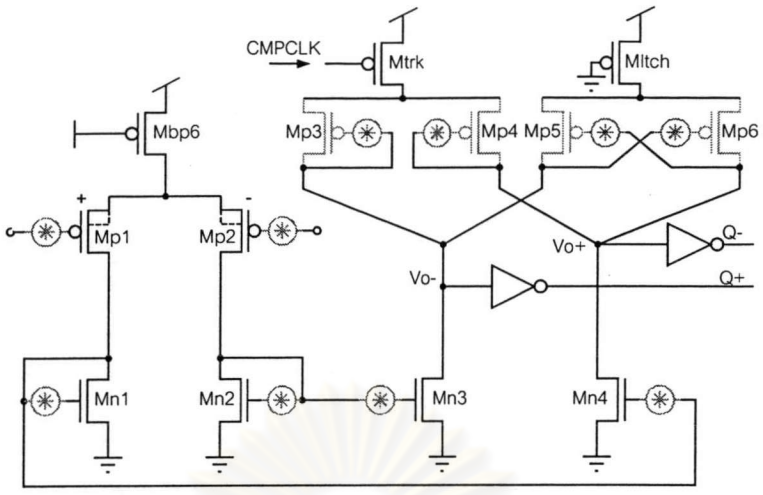
แบบจำลองสำหรับวิเคราะห์สัญญาณรบกวนของตัวเปรียบเทียบเป็นดังรูปที่ 3-26 สัญญาณรบกวนที่เราสนใจคือสัญญาณรบกวนอ้างอิงที่ขาเข้าขณะที่ตัวเปรียบเทียบอยู่ในสถานะติดตาม ความหนาแน่นสเปกตรัมสัญญาณรบกวนอ้างอิงที่ขาเข้ารวมของตัวเปรียบเทียบเป็นดังสมการ

$$\begin{aligned} V_{n,cmp}^2(f) &= 2V_{n,mp1}^2(f) + 2V_{n,mn1}^2(f)\left[\frac{(W/L)_{n1}\mu_n}{(W/L)_{p1}\mu_p}\right] \\ &+ 2\frac{(W/L)_{n1}\mu_n}{(W/L)_{p1}\mu_p}\cdot\left[V_{n,mn3}^2(f) + \frac{g_{mp3}^2 V_{n,mp3}^2(f) + g_{mp5}^2 V_{n,mp5}^2(f)}{g_{mn3}^2}\right] \end{aligned} \tag{3-39}$$

จัดรูปสมการข้างต้นโดยอาศัยความสัมพันธ์ $g_m^2 = 2\beta \cdot I_D$ จะได้

$$\begin{aligned} V_{n,cmp}^2(f) &= 2V_{n,mp1}^2(f) + 2\left[V_{n,mn1}^2(f) + V_{n,mn3}^2(f)\right]\cdot\left[\frac{(W/L)_{n1}\mu_n}{(W/L)_{p1}\mu_p}\right] \\ &+ 2\frac{(W/L)_{n1}}{(W/L)_{p1}}\cdot\left[\frac{(W/L)_{p3}^2}{(W/L)_{n3}\left[(W/L)_{p3} + (W/L)_{p5}\right]}\cdot V_{n,mp3}^2(f)\right. \\ &\left. + \frac{(W/L)_{p5}^2}{(W/L)_{n3}\left[(W/L)_{p3} + (W/L)_{p5}\right]}\cdot V_{n,mp5}^2(f)\right] \end{aligned} \tag{3-40}$$

และสัญญาณรบกวนสมมูลของระบบเนื่องจากออปแอมป์และตัวเปรียบเทียบเป็นดังสมการ



รูปที่ 3-26 แบบจำลองสำหรับวิเคราะห์สัญญาณรบกวนของตัวเปรียบเทียบ

$$V_n^2 = \int_0^\infty |H_{CDS}(f)|^2 \left[V_{n,oa}^2(f) + V_{n,cmp}^2(f) \right] df \qquad (3\text{-}41)$$

อย่างไรก็ตามสัญญาณรบกวนจากตัวเปรียบเทียบจะมีขนาดใหญ่กว่าสัญญาณรบกวนจากออปแอมป์มาก เนื่องจากมีแบนด์วิดท์กว้างกว่า และจำนวนอุปกรณ์ที่ก่อให้เกิดสัญญาณรบกวนมีมากกว่า ดังนั้นอาจละเลยผลจากออปแอมป์ในการคำนวณเบื้องต้นได้ ในกรณีของตัวเปรียบเทียบสเปกตรัมของสัญญาณรบกวนที่มีผลต่อแรงดันรบกวนมากที่สุดคือสเปกตรัมของสัญญาณรบกวนเชิงอุณหภูมิ เพราะแบนด์วิดท์ของตัวเปรียบเทียบมีค่ามากกว่าความถี่มุมของสัญญาณรบกวนฟลิกเกอร์ (1/f-noise corner) พอสมควร ดังนั้นสมการ (3-40) สามารถลดรูปลงเหลือ

$$V_{n,cmp}^2(f) = \frac{16}{3} kT \frac{1}{g_{mp1}} \left[1 + \frac{g_{mn1}}{g_{mp1}} + \frac{g_{mn1}^2}{g_{mp1} g_{mn3}} \left[1 + \frac{g_{mp3}}{g_{mn3}} + \frac{g_{mp5}}{g_{mn3}} \right] \right] \qquad (3\text{-}42)$$

3.5.4 ผลการจำลองการทำงาน

ผลการจำลองการทำงานแบ่งออกเป็นสองส่วน คือส่วนออปแอมป์และตัวเปรียบเทียบ สิ่งสำคัญในการวิเคราะห์ออปแอมป์ ได้แก่ อัตราขยาย เสถียรภาพ และสัญญาณรบกวน ส่วนตัวเปรียบเทียบ ได้แก่ แบนด์วิดท์ของวงจรในสถานะติดตาม และสัญญาณรบกวน ผลการจำลองการทำงานวงจรทั้งสองส่วนได้สรุปไว้ในตารางที่ 3-9

จากผลการจำลองการทำงานพบว่าออปแอมป์ที่ใช้เป็นตัวอินทิเกรตมีอัตราขยายไฟตรงสูงมากจนถือว่าขาเข้าของตัวอินทิเกรตเป็นกราวด์เสมือนได้ นอกจากนี้ออปแอมป์ยังมีเสถียรภาพดีทั้งในช่วงที่แรงดันออกมีค่าน้อยและมาก สาเหตุที่เสถียรภาพของออปแอมป์เปลี่ยนแปลงตามแรงดันออก เนื่องจากโครงสร้างของวงจรขยายที่ใช้ในภาคขับโหลด สังเกตว่าสัญญาณรบกวนจากออปแอมป์มีค่าน้อยเนื่องจากแบนด์วิดท์ของออปแอมป์ไม่สูงนัก นอกจากนี้ยังถูกจำกัด

ตารางที่ 3-9 สรุปคุณสมบัติของวงจรเอดีซีจากการจำลองการทำงาน

ออปแอมป์สำหรับตัวอินทิเกรต	สภาวะปกติ	สภาวะเร็วยิ่ง	สภาวะช้ายิ่ง
อัตราขยายไฟตรง (dB)	90	90	88
ช่วงแกว่งขาออก (V)	0.28 ถึง V_{DD}-0.28	0.25 ถึง V_{DD}-0.25	0.3 ถึง V_{DD}-0.3
f_u (V_{out} =0.4 V, C_L=1pF) (kHz)	480	648	382
(V_{out} =1.0 V, C_L=1pF) (kHz)	508	685	403
เฟสมาร์จิน (V_{out} =0.4 V) (องศา)	66.3	68.2	64.5
(V_{out} =1.0 V) (องศา)	76.2	78.4	73.6
สัญญาณรบกวนอ้างอิงที่ขาเข้า (คิดในช่วง 1 Hz ถึง 10 MHz) (μV)	22.5	22.0	26.3
สัญญาณรบกวนสมมูลตามสมการ (3-41) (μV)	3.6	4.0	4.2
ออฟเซตอ้างอิงที่ขาเข้า (mV)	8.3	8.3	8.2
การกินกระแส (μA)	37.8	43.6	35.3
ตัวเปรียบเทียบ			
อัตราขยายในสภาวะติดตาม (dB)	13.8	13.1	14.5
แบนด์วิดท์ในสภาวะติดตาม (MHz)	6.9	12.0	4.1
สัญญาณรบกวนอ้างอิงที่ขาเข้า (คิดในช่วง 1 Hz ถึง 100 MHz) (μV)	108	117	100
สัญญาณรบกวนสมมูลตามสมการ (3-41) (μV)	145	148	143
ออฟเซตอ้างอิงที่ขาเข้า (mV)	10.7	11.0	10.5
การกินกระแส (μA)	28.9	56.9	24.7
รวม			
สัญญาณรบกวนสมมูล (μV)	145	148	143
สัญญาณรบกวนสมมูลในรูปกระแสขาเข้า (nA)	145	148	143
ออฟเซตแบบสุ่ม (mV)	13.5	13.8	13.3
การกินกระแส (μA)	66.7	100.5	60.0

ด้วยฟังก์ชันถ่ายโอนของเอดีซี การกินกำลังงานของวงจรส่วนใหญ่เนื่องมาจากภาคขับโหลดถูกออกแบบให้ขับโหลดเนื่องจากโพรบของออสซิลโลสโคปได้ จึงต้องใช้กระแสมากกว่าส่วนอื่น

ตัวเปรียบเทียบมีแบนด์วิดท์กว้างเนื่องจากต้องทำงานที่ความถี่ 1 MHz สัญญาณรบกวนจึงมีค่าค่อนข้างมาก และส่วนใหญ่เป็นสัญญาณรบกวนเชิงอุณหภูมิ ดังจะเห็นได้จาก

สัญญาณรบกวนสมมูลมีค่ามากกว่าสัญญาณรบกวนอ้างอิงของตัวเปรียบเทียบ เนื่องจากฟังก์ชันถ่ายโอนของเอดีซีซึ่งเหมือนกับเทคนิคซีดีเอสจะทำให้สเปกตรัมของสัญญาณรบกวนแบบไวท์ (White noise) มีขนาดเพิ่มขึ้นสองเท่า การกินกระแสของตัวเปรียบเทียบจะขึ้นกับแรงดันค่อนข้างมาก ดังจะเห็นได้จากกระแสที่ใช้ในสภาวะเร็วยิ่ง

สัญญาณรบกวนสมมูลรวมของเอดีซีมาจากตัวเปรียบเทียบเป็นหลัก ขนาดของสัญญาณรบกวนเมื่ออ้างอิงไปที่กระแสขาเข้า มีขนาดใกล้เคียงกับสัญญาณรบกวนจากวงจรส่วนหน้า ในขณะที่แรงดันออฟเซตจากส่วนประกอบทั้งสองส่วนมีขนาดใกล้เคียงกัน และมีค่าอยู่ในช่วงที่เผื่อไว้ให้เอดีซีสามารถชดเชยได้ด้วยเทคนิคสี่สโลป

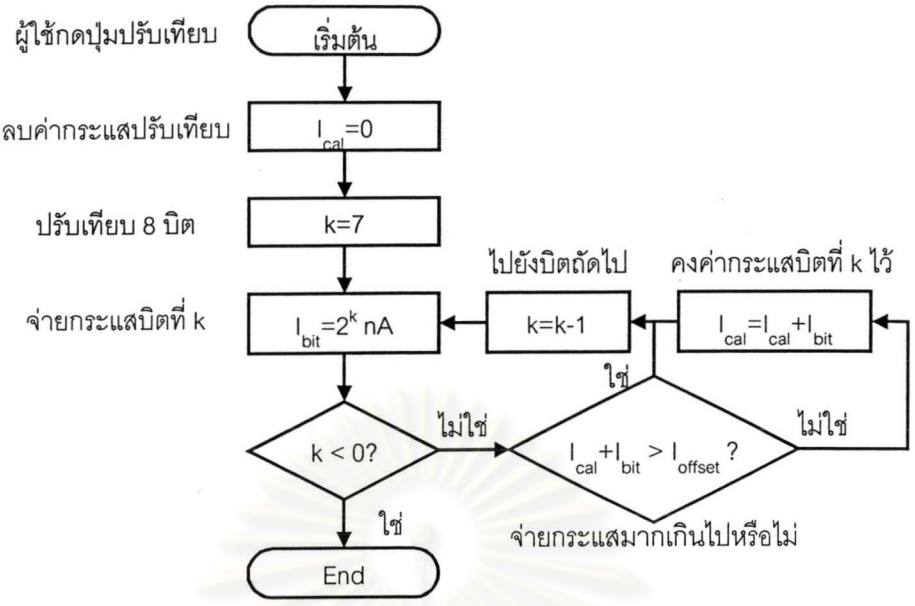
3.6 วงจรปรับเทียบออฟเซตและความไวของตัวตรวจรู้

วงจรปรับเทียบประกอบด้วยแถวลำดับกระแสสองชุด ชุดหนึ่งสำหรับปรับเทียบกระแสออฟเซต และอีกชุดสำหรับปรับเทียบความไวของตัวตรวจรู้ การปรับเทียบจะเริ่มเมื่อระบบได้รับสัญญาณจากผู้ใช้ กระแสปรับเทียบออฟเซต (I_{oscal}) มีทิศทางหักล้างกับกระแสจากวงจรส่วนหน้า และจะถูกจ่ายเข้าสู่เอดีซีในเฟส ϕ_{CF} (ดูรูปที่ 3-24) ขณะที่กระแสปรับเทียบความไว (I_{sncal}) จะใช้เป็นกระแสอ้างอิงในการอินทิเกรตขาลงซึ่งควบคุมโดยสวิตช์ในเฟส ϕ_2 เมื่อรวมผลของกระแสปรับเทียบ สมการ (2-15 ข) สามารถเขียนใหม่ได้เป็น

$$t_2 = t_1 \times \frac{I_{IN} - I_{oscal}}{I_{sncal}} = t_1 \times \frac{I_{IN} - \sum_{i=0}^{7} I_{bit,i}}{\sum_{j=0}^{12} I_{bit,j}} \qquad (3\text{-}43)$$

เมื่อ $I_{bit,i}$ และ $I_{bit,j}$ คือกระแสแต่ละบิตของแถวลำดับ กระบวนการที่ใช้ในการหาค่ากระแสปรับเทียบสำหรับตัวตรวจรู้ที่ปรับเทียบอยู่นั้นคือกระบวนการค้นแบบทวิภาค (Binary search) [8] ดังตัวอย่างในรูปที่ 3-27 ตัวอย่างแสดงการปรับเทียบกระแสออฟเซตซึ่งใช้แถวลำดับกระแส 8 บิต ด้วยความละเอียด 0.98 nA ซึ่งเท่ากับความละเอียดของเอดีซี ทำให้สามารถปรับเทียบออฟเซตได้ตั้งแต่ 1 – 249 nA

การปรับเทียบความไวกระทำโดยใช้แถวลำดับกระแส 13 บิต ด้วยกระบวนการค้นแบบทวิภาคเช่นกัน การออกแบบวงจรปรับเทียบความไวต้องคำนึงถึงสองกรณี คือการปรับเทียบกับค่าอ้างอิง 100 และปรับเทียบกับค่าอ้างอิง 1000 การปรับเทียบกับค่าอ้างอิง 100 ใช้กับตัวตรวจรู้ทั่วไปที่มีความไวผิดพลาดได้ตั้งแต่ 0.1 ถึง 8 เท่า ซึ่งคิดเป็นกระแส 10 ถึง 800 nA เมื่อนำตัวตรวจรู้ไปวัดปริมาณอ้างอิง 100 หน่วย การแปลงค่ากระแสดังกล่าวให้มีค่าเป็น 100 จะต้องปรับค่ากระแสอ้างอิงเป็น 100 nA สำหรับกระแสขาเข้า 10 nA และ 8 μA สำหรับกระแสขาเข้า



รูปที่ 3-27 กระบวนการค้นแบบทวิภาคสำหรับปรับเทียบกระแสออฟเซต

800 nA ส่วนการปรับเทียบกับค่าอ้างอิง 1000 จะใช้กับการปรับเทียบเอดีซีสำหรับวัดค่ากระแสโดยตรง เพื่อให้ได้ความแม่นยำในการอ่านค่าได้ถึง 1 nA คิดเป็นความละเอียด 0.1% ของกระแสเต็มสเกล 1000 nA เพื่อรองรับความต้องการในการปรับเทียบทั้งสองกรณี กระแสอ้างอิงของเอดีซีจึงต้องสามารถปรับได้ตั้งแต่ 1 – 8000 nA หรือคิดเป็นความละเอียด 13 บิต

สังเกตว่าความละเอียดของการปรับเทียบจะเปลี่ยนแปลงตามกระแสรับเข้าและค่าตัวแปรต้นอ้างอิงที่ใช้ปรับเทียบความไว ตัวอย่างเช่น ใช้ตัวตรวจรู้น้ำตาลกลูโคสซึ่งมีความไว 0.5 nA/(mg/dl) วัดสารละลายอ้างอิงความเข้มข้น 100 mg/dl จะได้กระแสรับเข้า 50 nA เมื่อปรับเทียบแล้วจะได้กระแสปรับเทียบความไวเท่ากับ 500 nA ทำให้เอดีซีแปลงค่าได้เท่ากับ 100 หน่วย แต่เอดีซีสามารถแยกแยะความละเอียดได้สูงสุดเพียง 1 หน่วย ดังนั้นกระแสปรับเทียบสามารถมีค่าคลาดเคลื่อนได้ตั้งแต่ 497.5 ถึง 502.5 nA คิดเป็นความละเอียดของกระแสปรับเทียบความไว 5 nA ในทำนองเดียวกันถ้าความไวของตัวตรวจรู้มีค่าเท่ากับ 5 nA/(mg/dl) จะได้ความละเอียดของกระแสปรับเทียบความไว 50 nA อย่างไรก็ตามการปรับเทียบด้วยความละเอียด 1 nA สามารถรองรับการปรับเทียบสองกรณีดังกล่าวข้างต้น แม้ว่าการปรับเทียบด้วยความละเอียดต่ำกว่า 5 และ 50 nA ในกรณีทั้งสองตามลำดับ จะไม่จำเป็นก็ตาม

3.6.1 ความไม่เข้าคู่ของแถวลำดับกระแส

การเลือกขนาดของทรานซิสเตอร์เพื่อสร้างเป็นแถวลำดับ จำเป็นต้องคำนึงถึงความแม่นยำของการแบ่งกระแส การใช้ทรานซิสเตอร์ขนาดใหญ่ช่วยเพิ่มความแม่นยำให้กับวงจร

หารกระแสเนื่องจากความไม่เข้าคู่ของทรานซิสเตอร์ลดลง ขนาดของทรานซิสเตอร์ในแถวลำดับจึงถูกกำหนดโดยความแม่นยำในการปรับเทียบเป็นหลัก

การหาความไม่เข้าคู่ของทรานซิสเตอร์ที่เหมาะสมกับจำนวนบิตที่ต้องการทำได้โดยใช้วิธีการของ Lakshmikumar [38] ซึ่งวิเคราะห์โดยใช้ผลิตผลวงจร (Circuit yield) เป็นเกณฑ์ ผลิตผลวงจรคือร้อยละของวงจรแถวลำดับกระแสซึ่งกระแสทุกๆ ค่ามีความผิดพลาดของไม่เกิน 1/2 LSB โดยความผิดพลาดของกระแสเกิดจากความไม่เข้าคู่ของทรานซิสเตอร์ที่ประกอบขึ้นเป็นแถวลำดับ ผลิตผลของวงจรหารกระแสคำนวณได้จากสมการ

$$Y = \prod_{i=1}^{2^n-2} erf\left(Q_i/\sqrt{2}\right) \tag{3-44}$$

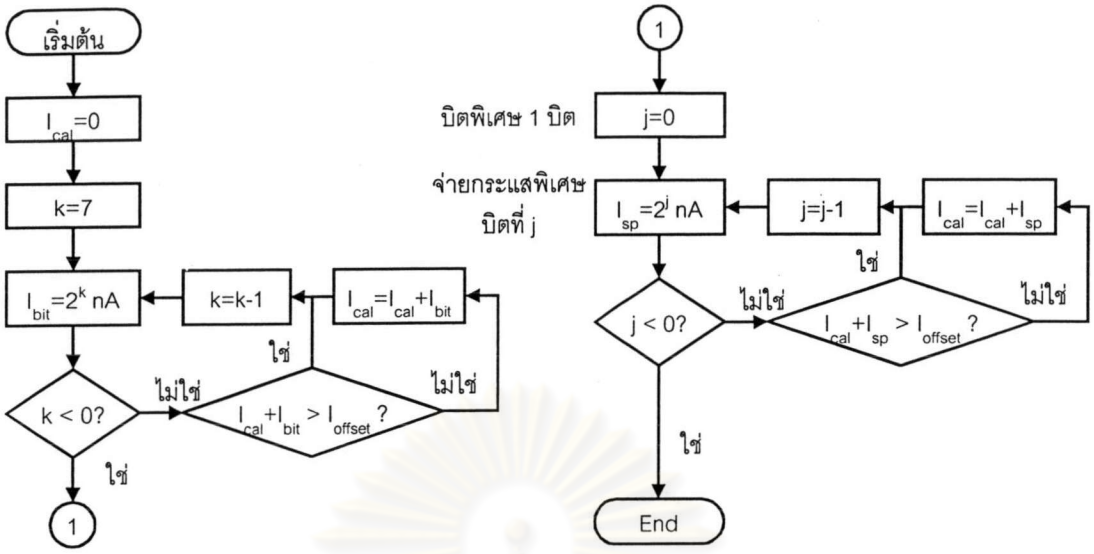
และ

$$Q_i = \frac{1}{2^{n+1}\left[\frac{z_i(1-z_i)}{2^n-1}\right]^{1/2}}\left(\frac{\sigma_{Id}}{I_d}\right)^{-1} \tag{3-45}$$

เมื่อ erf() คือฟังชันความผิดพลาด (Error function) $z_i = i/\left(2^n-1\right)$ และ σ_{Id}/I_d คือความไม่เข้าคู่ของทรานซิสเตอร์ในวงจรหารกระแส กรณีของวงจรหารกระแส 8 บิต (n=8) ทรานซิสเตอร์จะต้องมีความไม่เข้าคู่ต่ำกว่า 1.8 % เพื่อให้ผลิตผลมากกว่า 95 % สมมติว่าทรานซิสเตอร์ที่ใช้สร้างวงจรหารกระแสคือพีมอสซึ่งมีความกว้างเท่ากับความยาวและทำงานในย่านซับเทรชโฮลด์ ทรานซิสเตอร์ที่ใช้ต้องมีขนาด W/L = 28μm/28μm อย่างไรก็ตามในงานวิจัยจะใช้ทรานซิสเตอร์ซึ่งมีขนาด 20μm/20μm เพื่อให้แบบจำลองทรานซิสเตอร์ที่ใช้จำลองการทำงานยังมีความแม่นยำเพียงพอ (ความยาวของทรานซิสเตอร์มีค่าไม่เกิน 20 μm) ทรานซิสเตอร์ขนาดดังกล่าวมีความไม่เข้าคู่ 2.7 % คิดเป็นผลิตผลเพียง 10 % ปัญหานี้สามารถแก้ไขได้โดยเพิ่มบิตปรับเทียบขนาด 1 LSB เข้าไปเป็นบิตพิเศษอีกหนึ่งบิต และใช้ปรับเทียบต่อจากกระบวนการค้นแบบทวิภาคปกติ กระบวนการปรับเทียบดังรูปที่ 3-27 จะถูกปรับปรุงใหม่เป็นดังรูปที่ 3-28

กรณีของวงจรปรับเทียบความไวซึ่งประกอบด้วยแถวลำดับกระแสขนาดใหญ่ซึ่งเป็นวงจรสะท้อนกระแส และวงจรหารกระแสใช้สำหรับสร้างแหล่งจ่ายกระแสขนาดเล็ก สมการ (3-45) จะต้องดัดแปลงเป็น [38]

$$Q_i = \frac{1}{2^{n+1}\left[\frac{z_i(1-z_i)}{\left(2^n-1\right)/2^{n_{div}}}\right]^{1/2}}\left(\frac{\sigma_{Id}}{I_d}\right)^{-1} \tag{3-46}$$

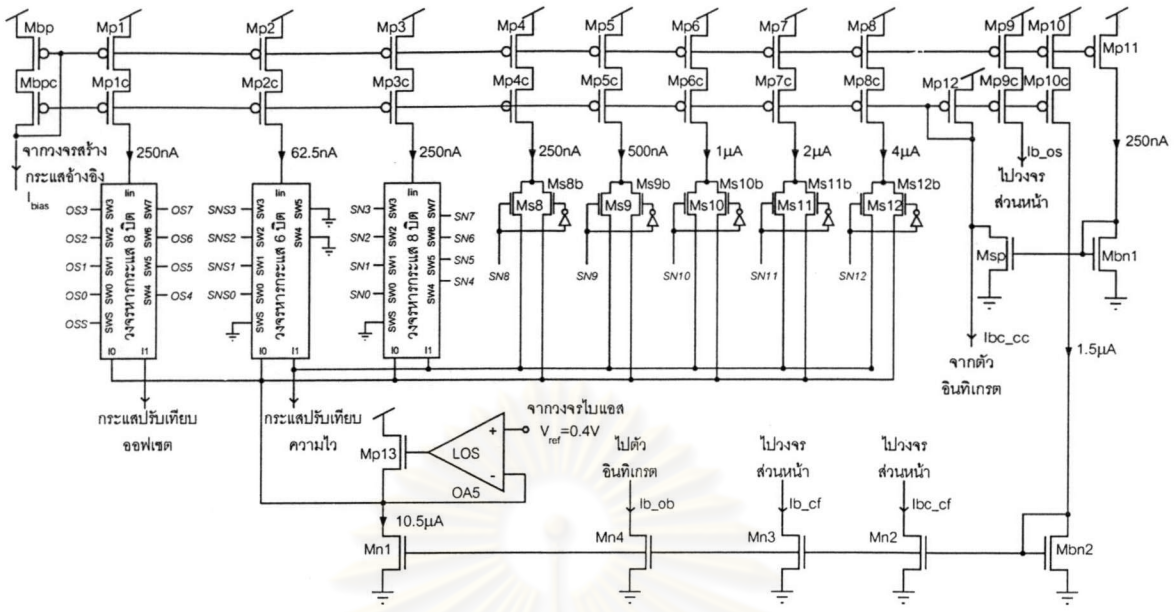


รูปที่ 3-28 กระบวนการปรับเทียบที่เพิ่มบิตพิเศษเข้าไป

เมื่อ n_{div} คือจำนวนบิตของวงจรหารกระแส และ σ_{Id}/I_d ในกรณีนี้คือความไม่เข้าคู่ของวงจรสะท้อนกระแส การใช้วงจรสะท้อนกระแสที่มีความไม่เข้าคู่น้อยเพียงพอที่จะให้ผลิตผล 95 % จะต้องใช้ทรานซิสเตอร์ขนาดใหญ่มากจนไม่สามารถสร้างบนวงจรรวมได้ ดังนั้นจึงใช้วิธีเพิ่มบิตพิเศษในการปรับเทียบความไวอีก 4 บิต (j=3 ในรูปที่ 3-28) ซึ่งสามารถชดเชยความผิดพลาดได้ 15 LSB

3.6.2 ผังวงจร

โครงสร้างวงจรในระบบปรับเทียบแสดงในรูปที่ 3-29 ทรานซิสเตอร์ Mbp ได้รับกระแสไบแอสซึ่งสร้างจากวงจรสร้างกระแสอ้างอิง และสะท้อนกระแสไปยังทรานซิสเตอร์ Mp1-Mp10 ซึ่งเป็นแหล่งจ่ายกระแสคาสโคดช่วงแกว่งกว้าง โดยมีทรานซิสเตอร์ Mp11, Mbn1, Msp และ Mp12 เป็นตัวสร้างแรงดันไบแอสทรานซิสเตอร์คาสโคด กระแสจากทรานซิสเตอร์ Mp1-Mp3 จะถูกนำไปเข้าวงจรหารกระแสเพื่อสร้างแถวลำดับกระแสขนาดเล็ก กระแสจากทรานซิสเตอร์ Mp4-Mp8 เป็นแถวลำดับกระแสขนาดใหญ่สำหรับกระแสปรับเทียบความไว โดยที่ทรานซิสเตอร์ Ms8-Ms12 และ Ms8b-Ms12b เป็นสวิตช์สองทางเพื่อเลือกขนาดของกระแสที่ออกไปยังเอดีซีทางหนึ่ง ส่วนแหล่งจ่ายกระแสที่ไม่ต้องการจะไหลไปรวมกันที่กราวด์เสมือนซึ่งสร้างขึ้นโดยออปแอมป์ OA5 กับทรานซิสเตอร์ M13 และ Mn1 เรียกว่าที่ทิ้งกระแส แรงดันไฟตรงที่กราวด์เสมือนมีค่าเท่ากับแรงดันที่ขาเข้าของเอดีซี กระแสจากทรานซิสเตอร์ Mp9 จะใช้สร้างกระแสออฟเซตสำหรับวงจรส่วนหน้า ส่วนกระแสจากทรานซิสเตอร์ Mp10 นำไปสร้างแหล่งจ่ายกระแสชนิดเอ็น ซึ่งจะไบแอสกระแสให้กับวงจรส่วนหน้าและภาคขับโหลดอีกทอดหนึ่ง



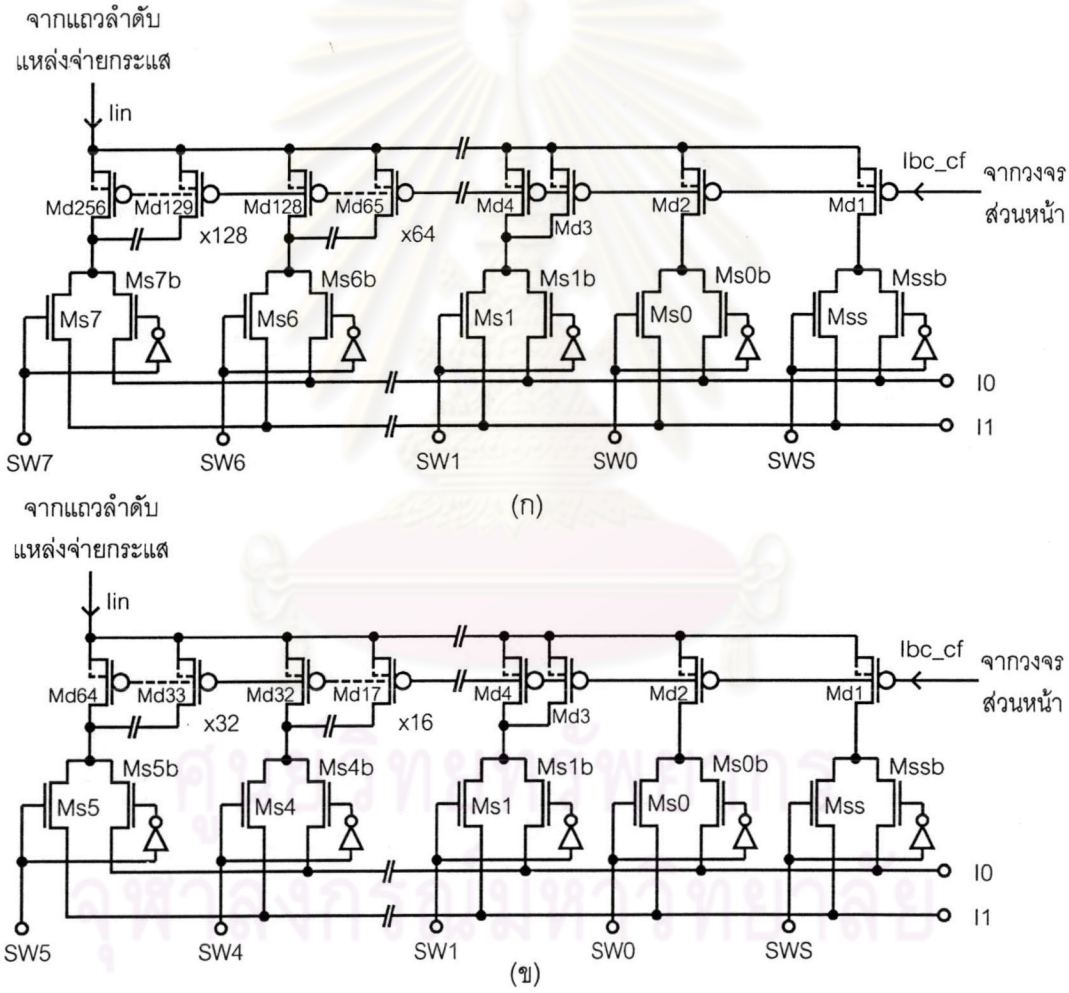
รูปที่ 3-29 ผังวงจรของระบบปรับเทียบ

วงจรหารกระแสในรูปที่ 3-29 มีผังวงจรแสดงในรูปที่ 3-30 แถวลำดับทรานซิสเตอร์ประกอบด้วยทรานซิสเตอร์ Md1-MdN (โดยที่ $N=2^n$) ซึ่งทำงานในย่านซับเทรชโฮลด์ เนื่องจากกระแสเดรนมีค่าน้อยมาก เกตของทรานซิสเตอร์ในแถวลำดับจะต่อร่วมกันเพื่อให้แรงดันเกตซอร์สของทุกตัวมีค่าเท่ากัน นอกจากนี้ทรานซิสเตอร์พีมอสจะต่อตัวฐานรองเข้ากับซอร์สเพื่อลดผลความไม่เข้าคู่เนื่องจากแรงดันไบแอสย้อนหัวต่อ ส่วนทรานซิสเตอร์ Ms0-Ms7, Ms0b-Ms7b, Mss และ Mssb ทำหน้าที่เป็นสวิตช์สองทาง บิตพิเศษที่เพิ่มเข้าไปในท้ายขั้นตอนการปรับเทียบปกตินั้นคือทรานซิสเตอร์ Md1 กับสวิตช์ Mss และ Mssb ขนาดของทรานซิสเตอร์ Ms6-Ms7 จะใหญ่กว่าสวิตช์ตัวอื่นเพื่อลดแรงดันตกคร่อมสวิตช์ไม่ให้มีค่ามากเกินไป เนื่องจากกระแสที่ไหลในสวิตช์ทั้งสองมีค่ามาก ขนาดของทรานซิสเตอร์ที่ใช้ในวงจรปรับเทียบเป็นดังตารางที่ 3-10 ส่วนตัวผกผันที่ใช้ในวงจรมาจากชุดเซลล์มาตรฐาน

ตารางที่ 3-10 ขนาดของอุปกรณ์ที่ใช้ในวงจรปรับเทียบ

อุปกรณ์	ชนิด	ขนาด	อุปกรณ์	ชนิด	ขนาด
Mbpx,Mp1x,Mp3x, Mp4x,Mp11	PHA	160/20	Mp2x,Mp9x	PHA	40/20
Mp5x	PHA	320/20	Mp6x	PHA	640/20
Mp7x	PHA	1280/20	Mp8x	PHA	2560/20
Mp10x	PHA	960/20	Mp12	PHA	6/3

อุปกรณ์	ชนิด	ขนาด	อุปกรณ์	ชนิด	ขนาด
Mbn1,Msp,Mbn2, Mn2-Mn4	NA	6/3	Ms0x-Ms5x,Mssx	NA	2.2/0.7
Mp13	NA	480/1	Mn1	NA	42/3
Ms6x	NA	4.4/0.7	Ms7x	NA	8.8/0.7
Ms8x	NA	17.6/0.7	Ms9x	NA	35.2/0.7
Ms10x	NA	70.4/0.7	Ms11x	NA	140.8/0.7
Ms12x	NA	281.6/0.7	Md1-Md256	PHA	20/20



รูปที่ 3-30 วงจรหารกระแส (ก) 8 บิต (ข) 6 บิต

3.6.3 ผลการจำลองการทำงาน

คุณสมบัติที่วิเคราะห์จากการจำลองการทำงานแสดงอยู่ในตารางที่ 3-11 เนื่องจากองค์ประกอบหลักของวงจรปรับเทียบคือแหล่งจ่ายกระแส คุณสมบัติที่สำคัญของแหล่งจ่าย

กระแสที่สนใจในงานวิจัยนี้มีเพียงอย่างเดียวคือความต้านทานขาออก นอกจากนี้ยังต้องสนใจความต้านทานขาเข้า และความสามารถในการรับกระแสของที่ทิ้งกระแส

ตารางที่ 3-11 สรุปคุณสมบัติของวงจรปรับเทียบจากการจำลองการทำงาน

วงจรปรับเทียบ	สภาวะปกติ	สภาวะเร็วยิ่ง	สภาวะช้ายิ่ง
กระแสปรับเทียบออฟเซต (nA)	1 – 249 (+1)*		
กระแสปรับเทียบความไว (nA)	1 – 7999 (+8+4+2+1)*		
ความต้านทานขาออก (f < 1 Hz)			
วงจรหารกระแส (I_{MSB}=125nA) (GΩ)	3.6	3.1	3.9
วงจรหารกระแส (I_{LSB}=1nA) (GΩ)	229	199	246
วงจรสะท้อนกระแส (250nA) (GΩ)	599	571	641
วงจรสะท้อนกระแส (4000nA) (GΩ)	37.3	35.6	40.8
ความต้านทานขาเข้าของที่ทิ้งกระแส (I_{dump} < 9.5μA, f < 1 Hz) (Ω)	0.43	0.37	0.61
การกินกระแส (μA)	21.7	24.2	20.6
* ตัวเลขในวงเล็บคือบิตพิเศษที่เพิ่มเข้าไป			

ความแม่นยำของกระแสปรับเทียบขึ้นอยู่กับความแม่นยำของกระแสอ้างอิงที่สร้างจากวงจรอ้างอิงแบนด์แกป ส่วนความแม่นยำในการแบ่งกระแสของวงจรหารกระแส ขึ้นอยู่กับความไม่เข้าคู่ของทรานซิสเตอร์พีมอส เช่นเดียวกับความแม่นยำของวงจรสะท้อนกระแส อย่างไรก็ตาม ค่ากระแสปรับเทียบในตารางที่ 3-11 ไม่ได้รวมผลจากความผิดพลาดของกระแสอ้างอิงและความไม่เข้าคู่ไว้

จากการจำลองการทำงานพบว่า แถวลำดับแหล่งจ่ายกระแสปรับเทียบออฟเซตและความไวมีความต้านทานขาออกสูงมาก จึงสามารถทำหน้าที่เป็นแหล่งจ่ายกระแสที่ได้ดี นอกจากนี้ความต้านทานขาเข้าของที่ทิ้งกระแสก็มีค่าต่ำ และสามารถรองรับกระแสได้มากถึง 9.5 μA ซึ่งเพียงพอสำหรับกระแสทั้งหมดจากวงจรปรับเทียบและวงจรส่วนหน้า โดยที่แรงดันขาเข้าแทบไม่เปลี่ยนแปลง

3.7 วงจรส่วนดิจิทัล

การออกแบบวงจรส่วนดิจิทัลเริ่มจากกำหนดหน้าที่ทั้งหมดแล้วแบ่งวงจรออกเป็นส่วนย่อยตามหน้าที่ จากนั้นจึงออกแบบวงจรย่อยแต่ละวงจรด้วยมือ เนื่องจากวงจรดิจิทัลมีความซับซ้อนไม่มาก วงจรในระดับประตูสัญญาณ (Gate level) จะอิงจากวงจรที่มีให้ในชุดเซลล์มาตรฐาน MTC-22150 ของบริษัทอัลคาเทลไมโครอิเล็กทรอนิกส์ บนกระบวนการผลิตซีมอส (N-well) 0.7 ไมครอน

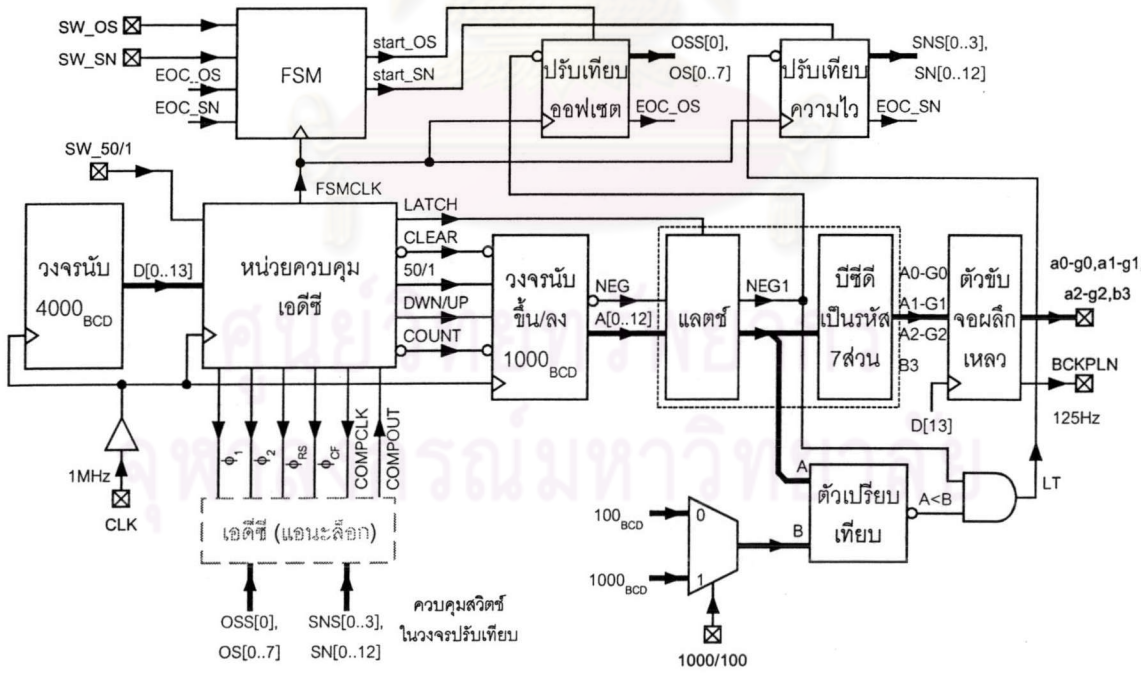
จากนั้นจึงสร้างเน็ตลิสต์ (Netlist) ของวงจรแต่ละส่วนเพื่อนำไปวิเคราะห์การทำงานของวงจรด้วยโปรแกรมจำลองการทำงานสำหรับดิจิทัล

3.7.1 รายละเอียดของวงจร

แผนภาพบล็อกแสดงส่วนประกอบของวงจรดิจิทัลในรูปที่ 2-26 ไม่ได้แสดงรายละเอียดของสัญญาณที่ต่อเชื่อมระหว่างบล็อก และในวงจรที่ออกแบบจริงจะมีวงจรบางส่วนเพิ่มเติมขึ้น รายละเอียดดังกล่าวแสดงอยู่ในรูปที่ 3-31

สัญญาณนาฬิกาความถี่ 1 MHz จากภายนอกจะถูกบัฟเฟอร์เพื่อนำไปขับวงจรนับ สัญญาณออกของวงจรนับ 4000 D[0..13] ที่ได้ถูกนำไปใช้สร้างฐานเวลาสำหรับเอดีซี และสัญญาณออกจากวงจรนับขึ้น/ลง A[0..12] เป็นสัญญาณที่ได้จากการวัดช่วงเวลาอินทิเกรตขาลง ค่าที่ได้จากการนับด้วยวงจรนับขึ้น/ลงนี้คือผลการแปลงแอนะล็อกเป็นดิจิทัล เนื่องจากโครงสร้างของเอดีซีเป็นแบบสี่สโลปจึงสามารถให้ผลลัพธ์เป็นค่าลบได้เล็กน้อย สัญญาณที่แสดงว่าผลการแปลงมีค่าเป็นลบ NEG จะใช้ประโยชน์ในการปรับเทียบดังจะได้กล่าวถึงต่อไป เมื่อหน่วยควบคุมเอดีซีได้รับสัญญาณจากวงจรนับ หน่วยควบคุมจะสร้างสัญญาณดังต่อไปนี้

- สัญญาณ ϕ_1, ϕ_2, ϕ_{CF}, ϕ_{RS} ควบคุมสวิตช์ของเอดีซี และสัญญาณ CMPCLK กำหนดจังหวะการเปรียบเทียบของตัวเปรียบเทียบ



รูปที่ 3-31 แผนภาพบล็อกของวงจรส่วนดิจิทัลแสดงรายละเอียดของสัญญาณต่อเชื่อม

- สัญญาณนาฬิกา FSMCLK ควบคุมเครื่องสถานะจำกัด และหน่วยปรับเทียบทั้งสองตัว หนึ่งรอบสัญญาณนาฬิกา FSMCLK เท่ากับหนึ่งรอบการแปลงแอนะล็อกเป็นดิจิทัล
- สัญญาณควบคุมวงจรนับขึ้น/ลง ได้แก่ CLEAR, 50/1, DWN/UP และ COUNT สัญญาณ CLEAR ทำให้วงจรนับเริ่มต้นใหม่ที่ศูนย์เมื่อสิ้นสุดการแปลงผันสัญญาณในแต่ละรอบ สัญญาณ 50/1 มาจากผู้ใช้ (สัญญาณ SW_50/1) ว่าต้องการให้ค่าที่แสดงผลเปลี่ยนแปลงด้วยอัตราเท่าใด ถ้าสัญญาณ SW_50/1 มีค่าเป็น 0 ค่าที่ได้จากการแปลงแต่ละครั้งจะถูกส่งไปยังตัวขับทันทีด้วยอัตราการปรับ 250 Hz แต่ถ้าสัญญาณ SW_50/1 มีค่าเป็น 1 ค่าที่ได้จากการแปลงจะถูกเฉลี่ย 50 ค่าก่อนที่จะส่งไปยังตัวแสดงผล คิดเป็นอัตราการแสดงผล 5 Hz สัญญาณ DWN/UP ควบคุมวิธีการนับของวงจรนับว่าจะให้นับแบบเพิ่มค่าหรือลดค่า และสัญญาณ COUNT คือสัญญาณที่อนุญาตให้วงจรนับทำงานเมื่อ COUNT มีค่าเป็น 0 โดยสัญญาณ COUNT เป็น 0 ก็ต่อเมื่อสัญญาณเปรียบเทียบ CMPCLK มีค่าเป็น 1 ในช่วงการอินทิเกรตขาลง
- สัญญาณควบคุมแลตช์ LATCH ทำให้แลตช์เก็บค่าที่ได้จากวงจรนับขึ้น/ลงเมื่อสิ้นสุดการแปลงผันสัญญาณ ก่อนที่หน่วยควบคุมจะส่งสัญญาณ CLEAR ไปยังวงจรนับ

ค่าดิจิทัลของผลการแปลงสัญญาณที่เก็บอยู่ในแลตช์ (A) จะถูกถอดรหัสให้อยู่ในรูปรหัสเจ็ดส่วน และถูกมอดูเลตด้วยสัญญาณความถี่ 125 Hz ซึ่งสร้างจากสัญญาณ D[13] เพื่อให้สัญญาณที่ได้สามารถขับจอผลึกเหลวได้

เครื่องสถานะจำกัดเป็นตัวควบคุมการสลับการทำงานของเอดีซีระหว่างสถานะปกติ สถานะปรับเทียบออฟเซต และสถานะปรับเทียบความไว เอดีซีจะไม่เปลี่ยนสถานะการทำงานจนกว่าจะเสร็จสิ้นการทำงานในสถานะนั้นแล้ว ตัวแปรรับเข้าของเครื่องสถานะมี 4 ตัว ได้แก่ SW_OS, SW_SN, EOC_OS และ EOC_SN ตัวแปรสองตัวแรกมาจากการกดสวิตช์ของผู้ใช้เพื่อให้ระบบเริ่มการปรับเทียบออฟเซต และความไวของตัวตรวจรู้ ตามลำดับ ตัวแปรอีกสองตัวมาจากหน่วยปรับเทียบออฟเซตและความไว เพื่อบ่งชี้ว่าการทำงานของหน่วยปรับเทียบเสร็จสิ้นแล้ว สัญญาณออกจากเครื่องจักรคือสัญญาณเริ่มต้นการปรับเทียบซึ่งสอดคล้องกับสวิตช์ที่ผู้ใช้กด

หน่วยปรับเทียบทั้งสองตัวมีโครงสร้างภายในเหมือนกัน แตกต่างกันเพียงจำนวนขั้นตอนของเรจิสเตอร์ที่ใช้เก็บค่าซึ่งกำหนดขนาดของกระแสปรับเทียบ จังหวะการทำงานของหน่วยปรับเทียบถูกกำหนดด้วยสัญญาณ FSMCLK จากหน่วยควบคุมเอดีซี การตัดสินใจเลือกค่า

ในเรจิสเตอร์จะขึ้นอยู่กับสัญญาณ NEG1 หรือ LT ซึ่งบ่งบอกว่ากระแสปรับเทียบที่ได้มีค่ามากเกินไปหรือไม่ แบ่งออกได้เป็น 2 กรณี ได้แก่

- สัญญาณ NEG1 ใช้ในการปรับเทียบกระแสออฟเซต ถ้าสัญญาณ NEG1 มีค่าเป็น 0 ขณะที่กำลังอยู่ที่บิตใดบิตหนึ่ง แสดงว่ากระแสปรับเทียบออฟเซตที่ใช้ขณะนั้นมีค่ามากเกินไป เป็นผลให้หน่วยปรับเทียบไม่นำกระแสบิตนั้นมาใช้ นั่นคือค่าในเรจิสเตอร์ซึ่งสัมพันธ์กับกระแสบิตนั้นมีค่าเป็น 0 แต่ถ้าสัญญาณ NEG1 มีค่าเป็น 1 แสดงว่ากระแสปรับเทียบออฟเซตขณะนั้นยังน้อยเกินไป และกระแสบิตนั้นจะถูกใช้ในการปรับเทียบ นั่นคือค่าในเรจิสเตอร์ซึ่งสัมพันธ์กับกระแสบิตนั้นมีค่าเป็น 1
- สัญญาณ LT ใช้ในการปรับเทียบความไว ได้มาจากการเปรียบเทียบค่าที่ดิจิทัลเอดีซีแปลงได้กับค่าดิจิทัลอ้างอิง ซึ่งในงานวิจัยนี้กำหนดไว้สองค่าคือ 1000 หรือ 100 ค่าอ้างอิงดังกล่าวจะถูกกำหนดโดยผู้ใช้ผ่านทางสัญญาณ 1000/100 ถ้าค่าจากเอดีซีน้อยกว่าค่าอ้างอิงรวมทั้งในกรณีที่ค่าจากเอดีซีมีค่าติดลบ แสดงว่ากระแสปรับเทียบความไวที่ใช้ในการอินทิเกรตขาลงขณะนั้นมีค่ามากเกินไป หน่วยปรับเทียบจะไม่นำกระแสบิตนั้นมาใช้ แต่ถ้าค่าจากเอดีซีมากกว่าค่าอ้างอิง แสดงว่ากระแสปรับเทียบความไวขณะนั้นน้อยเกินไป และกระแสบิตนั้นจะถูกใช้ในกระแสปรับเทียบความไว

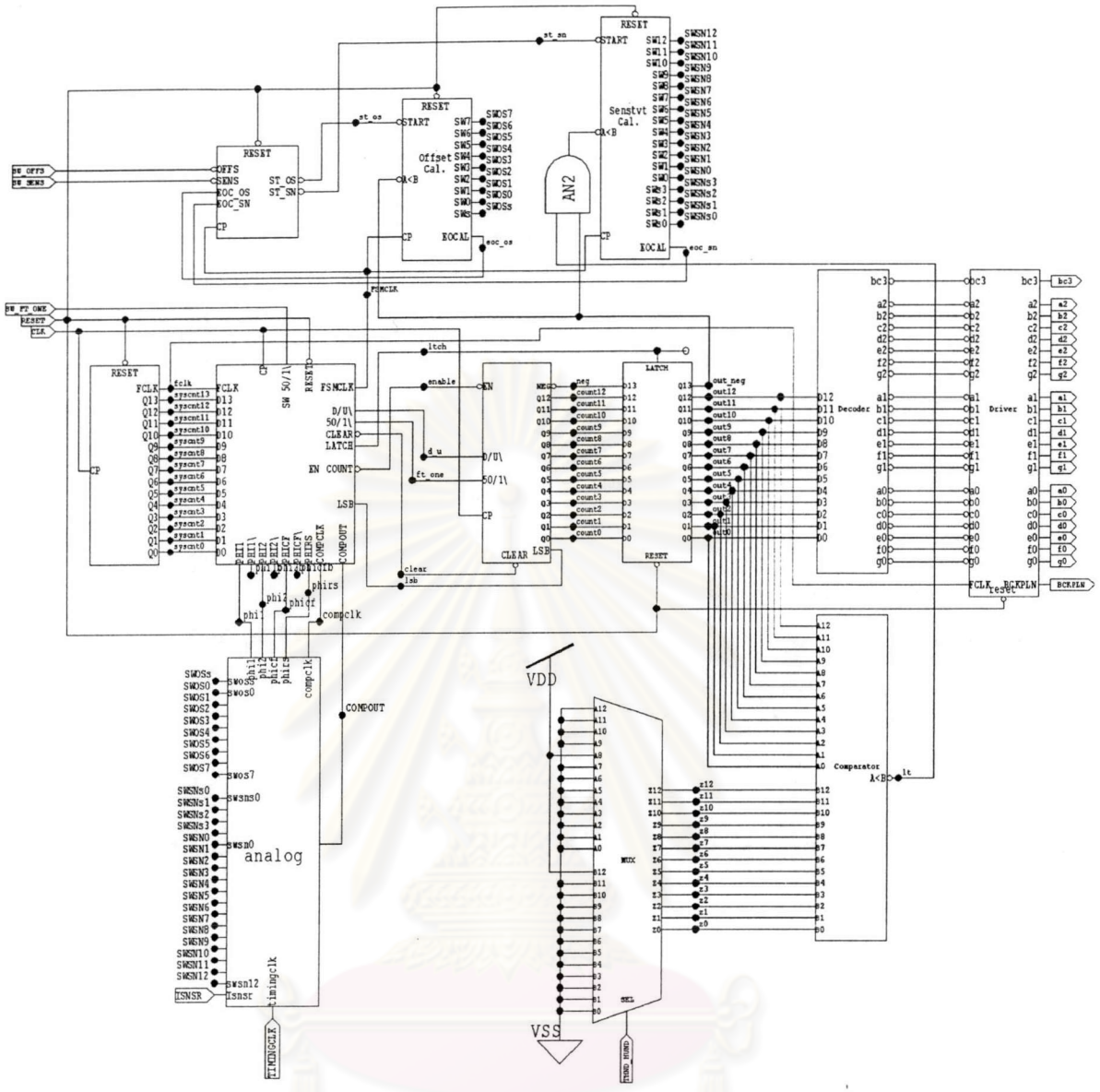
สัญญาณควบคุมกระแสปรับเทียบออฟเซตคือ OSS,OS0-OS7 และสัญญาณควบคุมกระแสปรับเทียบความไวคือ SNS0-SNS3, SN0-SN12 ซึ่งจะนำไปควบคุมสวิตช์ของวงจรปรับเทียบในรูปที่ 3-29 ผังวงจรของวงจรส่วนดิจิทัลเป็นดังรูปที่ 3-32 รายละเอียดของวงจรย่อยแต่ละส่วนได้อธิบายไว้ในหัวข้อย่อยต่อไป

3.7.1.1 วงจรนับ 4000_{BCD}

วงจรประกอบด้วยวงจรนับ 10 แบบริปเพิล (Ripple counter) สามตัวและฟลิปฟล็อปแบบ D อีกสองตัวต่อเรียงกันดังรูปที่ 3-33 รายละเอียดของวงจรนับ 10 แสดงอยู่ในรูปด้วยเช่นกัน วงจรนับ 10 ประกอบด้วยฟลิปฟล็อปแบบ D 4 ตัว และประตูสัญญาณอีก 2 ตัว สัญญาณ RESET จะทำให้ค่าที่นับอยู่ที่ 3999 เพื่อให้เอดีซีอยู่ในช่วงการรีเซต ซึ่งตัวเก็บประจุจะถูกลัดวงจรเพื่อคายประจุตกค้างทั้งหมดทิ้งไป

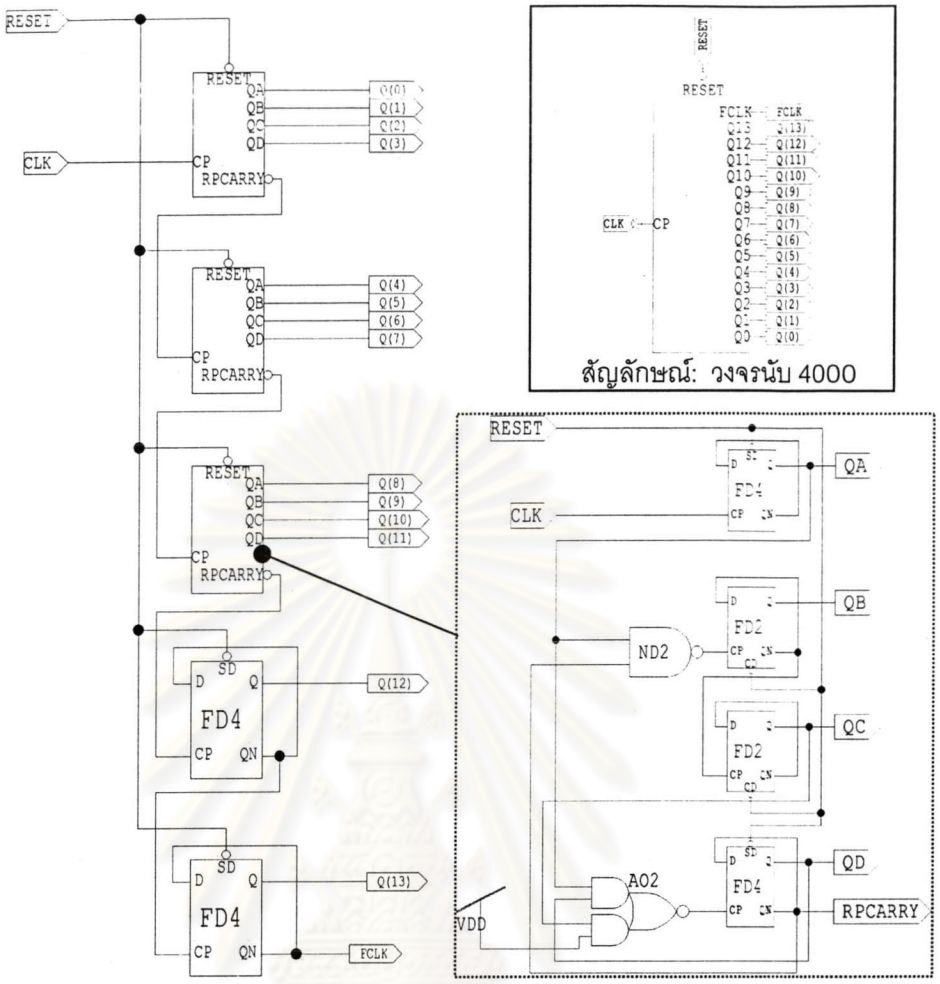
3.7.1.2 หน่วยควบคุมเอดีซี

ผังวงจรแสดงในรูปที่ 3-34 สัญญาณ D[0..13] จะถูกนำไปสร้างสัญญาณควบคุมเฟสของเอดีซีโดยผ่านวงจรตรรกะเชิงผสม เพื่อให้ได้สัญญาณที่มีค่าเป็น 1 ในช่วงเวลาที่ต้องการ เช่น สัญญาณ PHI1 ซึ่งควบคุมสวิตช์ในเฟส ϕ_1 จะมีค่าเท่ากับ 1 ตั้งแต่ตอนต้นของรอบสัญญาณนาฬิกาที่ 1 จนสิ้นสุดรอบที่ 1000 และตอนต้นรอบที่ 2200 ถึงสิ้นสุด



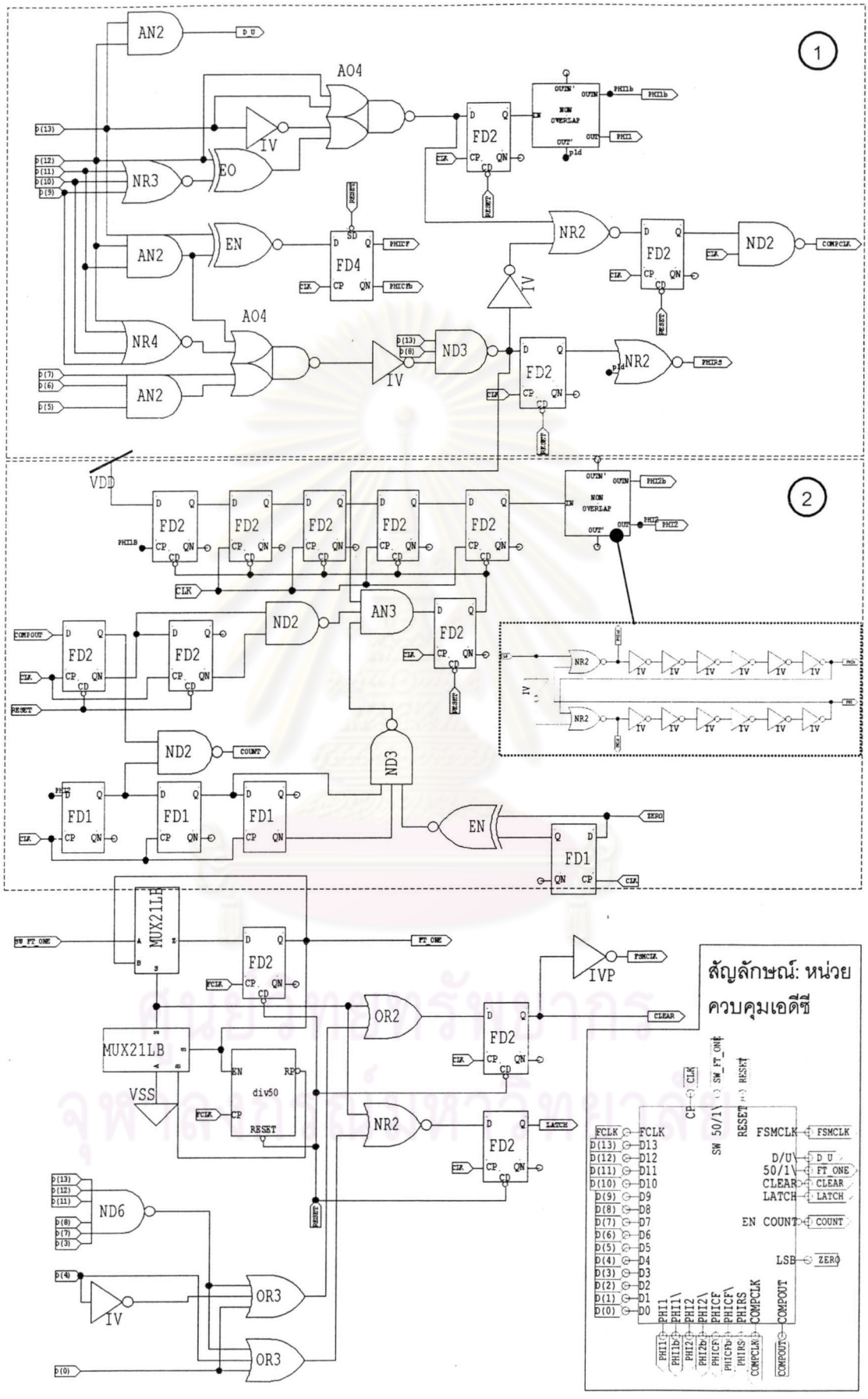
รูปที่ 3-32 ผังวงจรทั้งหมดของวงจรส่วนดิจิทัล

รอบที่ 3200 ดังแสดงในรูปที่ 3-35 อย่างไรก็ตามสัญญาณที่ได้จากวงจรตรรกะเชิงผสม จะมีกลิตช์ (Glitch) อยู่ จึงต้องนำสัญญาณไปผ่านฟลิปฟล็อปเพื่อกำจัดกลิตช์ออกไป สัญญาณควบคุมเฟสของเอดีซี ได้แก่ PHI1, PHI1b, PHI2, PHI2b, PHICF, PHICFb และ PHIRS แต่สัญญาณสองตัว คือ PHI1 และ PHI2 ยังต้องมีคุณสมบัติพิเศษคือจะต้องไม่เป็น 1 ในเวลาเดียวกันกับสัญญาณตรงข้ามของตัวเองคือ PHI1b และ PHI2b ตามลำดับ จึงต้องใช้วงจรสำหรับสร้างสัญญาณนาฬิกาที่ไม่เกยกัน (Non-overlapping clock) [18] วงจรส่วนที่ 1 ในรูปที่ 3-34 เป็นตัวสร้างสัญญาณ PHI1, PHICF และ PHIRS

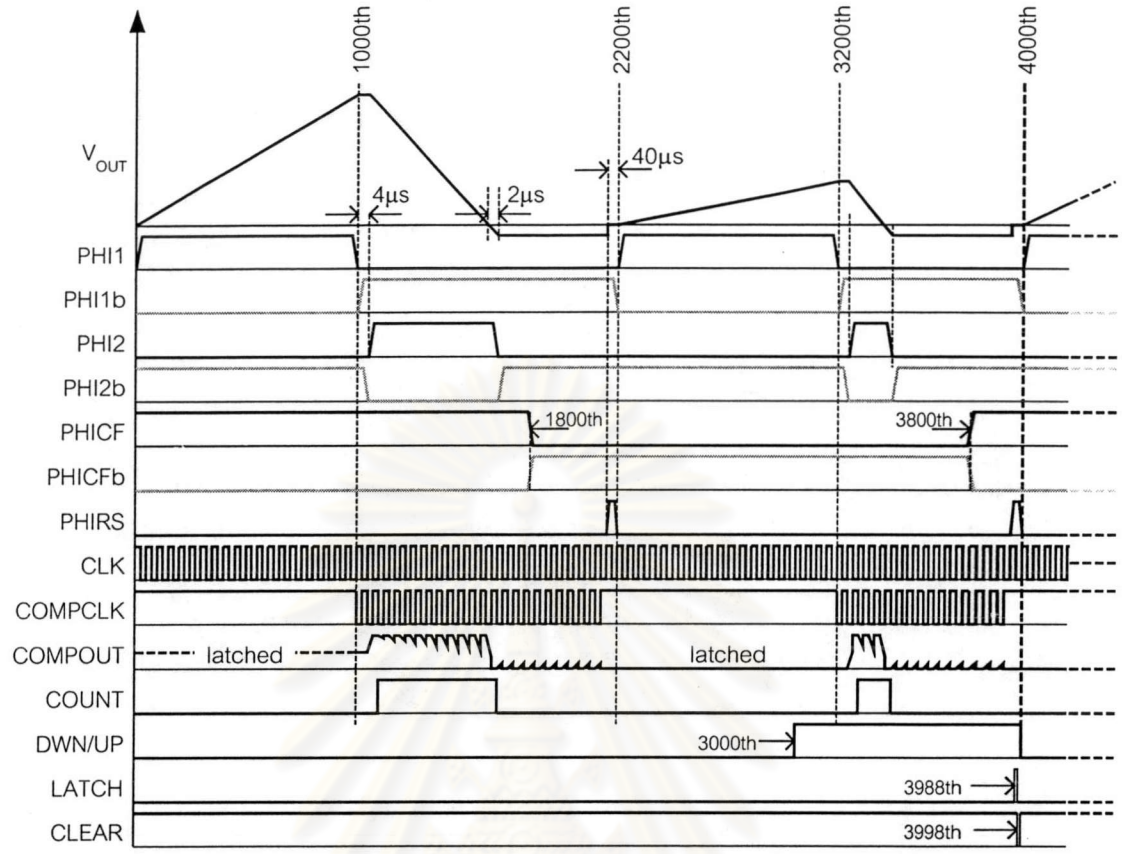


รูปที่ 3-33 ผังวงจรของวงจรนับ 4000

สัญญาณ PHI2 แตกต่างจากสัญญาณควบคุมเฟสของเอดีซีสัญญาณอื่นเนื่องจากการเริ่มต้นและสิ้นสุดของเฟส ϕ_2 ถูกกำหนดโดยการสิ้นสุดของเฟส ϕ_1 และการที่ตัวเปรียบเทียบให้สัญญาณออกเปลี่ยนจาก 1 เป็น 0 ตามลำดับ วงจรสร้างสัญญาณ PHI2 อยู่ในส่วนที่ 2 ของรูปที่ 3-34 อย่างไรก็ตามสัญญาณควบคุมเฟส ϕ_2 สามารถสิ้นสุดลงได้เนื่องจากกรณีอื่น ได้แก่ กรณีที่สัญญาณ COMPOUT ไม่เป็น 0 แม้ว่าจะเลยช่วงเวลาที่สำรองไว้สำหรับเฟส ϕ_2 และเข้าสู่เฟส ϕ_{RS} แล้วก็ตาม และกรณีที่สัญญาณที่อินทิเกรตมีค่าเป็นศูนย์ทำให้ตัวเปรียบเทียบให้สัญญาณออกเป็น 0 ตั้งแต่เริ่มต้นการเปรียบเทียบ จึงต้องเพิ่มวงจรเพื่อตรวจสอบการเกิดของกรณีทั้งสองดังกล่าว ถ้าพบจะต้องปรับสัญญาณ PHI2 ให้เป็น 0 เช่นเดียวกับกรณีของการสิ้นสุดเฟส ϕ_2 ตามปกติ และสัญญาณ COUNT ซึ่งควบคุมการนับของวงจรนับขึ้น/ลง จะขึ้นอยู่กับสัญญาณ COMPOUT และ PHI2

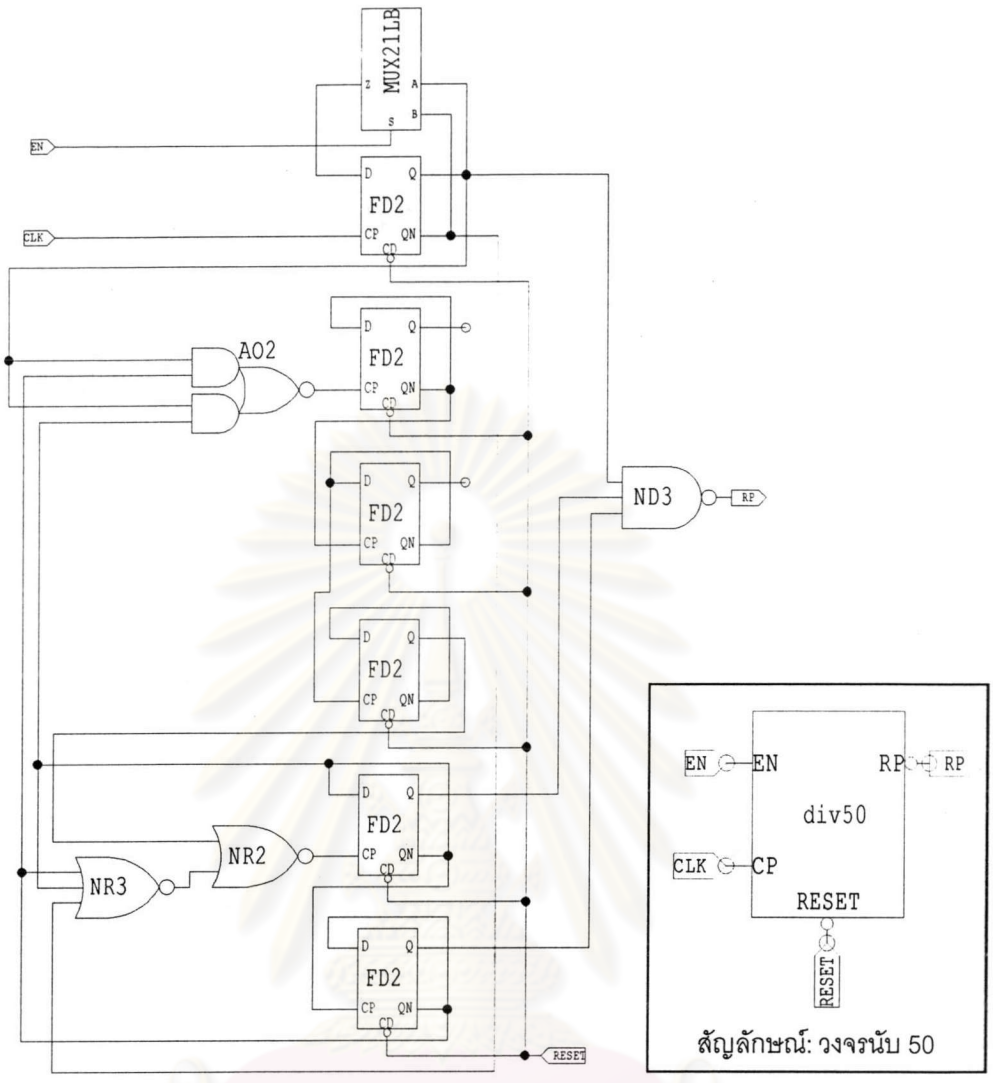


รูปที่ 3-34 ผังวงจรของหน่วยควบคุมเอดีซี



รูปที่ 3-35 แผนภาพเวลาของสัญญาณจากหน่วยควบคุมเอดีซี

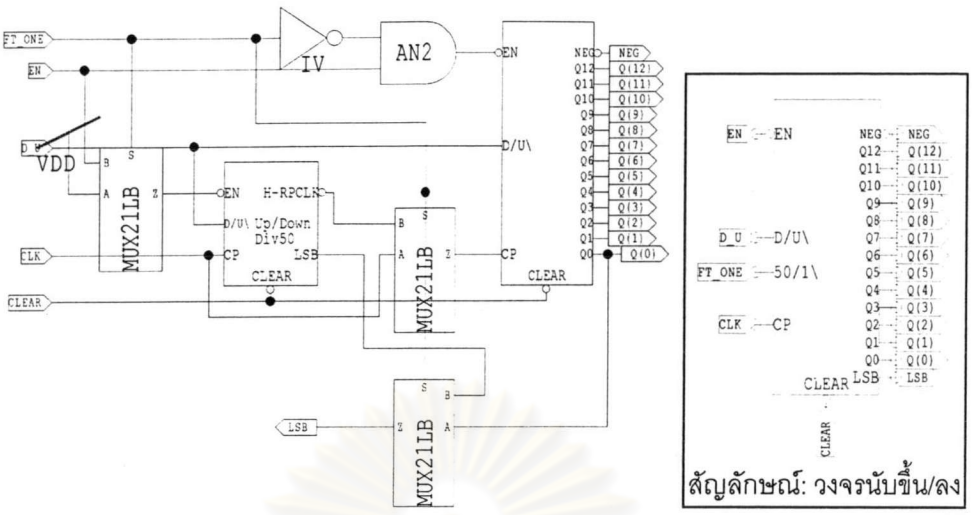
ส่วนที่เหลือได้แก่วงจรสร้างสัญญาณควบคุมวงจรนับขึ้น/ลงและแลตช์ สัญญาณ DWN/UP สร้างด้วยวิธีการเดียวกับสัญญาณ PHI1 สัญญาณ FT_ONE จะมีค่าตามสัญญาณ SW_FT_ONE จากผู้ใช้ แต่ค่าของสัญญาณ FT_ONE จะไม่เปลี่ยนทันทีที่ผู้ใช้เปลี่ยนค่า SW_FT_ONE แต่จะเปลี่ยนเมื่อสิ้นสุดรอบการแปลงแอนะล็อกเป็นดิจิทัล และสัญญาณ FT_ONE จะกำหนดความถี่ของสัญญาณ CLEAR และ LATCH ด้วย กรณีที่สัญญาณ FT_ONE มีค่าเท่ากับ 0 สัญญาณ CLEAR และ LATCH จะเป็น 1 ที่รอบสัญญาณนาฬิกาที่ 3998 และ 3988 ตามลำดับ ส่วนกรณีที่สัญญาณ FT_ONE มีค่าเป็น 1 ความถี่ของสัญญาณทั้งสองจะลดลง 50 เท่า โดยมีวงจรนับ 50 ทำหน้าที่เป็นวงจรหารความถี่คอยควบคุม ผังวงจรของวงจรนับ 50 เป็นดังรูปที่ 3-36



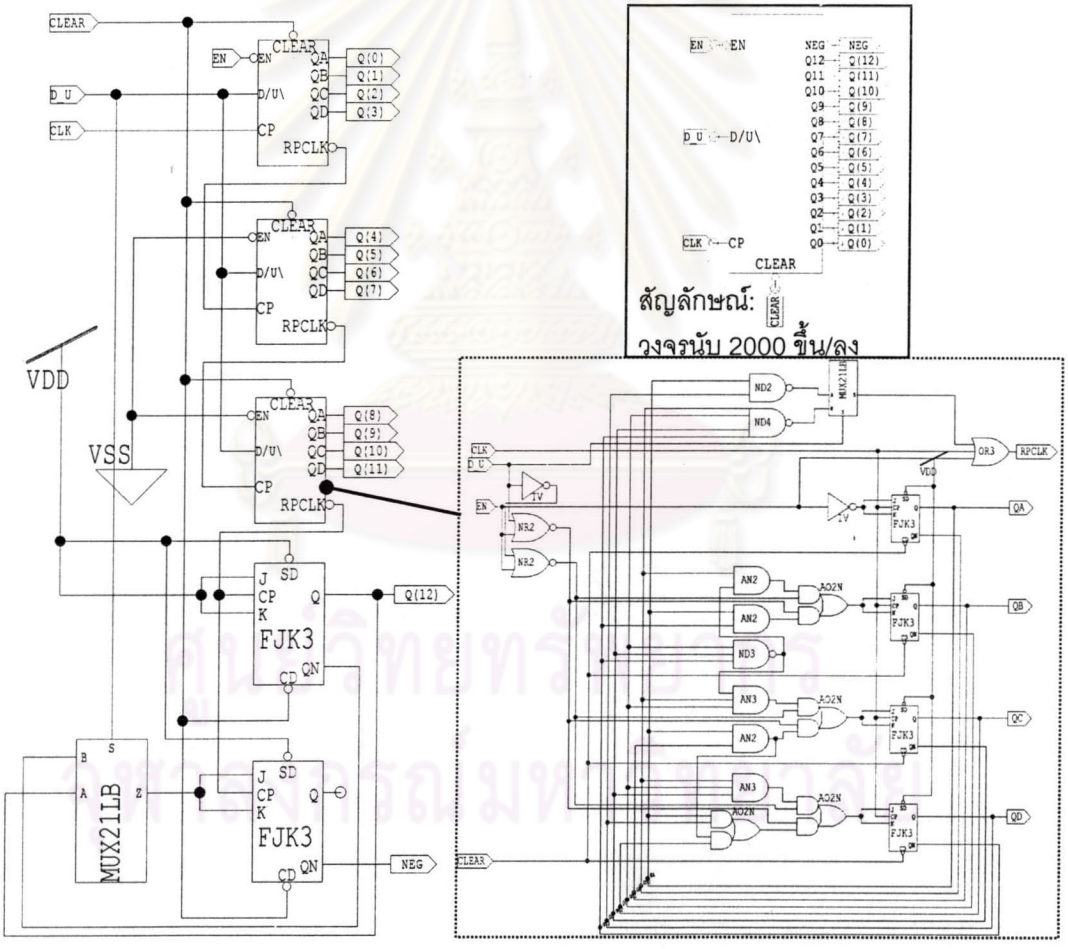
รูปที่ 3-36 ผังวงจรของวงจรนับ 50

3.7.1.3 วงจรนับขึ้น/ลง

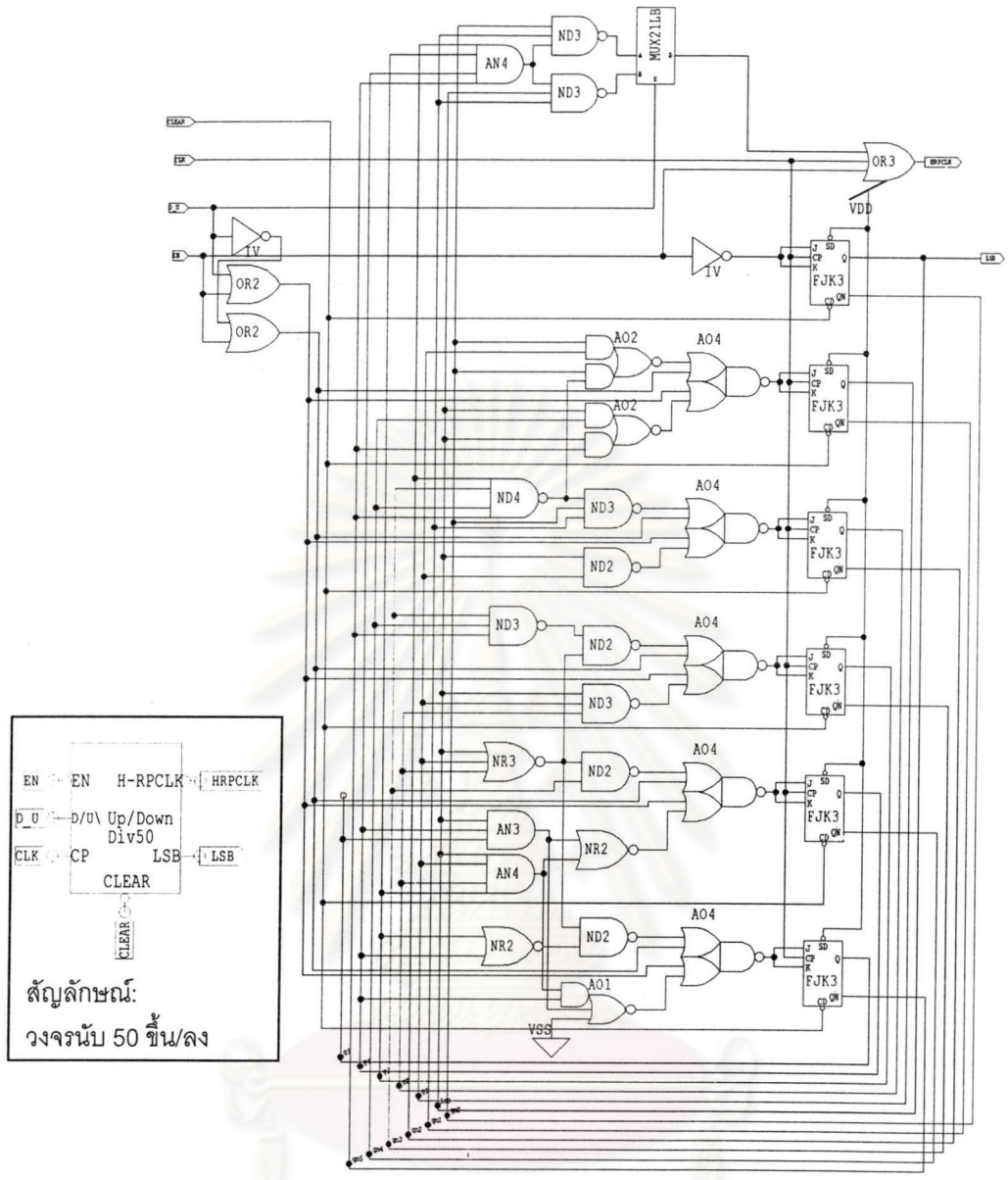
ภายในวงจรประกอบด้วยวงจรนับย่อยสองชุดดังรูปที่ 3-37 ซึ่งเป็นวงจรนับขึ้น/ลงแบบซิงโครนัส (Synchronous up/down counter) ทั้งคู่ ได้แก่ วงจรนับ 2000_{BCD} ขึ้น/ลงในรูปที่ 3-38 และวงจรนับ 50 ขึ้น/ลงในรูปที่ 3-39 เมื่อสัญญาณ FT_ONE มีค่าเป็น 0 วงจรนับ 50 จะไม่ทำงาน และสัญญาณนาฬิกาจะผ่านเข้าวงจรนับ 2000 โดยตรง แต่เมื่อสัญญาณ FT_ONE มีค่าเป็น 1 สัญญาณนาฬิกาจะเข้าวงจรนับ 50 และสัญญาณทดแบบริปเพิล (Ripple carry) จากวงจรนับ 50 จะเป็นสัญญาณนาฬิกาของวงจรนับ 2000 ในกรณีนี้วงจรนับ 50 จะทำหน้าที่เป็นวงจรเฉลี่ย ค่าที่ปรากฏที่ขาออกของวงจรนับ 2000 จะเป็นค่าที่ได้จากการแปลงผันสัญญาณติดต่อกัน 50 ครั้ง



รูปที่ 3-37 ผังวงจรของวงจรนับขึ้น/ลง



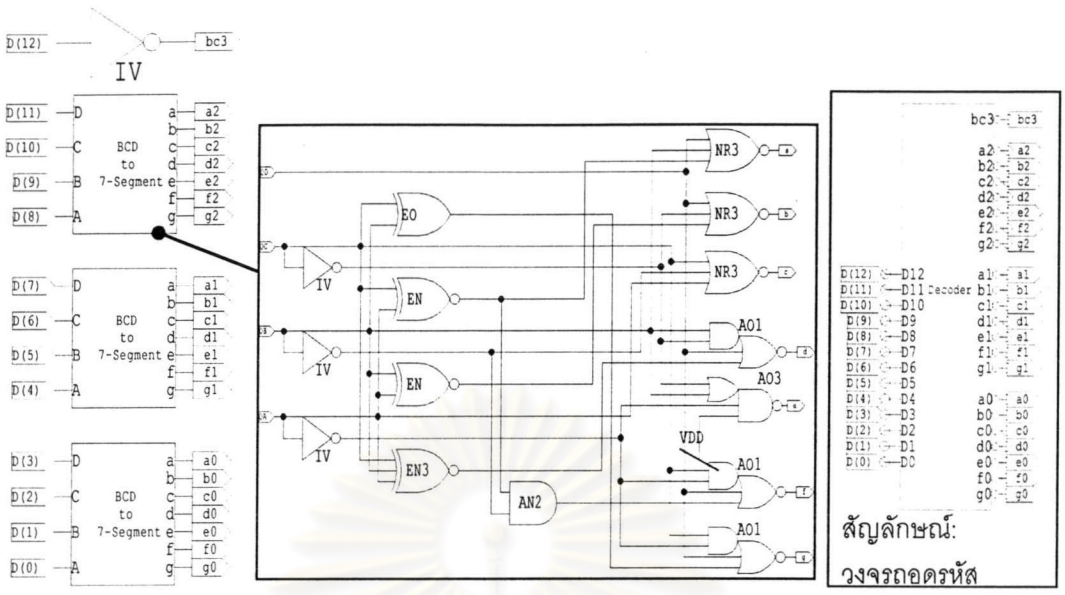
รูปที่ 3-38 ผังวงจรของวงจรนับ 2000_{BCD} ขึ้น/ลง



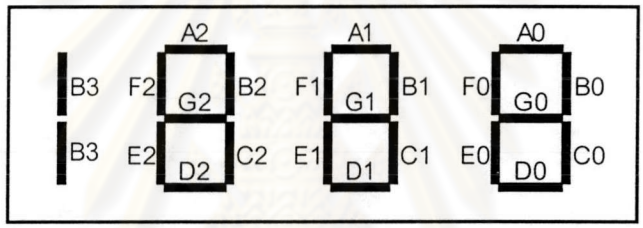
รูปที่ 3-39 ผังวงจรของวงจรนับ 50 ขึ้น/ลง

3.7.1.4 แลตช์และวงจรถอดรหัส

แลตช์ประกอบขึ้นจากแลตช์ 1 บิต 14 ตัว เป็นแลตช์ขนาด 14 บิต ส่วนผังวงจรของวงจรถอดรหัสเป็นดังรูปที่ 3-40 ภายในวงจรถอดรหัสประกอบด้วยวงจรถอดรหัสบีซีดีเป็นรหัสเจ็ดส่วน 3 ตัว และตัวผกผัน 1 ตัว รวมเป็นวงจรถอดรหัส 3½ หลัก ส่วนต่างๆ บนจอผลึกเหลวสัมพันธ์กับชื่อสัญญาณที่ถอดรหัสได้ตามรูปที่ 3-41



รูปที่ 3-40 ผังวงจรของวงจรถอดรหัสบีซีดีเป็นรหัสเจ็ดส่วน



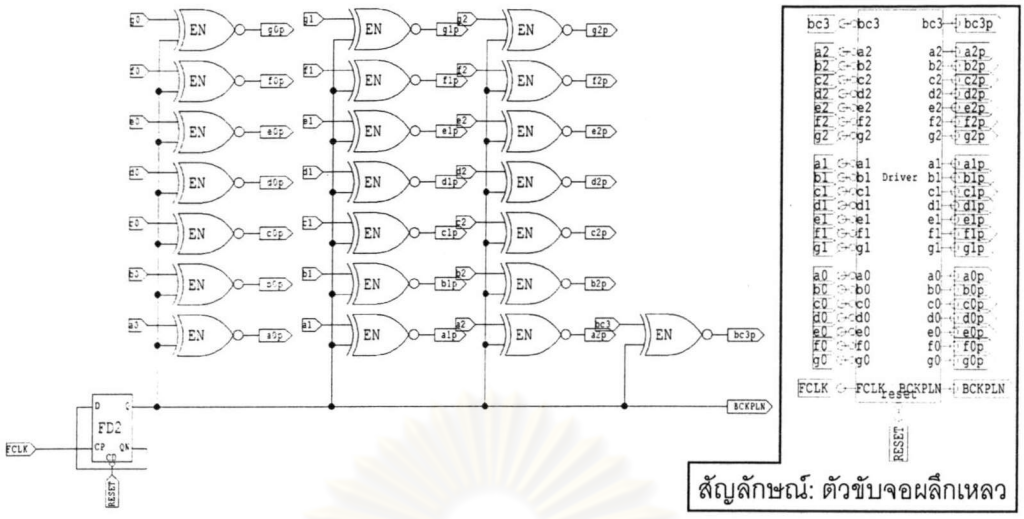
รูปที่ 3-41 ตำแหน่งของสัญญาณที่ควบคุมส่วนต่างๆ ของจอผลึกเหลว

3.7.1.5 ตัวขับจอผลึกเหลว

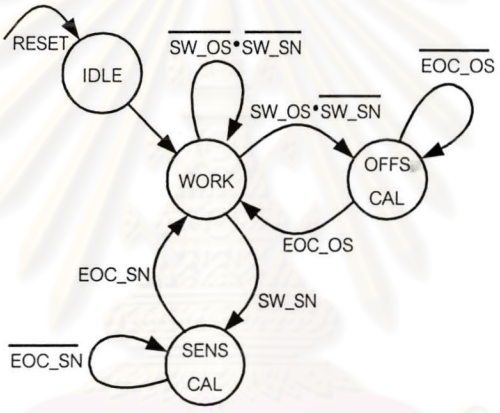
ผังวงจรของตัวขับจอผลึกเหลวแสดงในรูปที่ 3-42 สัญญาณ FCLK จากวงจรนับจะถูกหารสองเพื่อใช้เป็นสัญญาณขับจอผลึกเหลว และสัญญาณดังกล่าวจะใช้เป็นสัญญาณมอดูเลตสัญญาณรหัสเจ็ดส่วนที่ได้มาจากวงจรถอดรหัส โดยมีประตูสัญญาณ XNOR เป็นตัวมอดูเลต

3.7.1.6 เครื่องสถานะจำกัด

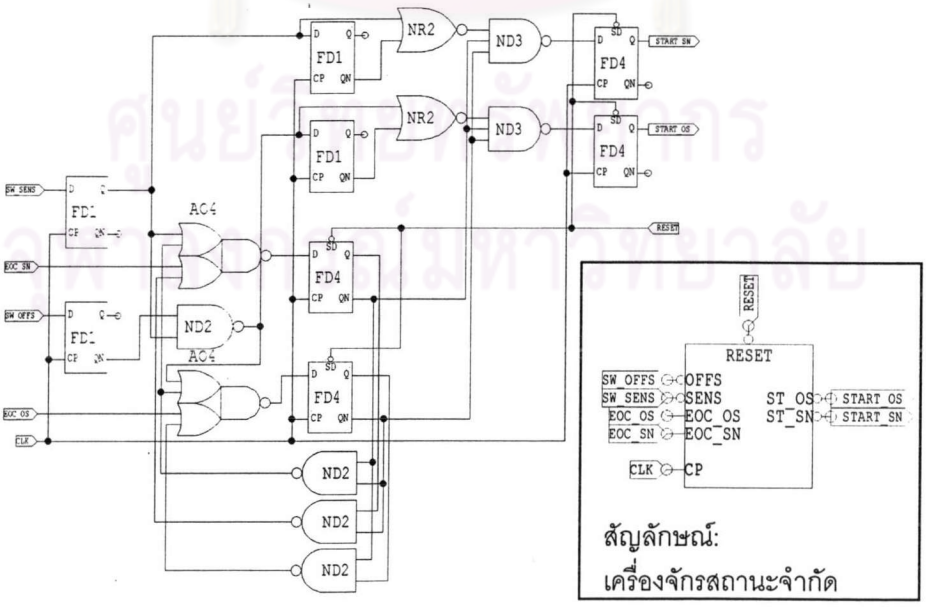
หน้าที่ของเครื่องสถานะจำกัดคือควบคุมการสลับสถานะการทำงานระหว่างการแปลงแอนะล็อกเป็นดิจิทัลปกติ การปรับเทียบออฟเซต และการปรับเทียบความไว เครื่องสถานะมีแผนภาพสถานะและผังวงจรแสดงในรูปที่ 3-43 และรูปที่ 3-44 ตามลำดับ สัญญาณออกของเครื่องจักรคือ START_OS และ START_SN ซึ่งเป็นสัญญาณบอกให้หน่วยปรับเทียบออฟเซตและความไวเริ่มทำงาน



รูปที่ 3-42 ผังวงจรของตัวขับจอผลึกเหลว



รูปที่ 3-43 แผนภาพสถานะของเครื่องสถานะจำกัด



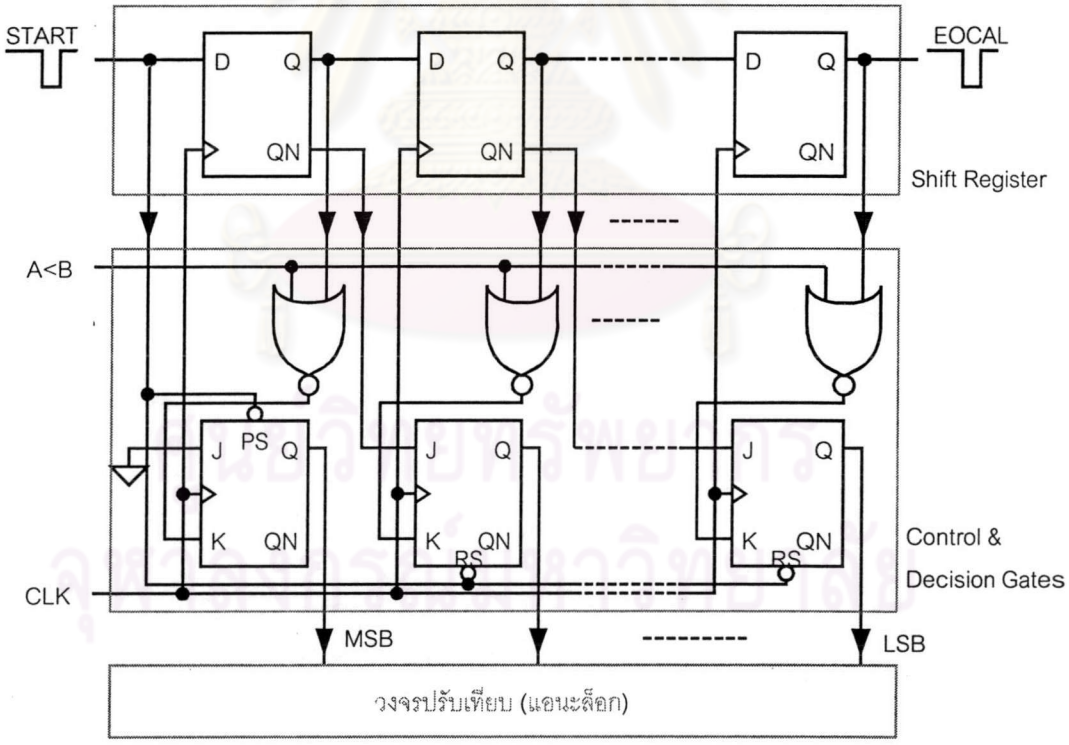
รูปที่ 3-44 ผังวงจรของเครื่องสถานะจำกัด

3.7.1.7 หน่วยปรับเทียบออฟเซตและความไว

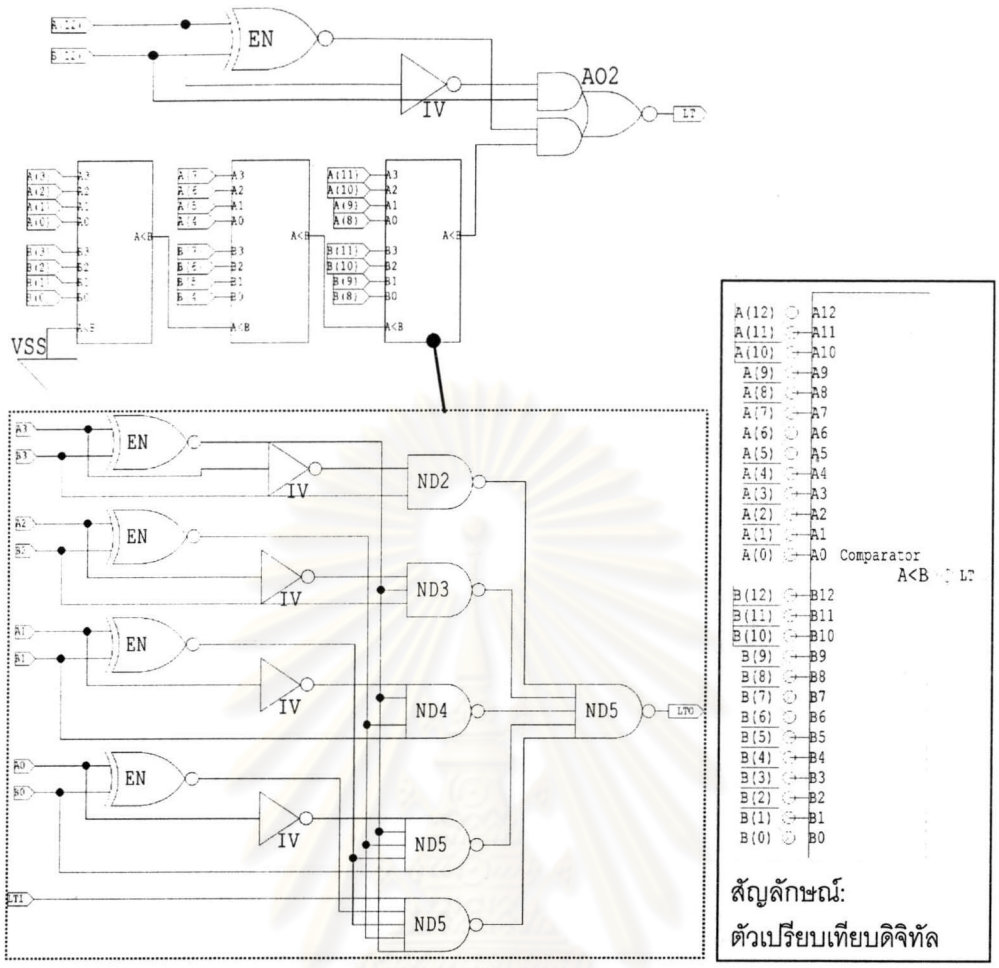
โครงสร้างของหน่วยปรับเทียบทั้งสองนั้นคล้ายกันมาก ต่างกันเพียงจำนวนขั้นตอนที่ใช้ แผนภาพบล็อกของหน่วยปรับเทียบแสดงในรูปที่ 3-45 ฟลิปฟล็อปแบบ D ทำหน้าที่เป็นเรจิสเตอร์ระบุจังหวะการทำงานของวงจรแต่ละชุด การทำงานจะเริ่มจากวงจรชุดแรกและเรียงไปตามลำดับจนถึงวงจรชุดสุดท้าย และสอดคล้องกับกระบวนการค้นแบบทวิภาค และมีฟลิปฟล็อปแบบ JK เป็นเรจิสเตอร์เก็บค่าที่ได้จากการปรับเทียบ เมื่อมีสัญญาณ START เข้ามายังวงจร ฟลิปฟล็อปแบบ JK ทุกตัวจะถูกตั้งค่าใหม่โดยฟลิปฟล็อปทุกตัวยกเว้นตัวแรกจะมีค่าเป็นศูนย์ และตัวแรกมีค่าเป็นหนึ่ง จากนั้นวงจรจะรอสัญญาณเปรียบเทียบ A<B ซึ่งจะได้หลังจากการแปลงแอนะล็อกเป็นดิจิทัลเสร็จสิ้น เพื่อมากำหนดค่าของฟลิปฟล็อป เมื่อวงจรชุดแรกได้ผลลัพธ์แล้ว ค่าของเรจิสเตอร์ตัวถัดไปจะถูกตั้งให้เป็น 1 และกระบวนการค้นจะดำเนินต่อไปเหมือนกับวงจรชุดแรกจนเสร็จสิ้น

3.7.1.8 มัลติเพลกเซอร์ (Multiplexer) และตัวเปรียบเทียบดิจิทัล

มัลติเพลกเซอร์ 13 บิต ได้มาจากมัลติเพลกเซอร์ 1 บิต 13 ตัว ส่วนตัวเปรียบเทียบดิจิทัลขนาด 13 บิต ภายในประกอบด้วยวงจรเปรียบเทียบดิจิทัล 4 บิต 3 ตัวดังรูปที่ 3-46



รูปที่ 3-45 แผนภาพบล็อกของหน่วยปรับเทียบ



รูปที่ 3-46 ผังวงจรของตัวเปรียบเทียบดิจิทัล

3.7.2 ผลการจำลองการทำงาน

แบบจำลองของประตูสัญญาณซึ่งอยู่ในรูปของภาษาวีเอชดีแอลที่ได้รับมาจากโรงงานเจือสารนั้นมีข้อมูลเกี่ยวกับเวลาหน่วงของประตูสัญญาณแต่ละชนิดอยู่ด้วย ข้อมูลเหล่านี้มีความจำเป็นในการจำลองการทำงานเพราะช่วยให้เห็นจุดผิดพลาดในวงจรอันเนื่องมาจากกลิตช์ที่เกิดขึ้นได้ เนื่องจากวงจรส่วนดิจิทัลนั้นมีส่วนประกอบย่อยอยู่มาก ผลการจำลองการทำงานของวงจรแต่ละส่วนจึงมีรายละเอียดอยู่มากเช่นกัน ดังนั้นจึงไม่นำรายละเอียดในการจำลองการทำงานของวงจรย่อยในส่วนดิจิทัลมาแสดงในที่นี้ ส่วนผลการจำลองการทำงานของวงจรดิจิทัลทั้งหมดนั้นได้รวมอยู่ในหัวข้อการจำลองการทำงานทั้งระบบที่กล่าวถึงในหัวข้อถัดไปแล้ว

3.8 การจำลองการทำงานทั้งระบบ

ในการออกแบบที่ผ่านมา การจำลองการทำงานจะทำโดยแยกวงจรแต่ละส่วนออกจากกันและตรวจสอบคุณสมบัติที่ขาเข้าและขาออกของวงจร เช่น ความต้านทานขาเข้า และความต้านทานขาออก เพื่อเป็นเครื่องยืนยันว่าวงจรแต่ละส่วนจะนำมาต่อร่วมกัน และทำงานได้ถูกต้อง

ตามที่ออกแบบไว้ อย่างไรก็ตามเราจำเป็นต้องจำลองการทำงานของระบบทั้งระบบ เพื่อยืนยันว่าวงจรแต่ละส่วนสามารถทำงานร่วมกันได้อย่างเหมาะสม และเป็นไปตามเงื่อนไขที่ใช้ในการออกแบบตั้งแต่ต้น ทั้งนี้การจำลองการทำงานจะทดสอบวงจรในสภาวะที่แตกต่างกันสามสภาวะดังนี้

- สภาวะปกติ แบบจำลองของทรานซิสเตอร์ได้มาจากกระบวนการผลิตแบบปกติ (Typical process) วงจรทำงานที่อุณหภูมิห้อง 25°C และแรงดันแหล่งจ่ายมีค่าปานกลางคือ 3.0 V
- สภาวะเร็วยิ่ง แบบจำลองของทรานซิสเตอร์ได้มาจากกระบวนการผลิตแบบเร็ว (Fast process) วงจรทำงานที่อุณหภูมิต่ำ 0°C และแรงดันแหล่งจ่ายมีค่าสูงคือ 5.0 V
- สภาวะช้ายิ่ง แบบจำลองของทรานซิสเตอร์ได้มาจากกระบวนการผลิตแบบช้า (Slow process) วงจรทำงานที่อุณหภูมิสูง 70°C และแรงดันแหล่งจ่ายมีค่าต่ำคือ 2.0 V

นอกจากนี้ยังมีการจำลองการทำงานในกรณีพิเศษอื่น อย่างเช่น ใช้แบบจำลองทรานซิสเตอร์พีมอสแบบเร็วกับทรานซิสเตอร์เอ็นมอสแบบช้า หรือสลับกัน และความผิดพลาดของค่าสัมบูรณ์ของความต้านทาน ±20% แต่ผลการจำลองการทำงานที่นำมาแสดงในหัวข้อนี้จะเป็นผลการจำลองที่ได้จากกระบวนการผลิตปกติเท่านั้น เนื่องจากผลการจำลองการทำงานในสภาวะอื่นๆ นั้นระบุว่าวงจรสามารถทำงานได้เช่นเดียวกับในสภาวะปกติ

การจำลองการทำงานของวงจรทุกส่วนร่วมกันโดยใช้โปรแกรมสไปซ์ (SPICE) นั้นไม่เหมาะสมเนื่องจากข้อจำกัดด้านเวลา จึงต้องหากลวิธีมาช่วย กลวิธีดังกล่าวคือการใช้แบบจำลองพฤติกรรม (Behavioral model) ในที่นี้จะแบ่งการจำลองการทำงานออกเป็น 3 กรณี ได้แก่

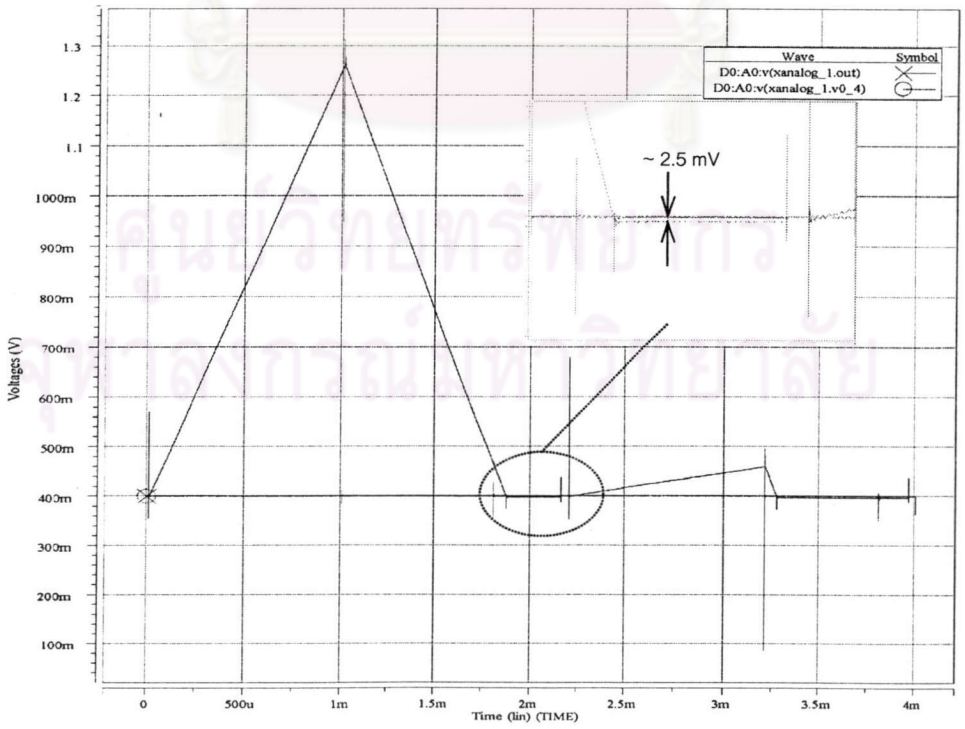
1. จำลองการทำงานด้วยโปรแกรมสไปซ์ ซึ่งเป็นโปรแกรมหลักที่ใช้จำลองการทำงานวงจรส่วนแอนะล็อก นอกจากจะนำวงจรแอนะล็อกทั้งหมดมารวมกันแล้ว ผู้วิจัยได้สร้างแบบจำลองพฤติกรรมของวงจรดิจิทัลจากอุปกรณ์อุดมคติในโปรแกรมสไปซ์ เช่น แหล่งจ่ายแรงดัน แหล่งจ่ายกระแส และสวิตช์ เป็นต้น การจำลองการทำงานลักษณะนี้กินเวลานานเมื่อเทียบกับการจำลองการทำงานของวงจรดิจิทัล
2. จำลองการทำงานด้วยโปรแกรมโมเดลซิม (ModelSim) ซึ่งเป็นโปรแกรมสำหรับจำลองการทำงานในส่วนดิจิทัล แบบจำลองสำหรับวงจรแอนะล็อกสร้างโดยเขียนโปรแกรมภาษาวีเอชดีแอล กรณีนี้ใช้เวลาในการจำลองการทำงานน้อยที่สุดในกรณีทั้งสาม การจำลองการทำงานในกรณีที่หนึ่งและสองร่วมกันช่วยยืนยันว่าวงจรส่วนแอนะล็อกสามารถทำงานร่วมกับส่วนดิจิทัลได้ อย่างไรก็ตามจะต้องคำนึงถึงโหลดที่

จุดเชื่อมต่อระหว่างวงจรส่วนแอนะล็อกและดิจิทัลด้วยว่ามีค่ามากหรือน้อย และวงจรที่เป็นตัวจ่ายสัญญาณจะต้องสามารถขับโหลดนั้นได้

3. จำลองการทำงานด้วยโปรแกรมเอชซิม (H-sim) ซึ่งเป็นโปรแกรมสำหรับจำลองการทำงานวงจรสัญญาณผสม (Mixed-signal) โปรแกรมสามารถแบ่งวงจรออกเป็น 2 ส่วนคือส่วนแอนะล็อกและดิจิทัล โดยกำหนดให้ความละเอียดในการคำนวณแตกต่างกัน เพื่อลดเวลาในการคำนวณของโปรแกรมในการวิเคราะห์วงจรส่วนดิจิทัล ขณะที่สัญญาณในวงจรแอนะล็อกยังให้ความแม่นยำพอสมควร การจำลองการทำงานนี้จะใช้ในการจำลองการทำงานภายหลังจากการวาดลายวงจรรวม (Post-layout simulation) ซึ่งเป็นขั้นตอนสุดท้ายก่อนที่จะส่งลายวงจรรวมไปผลิต

ในที่นี้จะแสดงแต่ผลการจำลองการทำงานในแบบที่ 1 และ 2 เท่านั้น ส่วนการจำลองการทำงานแบบที่ 3 นั้นทำเพื่อความแน่ใจว่าวงจรทั้งหมดที่รวมวงจรสำหรับการแก้จุดบกพร่องแล้วจะทำงานได้ถูกต้องเท่านั้น จึงไม่นำมาแสดงในที่นี้

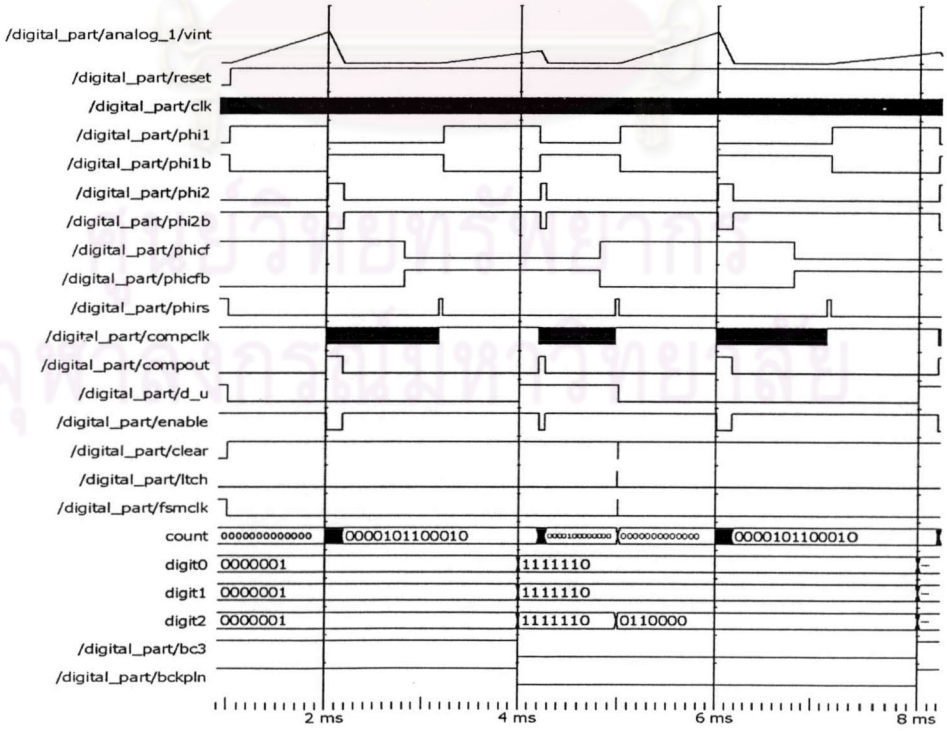
การจำลองการทำงานของวงจรด้วยโปรแกรมสไปซ์เป็นดังรูปที่ 3-47 สัญญาณในภาพเป็นสัญญาณออกของตัวอินทิเกรต V(out) กับแรงดันอ้างอิง V0_4 กำหนดให้กระแสรับเข้ามีค่า 800 nA ผลที่ได้แสดงให้เห็นว่าออปแอมป์ที่ใช้สร้างตัวอินทิเกรตมีเสถียรภาพดี ไม่เกิดการแกว่งของแรงดันเมื่อมีการสวิตช์เกิดขึ้นในช่วงเปลี่ยนเฟสการทำงาน และสวิตช์มีการทำงานถูกต้อง นอกจากนี้ตัวเปรียบเทียบซึ่งทำหน้าที่เปรียบเทียบสัญญาณออกของตัวอินทิเกรตกับแรงดันอ้างอิง



รูปที่ 3-47 ผลการจำลองการทำงานทั้งระบบด้วยโปรแกรมสไปซ์

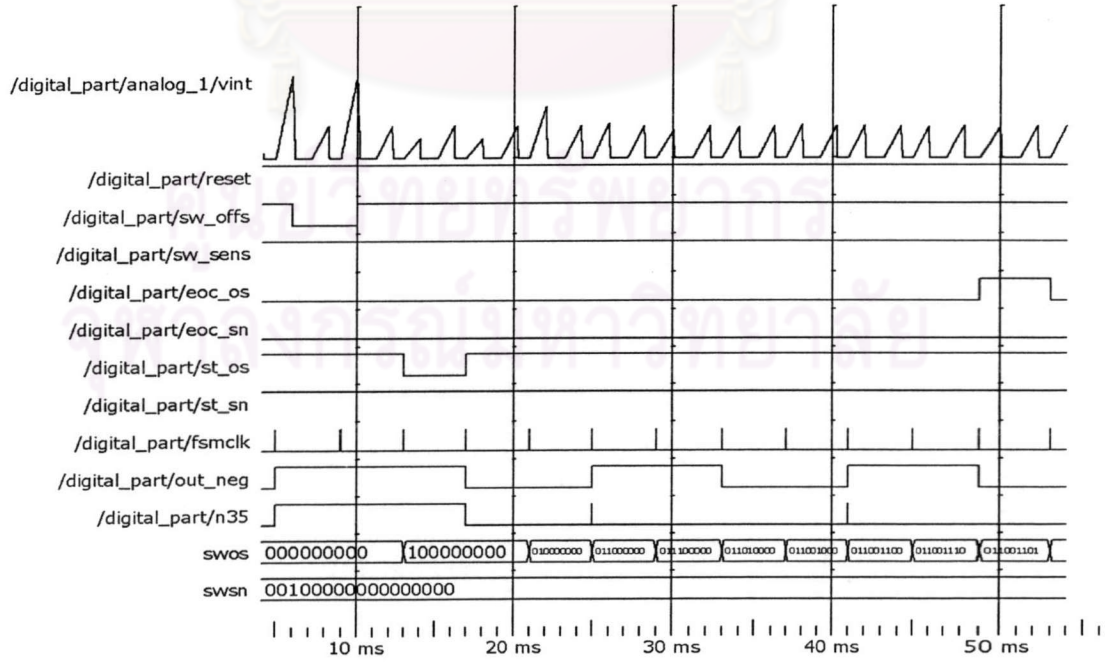
ก็ทำหน้าที่ได้ถูกต้อง เห็นได้จากตัวอินทิเกรตหยุดการอินทิเกรตขาลงเมื่อแรงดันออก V(out) มีค่าน้อยกว่าแรงดันอ้างอิงเล็กน้อย

รูปที่ 3-48 แสดงผลการจำลองการทำงานของวงจรส่วนดิจิทัล และใช้แบบจำลองของวงจรแอนะล็อกในภาษาวีเอชดีแอล ในการจำลองการทำงานกำหนดให้ระบบถูกรีเซตในตอนต้น ระบบจะเริ่มทำงานที่เวลา 1 ms จากรูปจะเห็นสัญญาณออกของตัวอินทิเกรต (vint) ซึ่งได้จำลองขึ้นมาให้สอดคล้องกับสัญญาณจริงเมื่อมีกระแสเข้า 100 nA ผลลัพธ์ที่ได้จากวงจรนับดูได้จากสัญญาณ count ซึ่งเป็นรหัสบีซีดี ในช่วงต้นจะมีค่าเป็น 0_{BCD} เมื่อวงจรทำงานในช่วงการอินทิเกรตขาลง สัญญาณ count จะเริ่มมีการเปลี่ยนแปลง (สัญญาณ enable เป็น 0 ทำให้วงจรนับเริ่มทำงาน) จนกระทั่งหยุดเมื่อสัญญาณ vint มีค่าน้อยกว่าค่าอ้างอิง ค่าของสัญญาณ count ที่เวลา 3 ms มีค่าเท่ากับ 162_{BCD} ซึ่งเท่ากับค่าของกระแสรับเข้ารวมกับกระแสออฟเซต (62.5 nA) เมื่อระบบทำงานไปถึงช่วงการอินทิเกรตขาลงครั้งที่สอง สัญญาณ count จะเปลี่ยนแปลงอีกครั้งแต่จะเป็นการลดค่าลง เมื่อสิ้นสุดการนับสัญญาณ count มีค่าเท่ากับ 100_{BCD} ซึ่งตรงกับกระแสรับเข้า เมื่อใกล้จบรอบการแปลงที่เวลา 5 ms สัญญาณ count จะถูกแลตช์ทำให้ค่าที่แสดงผล (สัญญาณ digit0-digit2 และ bc3) มีการเปลี่ยนแปลง หลังจากนั้นเล็กน้อย สัญญาณ count จะถูกรีเซตกลับสู่ค่า 0_{BCD} นอกจากนี้ผลการจำลองการทำงานยังแสดงให้เห็นสัญญาณควบคุมเฟสซึ่งสอดคล้องกับการทำงานของเอดีซีในแต่ละช่วงเวลา และสัญญาณขับระนาบหลัง (Back plane) ของจอผลึกเหลว bckpln ซึ่งมีความถี่ 125 Hz

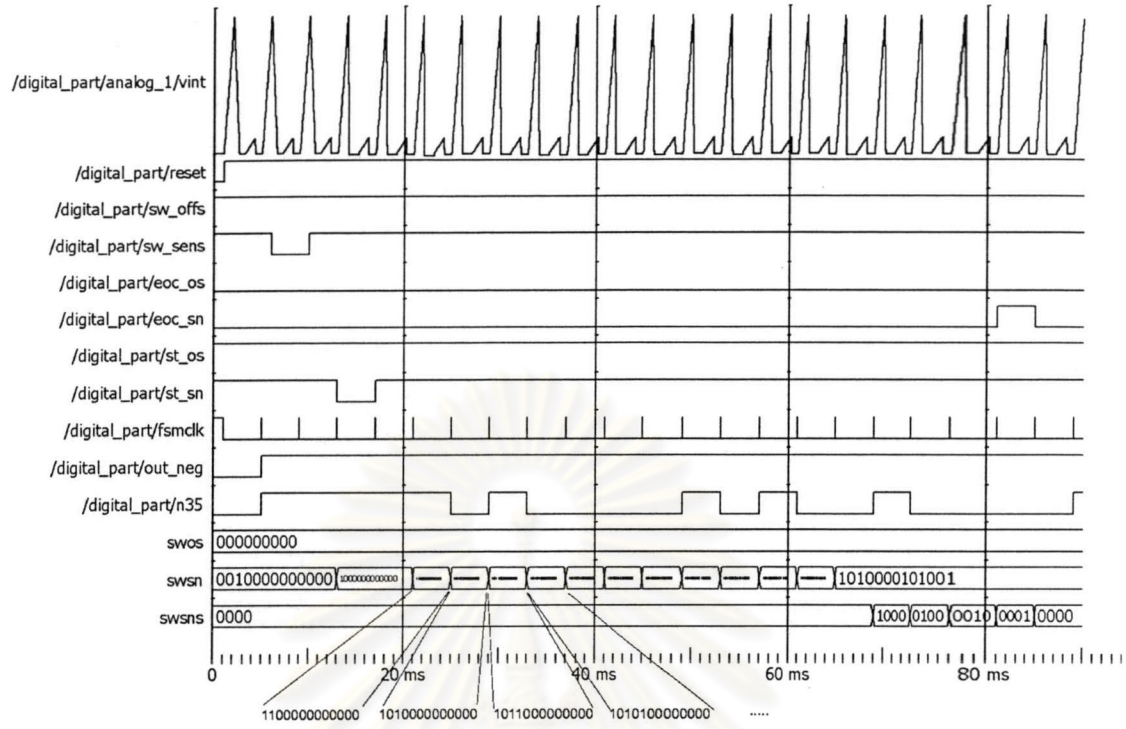


รูปที่ 3-48 ผลการจำลองการทำงานทั้งระบบจากโปรแกรมโมเดลซิม

รูปที่ 3-49 แสดงผลการจำลองการทำงานของระบบซึ่งได้รับคำสั่งปรับเทียบออฟเซตจากผู้ใช้ (สัญญาณ sw_offs) ที่เวลา 6ms สมมติว่าออฟเซตขณะนั้นมีค่า 100 nA เครื่องสถานะจะสร้างสัญญาณเริ่มการปรับเทียบออฟเซต st_os ที่เวลา 13 ms ทำให้ค่าในเรจิสเตอร์ของหน่วยปรับเทียบออฟเซต (swos) ถูกรีเซต กระบวนการค้นจะเริ่มในรอบสัญญาณนาฬิกาของเครื่องสถานะ fsmclk รอบถัดไปคือที่เวลา 17 ms หน่วยปรับเทียบออฟเซตจะตัดสินใจจากสัญญาณ out_neg ซึ่งบ่งบอกว่ากระแสที่วงจรปรับเทียบจ่ายเพื่อชดเชยออฟเซตมีค่ามากเกินไปหรือไม่ (ถ้าสัญญาณ out_neg มีค่าเป็น 0 แสดงว่ากระแสปรับเทียบมีค่ามากเกินไป) โดยสัญญาณดังกล่าวจะมีการปรับ (update) ค่าให้ทันกาล ก่อนขอบขาขึ้นของสัญญาณ fsmclk เล็กน้อย เมื่อการปรับเทียบออฟเซตดำเนินมาถึงครั้งสุดท้าย หน่วยปรับเทียบจะสร้างสัญญาณ eoc_os เพื่อให้เครื่องสถานะกลับสู่สถานะปกติหลังจากการปรับเทียบเสร็จสิ้น การทำงานของหน่วยปรับเทียบความไวจะคล้ายคลึงกันดังรูปที่ 3-50 สมมติให้กระแสรับเข้ามีค่า 500 nA แต่ต้องการปรับเทียบให้เอดีซีอ่านค่าได้เท่ากับ 100 การทำงานจะเริ่มจากการรับคำสั่งจากผู้ใช้โดยสัญญาณ sw_sens และเครื่องสถานะจะสร้างสัญญาณเริ่มการปรับเทียบ st_sn ทำให้ค่าเรจิสเตอร์ของหน่วยปรับเทียบความไว (swsn สำหรับแถวลำดับกระแสปกติ และ swsns สำหรับแถวลำดับกระแสพิเศษ) ถูกรีเซต และกระบวนการค้นจะเริ่มต้นขึ้น หน่วยปรับเทียบความไวจะใช้สัญญาณ n35 ในการตัดสินใจเลือกค่าในแต่ละเรจิสเตอร์ สังเกตว่าความชันขาลงของสัญญาณ vint จะมีการเปลี่ยนแปลงเมื่อปรับเทียบความไวเสร็จ หน่วยปรับเทียบจะสร้างสัญญาณ eos_sn เพื่อแจ้งให้เครื่องสถานะทราบ

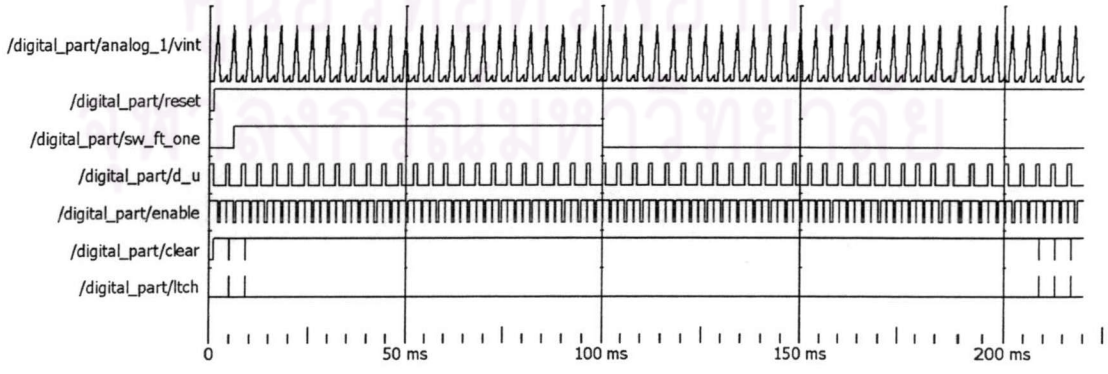


รูปที่ 3-49 ผลการจำลองการทำงานของวงจรขณะปรับเทียบออฟเซต



รูปที่ 3-50 ผลการจำลองการทำงานของวงจรขณะปรับเทียบความไว

รูปที่ 3-51 แสดงผลของสัญญาณ sw_ft_one ที่กำหนดโดยผู้ใช้ ต่ออัตราการแลตช์ เมื่อสัญญาณ sw_ft_one มีค่าเป็น 1 อัตราการแปลงสัญญาณจะลดลง 50 เท่า โดยโครงสร้างภายในของวงจรนับขึ้น/ลงจะมีการเปลี่ยนแปลงดังที่อธิบายไว้ในหัวข้อ 3.7.1.3 และสัญญาณ clear และ ltch จะเกิดขึ้นทุกๆ 50 รอบการแปลงสัญญาณของเอดีซี แทนที่จะเกิดทุกๆ รอบการแปลง สังเกตว่าระหว่างที่อัตราการแปลงสัญญาณลดลง 50 เท่า แม้ว่าสัญญาณ sw_ft_one จะมีค่ากลับเป็น 0 แล้ว แต่วงจรจะยังทำงานในสถานะที่อัตราการแลตช์เป็น 1/50 เท่าอยู่ จนกระทั่งมีการแปลงครบ 50 รอบแล้วระบบจึงสลับกลับสู่อัตราการแลตช์เดิม



รูปที่ 3-51 ผลการจำลองการทำงานเมื่ออัตราการแลตช์มีค่าปกติสลับกับต่ำลง 50 เท่า

3.9 สรุป

เนื้อหาในบทนี้แบ่งการออกแบบวงจรออกเป็นส่วนย่อยห้าส่วน ได้แก่ วงจรสร้างแรงดันอ้างอิง วงจรรับกระแสจากตัวตรวจรู้ ตัวแปลงแอนะล็อกเป็นดิจิทัล วงจรปรับเทียบ และวงจรส่วนดิจิทัล การออกแบบวงจรสี่ส่วนแรกซึ่งเป็นวงจรแอนะล็อกจะใช้การคำนวณด้วยมือแล้วนำไปวิเคราะห์และปรับให้ได้ค่าที่เหมาะสมด้วยโปรแกรมจำลองการทำงานสำหรับวงจรแอนะล็อกหรือสไปซ์ ผลการออกแบบวงจรส่วนแอนะล็อกโดยสรุปเป็นดังตารางที่ 3-12

ตารางที่ 3-12 สรุปผลการออกแบบวงจรส่วนแอนะล็อก

วงจรสร้างแรงดันอ้างอิง		
แรงดัน V_{bias} (ค่าปกติ 500 mV)	494.6-502.7	mV
สัมประสิทธิ์อุณหภูมิของ V_{bias}	41	ppm/°C
อัตราส่วนขจัดแหล่งจ่ายกำลังของ V_{bias}	-70	dB
วงจรส่วนหน้า		
แรงดันไบแอสตัวตรวจรู้	0.1 – 0.8	V
ความต้านทานขาเข้า	65	Ω
สัญญาณรบกวนสมมูล	162	pA
กระแสออฟเซตแบบสุ่ม	79	nA
ตัวแปลงแอนะล็อกเป็นดิจิทัล		
สัญญาณรบกวนสมมูล	148	μV
ออฟเซตแบบสุ่ม	13.8	mV
ความละเอียด	1	nA
คาบการแปลงสัญญาณ	4	ms
วงจรปรับเทียบ		
กระแสปรับเทียบออฟเซต	1-249	nA
กระแสปรับเทียบความไว	1-7999	nA
การกินกระแสรวม	142 - 231	μA
จำนวนอุปกรณ์ทั้งหมด:		
เอ็นมอส	206	ตัว
พีมอส	522	ตัว
ไบโพลาร์พีเอ็นพี	20	ตัว
ตัวต้านทาน	22	ตัว
ตัวเก็บประจุ	7	ตัว

วงจรส่วนดิจิทัลนั้นมีวิธีการออกแบบและจำลองการทำงานที่แตกต่างจากการออกแบบวงจรแอนะล็อก วิธีการที่ใช้นั้นเป็นการออกแบบในระดับประตูสัญญาณ โดยยึดชุดเซลล์มาตรฐานจากโรงงานเจือสารเป็นหลัก และจำลองการทำงานโดยใช้ภาษาวีเอชดีแอล ร่วมกับโปรแกรมโมเดลซิม วงจรส่วนดิจิทัลมีทรานซิสเตอร์ทั้งหมด 10,618 ตัว

ขั้นตอนสุดท้ายในการออกแบบคือการจำลองการทำงานของวงจรส่วนแอนะล็อกร่วมกับดิจิทัล โดยมีสามแนวทาง ได้แก่

1. จำลองการทำงานแบบแอนะล็อกด้วยโปรแกรมสไปซ์ โดยใช้แบบจำลองของวงจรส่วนดิจิทัลมาแทนวงจรจริง
2. จำลองการทำงานแบบดิจิทัลด้วยโปรแกรมโมเดลซิม โดยเขียนแบบจำลองแทนวงจรแอนะล็อกด้วยภาษาวีเอชดีแอล
3. จำลองการทำงานของวงจรทั้งสองส่วนร่วมกันโดยใช้โปรแกรมเอชซิม จำลองการทำงานของวงจรทั้งหมดในระดับทรานซิสเตอร์

การจำลองการทำงานรวมทั้งระบบช่วยให้แน่ใจว่าวงจรทั้งสองส่วนสามารถทำงานร่วมกันได้อย่างถูกต้อง เมื่อขั้นตอนการออกแบบเสร็จสิ้นแล้ว จะต้องวาดลายวงจรรวมเพื่อส่งไปทำการผลิตเป็นวงจรต้นแบบต่อไป

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย