บทที่ 2

ตัวตรวจรู้แบบให้กระแสออกและระบบประมวลผล

ในการออกแบบระบบประมวลผลเพื่อใช้กับตัวตรวจรู้ ผู้ออกแบบจะต้องเข้าใจคุณสมบัติของตัวตรวจรู้ในเชิงสัญญาณไฟฟ้าเพื่อให้ออกแบบภาคขาเข้าของวงจรได้เหมาะสม และจำเป็นต้องทราบลักษณะถ่ายโอนของตัวตรวจรู้ เพื่อที่จะคำนวณหาค่าตัวแปรต้น นอกจากนั้น คุณสมบัติที่ไม่เป็นอุดมคติของตัวตรวจรู้อย่างออฟเซต (Offset) หรือความไว (Sensitivity) ซึ่งเป็นแบบสุ่ม ทำให้ต้องปรับเทียบ (Calibrate) ตัวตรวจรู้ใหม่ทุกครั้งที่เปลี่ยนตัว คุณสมบัติที่สำคัญของตัวตรวจรู้จะถูกอธิบายในบทนี้

ระบบประมวลผลที่ใช้งานร่วมกับตัวตรวจรู้สามารถสร้างได้หลายลักษณะ และรายละเอียดของการออกแบบวงจรในระดับทรานซิสเตอร์ก็มีหลายรูปแบบ เนื้อหาในบทนี้จึงกล่าวถึงทางเลือกสำหรับวงจรในส่วนต่างๆ ของระบบ รวมทั้งข้อดี และข้อเสียของโครงสร้างวงจรแบบต่างๆ เพื่อใช้เป็นเหตุผลในการตัดสินใจเลือกวงจรที่เหมาะสม

2.1 ตัวตรวจรู้แบบให้กระแสออก

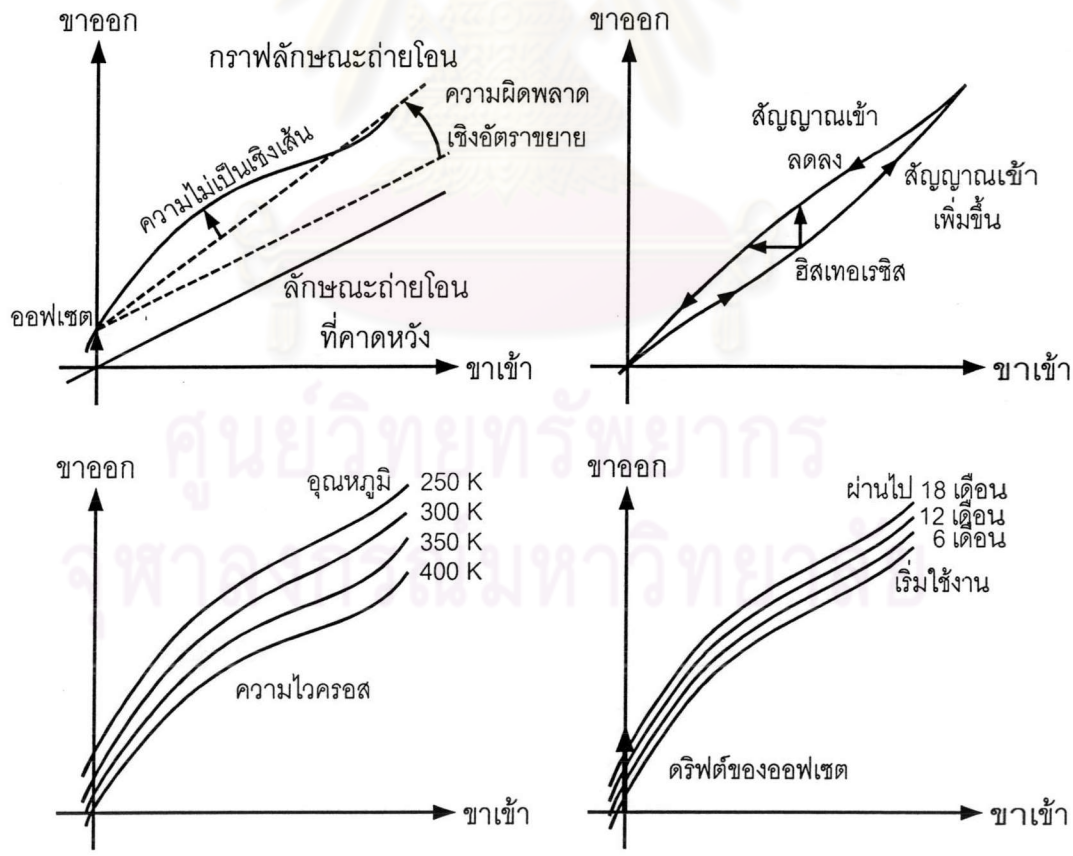
ตัวตรวจรู้แบบให้กระแสออกคือตัวตรวจรู้ที่มีสัญญาณออกอยู่ในรูปกระแส ส่วนตัวแปรต้นที่ตัวตรวจรู้วัดนั้นอาจอยู่ในรูปของความเข้มข้นสารเคมีหรือสารชีวภาพต่างๆ หรือปริมาณทางกายภาพ เช่น ความเข้มแสง เราอาจใช้วิธีวัดกระแสที่ได้จากตัวตรวจรู้แล้วนำไปคำนวณหาตัวแปรต้น วิธีนี้ใช้ได้กับตัวตรวจรู้แบบให้กระแสออกโดยทั่วไป

ในบางกรณีเราสามารถทำให้ระบบประมวลผลหาค่าตัวแปรต้นออกมาให้ทันทีโดยไม่ต้องอาศัยการคำนวณด้วยมือ การจะทำเช่นนี้ได้ ตัวตรวจรู้จะต้องมีลักษณะถ่ายโอนที่แน่นอน จึงสามารถคำนวณหาตัวแปรต้นจากกระแสที่วัดได้ ลักษณะถ่ายโอนที่เรียบง่ายที่สุดคือลักษณะถ่ายโอนแบบเชิงเส้น อย่างไรก็ตามตัวตรวจรู้แต่ละตัวจะมีลักษณะถ่ายโอนที่แตกต่างกัน เนื่องจากความผิดพลาด (Error) หรือความแปรผัน (Variation) ที่เกิดขึ้นในกระบวนการสร้างตัวตรวจรู้ ชนิดของความผิดพลาดซึ่งพบได้ในลักษณะถ่ายโอนของตัวตรวจรู้ ได้แก่ [9]

- **ออฟเซต** เมื่อป้อนค่าตัวแปรต้นที่เป็นศูนย์ให้กับตัวตรวจรู้ แล้วตัวตรวจรู้ให้กระแสออกค่าที่ไม่เป็นศูนย์ ค่ากระแสที่ได้นี้เรียกว่าออฟเซต

- **ความผิดพลาดเชิงอัตราขยายหรือความผิดพลาดเต็มสเกล** (Gain or full-scale error) ความไวของตัวตรวจรู้คลาดเคลื่อนไปจากค่าที่ตั้งไว้ ทำให้กระแสออกจากตัวตรวจรู้ไม่เท่ากับค่าสูงสุดเมื่อป้อนตัวแปรต้นค่าสูงสุด
- **ความไม่เป็นเชิงเส้น** (Non-linearity) ลักษณะถ่ายโอนของตัวตรวจรู้ไม่เป็นเส้นตรง
- **ความไวครอส** (Cross-sensitivity) ลักษณะถ่ายโอนเปลี่ยนแปลงไปเมื่อวัดที่สภาพแวดล้อมที่แตกต่างกัน ตัวอย่างเช่น อุณหภูมิห้องที่เปลี่ยนแปลงจะมีผลให้กระแสที่ออกจากตัวตรวจรู้เปลี่ยนไป
- **ฮิสเทอเรซิส** (Hysteresis) มีความแตกต่างในลักษณะถ่ายโอนเมื่อสัญญาณเข้ามีค่าเพิ่มขึ้น เทียบกับลักษณะถ่ายโอนเมื่อสัญญาณเข้ามีค่าลดลง
- **ดริฟต์** (Drift) ลักษณะถ่ายโอนของตัวตรวจรู้ค่อยๆ เปลี่ยนแปลงเมื่อเวลาผ่านไป

ความผิดพลาดชนิดต่างๆ ที่เกิดกับตัวตรวจรู้เป็นดังรูปที่ 2-1 ในการขจัดความผิดพลาดเหล่านี้ ตัวตรวจรู้แต่ละตัวจะต้องถูกปรับเทียบก่อนการใช้งาน เพราะความผิดพลาดที่เกิดขึ้นกับตัวตรวจรู้แต่ละตัวนั้นมีค่าไม่เท่ากัน



รูปที่ 2-1 ความผิดพลาดชนิดต่างๆ ในลักษณะถ่ายโอนของตัวตรวจรู้

ในวิทยานิพนธ์ฉบับนี้จำกัดความสนใจอยู่ที่ความผิดพลาดสองประเภท คือออฟเซต และความผิดพลาดเต็มสเกล เนื่องจากเป็นความผิดพลาดที่พบได้บ่อยและมีขนาดใหญ่เมื่อเทียบกับความผิดพลาดชนิดอื่น และเพื่อลดความซับซ้อนในการออกแบบวงจรปรับเทียบ

ตัวตรวจรู้แบบให้กระแสออกที่สามารถนำมาปรับเทียบเพื่อแสดงผลค่าตัวแปรต้นได้ จะต้องมีลักษณะถ่ายโอนที่เป็นเชิงเส้น ในที่นี้จะยกตัวอย่างตัวตรวจรู้น้ำตาลกลูโคส [7] ซึ่งเป็นตัวตรวจรู้แอมเพอโรเมตริก ทำงานเมื่อมีแรงดันประมาณ 0.2 โวลต์ไบแอสให้กับขั้วทั้งสองของตัวตรวจรู้ แรงดันนี้เรียกว่าแรงดันโพลาไรเซชัน (Polarization voltage) ตัวตรวจรู้น้ำตาลกลูโคสมีออฟเซตค่าบวกในช่วง 1-20nA และความไว (กระแสออกต่อหน่วยความเข้มข้นของน้ำตาลกลูโคส) อยู่ในช่วง 0.5-5nA/(mg/dl) ดังแสดงในรูปที่ 2-2 เส้นทึบแสดงลักษณะถ่ายโอนที่เป็นอุดมคติของตัวตรวจรู้น้ำตาลกลูโคส ส่วนเส้นประแสดงลักษณะถ่ายโอนที่มีผลของความแปรผันเนื่องจากออฟเซต และความผิดพลาดเชิงอัตราขยาย อย่างไรก็ตามลักษณะถ่ายโอนของตัวตรวจรู้แอมเพอโรเมตริกนั้นค่อนข้างไวต่อแรงดันที่ไบแอสที่ขั้วทั้งสองของตัวตรวจรู้ดังสมการ

$$i_{sensor} = i_0\left(\frac{nF}{RT}\right)\left(E - E_0\right) \qquad (2\text{-}1)$$

เมื่อ n คือจำนวนอิเล็กตรอนที่มีการถ่ายเทในปฏิกิริยาต่ออะตอมหนึ่งตัว

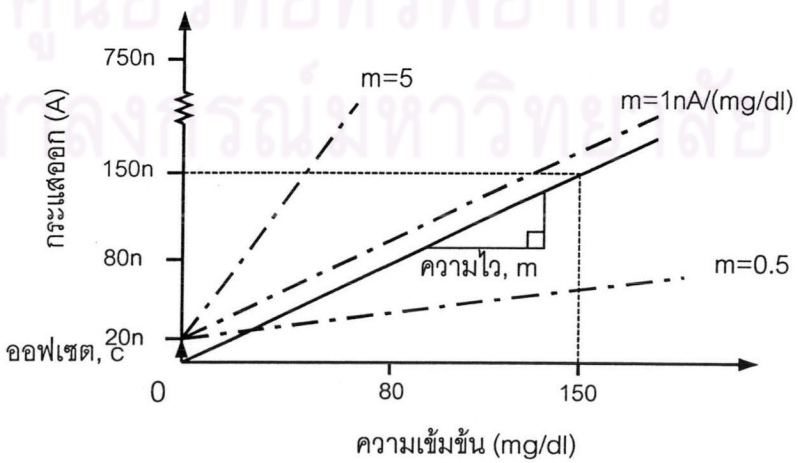
F คือค่าคงที่ของฟาราเดย์ (Faraday's constant) มีค่าเท่ากับ 96485.34 $C \cdot mol^{-1}$

R คือค่าคงที่แก๊ส (Gas constant) มีค่าเท่ากับ 8.3145 $J/mol/K$

T คืออุณหภูมิสัมบูรณ์

E_0 คือศักย์ไฟฟ้าสมดุล และ $E\text{-}E_0$ มีค่าเท่ากับแรงดันที่ไบแอสตัวตรวจรู้

แรงดันที่ไบแอสตัวตรวจรู้จะต้องเปลี่ยนแปลงน้อยมากตลอดช่วงกระแสออกที่ตัวตรวจรู้สร้างขึ้น เพื่อให้ลักษณะถ่ายโอนมีความเป็นเชิงเส้นที่ดี



รูปที่ 2-2 ลักษณะถ่ายโอนของตัวตรวจรู้น้ำตาลกลูโคส

2.2 ปริทัศน์วรรณกรรม (Literature review) ของระบบประมวลผล

ผู้วิจัยได้ศึกษางานวิจัยเกี่ยวกับระบบประมวลผลที่ใช้ร่วมกับตัวตรวจรู้แบบให้กระแสออกบนกระบวนการผลิตซีมอส งานวิจัยเหล่านี้แบ่งเป็นสองแนวทางหลัก คือแนวทางที่พัฒนาวงจรสำหรับแปลงกระแสให้เป็นแรงดันเรียกว่าโพเทนชิออสแตต (Potentiostat) [10], [11], [12] เพื่อใช้ร่วมกับไมโครคอนโทรลเลอร์ และอีกแนวทางหนึ่งคือการพัฒนาระบบซึ่งเชื่อมต่อกับตัวตรวจรู้และรวมหน้าที่การประมวลผลทั้งหมดไว้ในชิปเดียว [8], [13], [14]

2.2.1 งานวิจัยเกี่ยวกับโพเทนชิออสแตต

แนวทางที่พัฒนาโพเทนชิออสแตตมีจุดมุ่งหมายเพื่อแปลงสัญญาณกระแสให้อยู่ในรูปของแรงดัน ซึ่งสามารถนำไปแปลงเป็นค่าดิจิทัลได้โดยใช้ตัวแปลงแอนะล็อกเป็นดิจิทัลซึ่งหาได้ทั่วไป นอกจากนี้การประมวลผลสามารถทำได้โดยใช้ไมโครคอนโทรลเลอร์ ซึ่งมีให้เลือกหลายชนิด จุดเด่นของแนวทางนี้อยู่ที่การรวมโพเทนชิออสแตตเข้ากับตัวตรวจรู้บนชิปเดียวกัน [6] ทำให้ผู้ใช้ไม่ต้องสนใจชนิดหรือวิธีการใช้งานตัวตรวจรู้ เพียงแต่นำแรงดันที่วัดได้ไปประมวลผลเท่านั้น

ข้อมูลสำคัญของงานวิจัยเกี่ยวกับโพเทนชิออสแตตได้สรุปไว้ในตารางที่ 2-1 สิ่งที่โพเทนชิออสแตตในงานวิจัยแต่ละงานมีร่วมกัน คือ วงจรควบคุมแรงดันที่ขั้วไฟฟ้า (สำหรับงานวิจัยของ Turner จะอยู่ในส่วนวงจรบัฟเฟอร์กระแส) ซึ่งทำหน้าที่รักษาแรงดันโพลาไรเซชันที่ขั้วไฟฟ้าของตัวตรวจรู้ให้มีค่าคงที่ และวงจรแปลงกระแสให้เป็นแรงดันซึ่งอาจมีลักษณะของวงจรแตกต่างกัน ได้แก่ วงจรแปลงกระแสเป็นแรงดัน [10], [6] และตัวอินทิเกรต [11], [12]

งานวิจัยของ Turner และ Kakerow นั้นทำหน้าที่แปลงกระแสเป็นแรงดันเพียงอย่างเดียว ไม่ได้รวมคุณสมบัติพิเศษอื่นเข้าไป ส่วนงานวิจัยของ Reay นั้นรวมเอาดีเอซี (Digital-to-Analog Converter) สำหรับสร้างแรงดันโพลาไรเซชัน และเอดีซี (Analog-to-Digital Converter) สำหรับแปลงค่าแรงดันที่ได้ให้เป็นค่าดิจิทัล ทำให้ใช้งานได้สะดวกขึ้น และลดจำนวนอุปกรณ์ที่ต้องต่อเพิ่มเติม สำหรับงานวิจัยของ Lauwers ได้รวมเอาตัวตรวจรู้ไว้กับโพเทนชิออสแตต ทำให้ระบบวัดที่สร้างขึ้นมีขนาดเล็กมาก และยังมีตัวตรวจรู้ถึง 7 ตัวบนชิปเดียว จึงสามารถวัดความเข้มข้นของสารเจ็ดชนิดพร้อมกัน

2.2.2 งานวิจัยเกี่ยวกับระบบประมวลผลแบบชิปเดี่ยว (Single chip)

อีกแนวทางหนึ่งคือการพัฒนาระบบซึ่งเชื่อมต่อกับตัวตรวจรู้และรวมหน้าที่การประมวลผลทั้งหมดไว้ในชิปเดียว ข้อดีของวิธีนี้คือได้ระบบซึ่งมีขนาดเล็ก เนื่องจากส่วนประกอบที่สำคัญ เช่น ตัวแปลงแอนะล็อกเป็นดิจิทัล หรือวงจรดิจิทัลอยู่บนวงจรรวมเดียวกัน

ตารางที่ 2-1 ข้อมูลสรุปของงานวิจัยเกี่ยวกับโพเทนชิออสแตต

คุณสมบัติ	Turner [10]	Kakerow [11]	Reay [12]	Lauwers [6]
ชนิดของตัวตรวจรู้	2 ขั้วไฟฟ้า	2 หรือ3 ขั้วไฟฟ้า	2 หรือ 3 ขั้วไฟฟ้า	3 ขั้วไฟฟ้า อยู่ภายในชิป
ส่วนประกอบ	วงจรบัฟเฟอร์กระแสและตัวแปลงกระแสเป็นแรงดัน	วงจรควบคุมแรงดันที่ขั้วไฟฟ้า, ตัวอินทิเกรตและวงจรขยายแรงดัน	วงจรควบคุมแรงดันที่ขั้วไฟฟ้า และดูอัลสโลปเอดีซี	วงจรควบคุมแรงดันที่ขั้วไฟฟ้า และวงจรขยายกระแสเป็นแรงดัน
แรงดันโพลาไรเซชัน	จากภายนอก	จากภายนอก	โปรแกรมด้วยค่าดิจิทัล	จากภายนอก
พิสัยรับเข้า	0.1 ถึง 3.5 μA	±0.1 nA ถึง ±0.5 μA	100 fA ถึง 40 μA	-
ความไว/ความละเอียด	60 mV/μA	ประมาณ 1.4 mV/nA	13 บิต	-
ความไม่เป็นเชิงเส้น	±2 %	-	0.02 %	-
แรงดันแหล่งจ่าย	±5 V	±1.5 ถึง ±2.5 V	±4.8 V	5 V
การกินกำลังงาน	2 mW	-	5 mW	-
กระบวนการผลิต	5 μm	1 μm	2 μm	1.2 μm
พื้นที่ชิป	0.53 mm^2	0.6 mm^2	4.84 mm^2 (รวมแพด)	25.7 mm^2 (รวมแพด)
จุดเด่น	-	-	มีดีเอซี 13 บิตสำหรับสร้างแรงดันโพลาไรเซชันและเอดีซีในตัว	มีตัวตรวจรู้ 7 ชนิดอยู่บนชิปเดียวกัน

งานวิจัยของมานะ [8] มีส่วนประกอบสำคัญ ได้แก่ วงจรส่วนหน้าสำหรับต่อเชื่อมกับตัวตรวจรู้, เอดีซี, ส่วนแสดงผล และระบบปรับเทียบตัวตรวจรู้อยู่ในชิปเดียว และสามารถทำงานได้ที่แรงดันแหล่งจ่ายเป็นช่วงกว้าง เหมาะจะนำไปใช้เป็นเครื่องมือวัดแบบพกพา มีพิสัยรับเข้า 1000 nA และความละเอียด 1 nA เหมาะสำหรับตัวตรวจรู้ที่ให้กระแสออกขนาดเล็ก ส่วนงานวิจัยของ Breten [13] เหมาะกับตัวตรวจรู้ที่ให้กระแสขนาดเล็กมาก แต่ยังไม่ได้รวมเอาส่วนประกอบทั้งหมดไว้ในชิป และงานวิจัยของ Reimann [14] จะใช้กับตัวตรวจรู้ซึ่งให้กระแสออกในรูปของสัญญาณไฟสลับความถี่ต่ำ ตัวอย่างที่นำไปใช้งาน คือ ใช้งานกับตัวตรวจหาไพโรอิเล็กทริก (Pyroelectric detector) ระบบของ Reimann ประกอบด้วยวงจร 16 ชุด แต่ละชุดประกอบด้วยวงจรขยายภาคต้น (Preamplifier) เพื่อแปลงกระแสให้เป็นแรงดันที่มีขนาดพอเหมาะ หลังจากนั้นจึงดีมอดูเลตสัญญาณพร้อมกับแปลงแอนะล็อกเป็นดิจิทัลด้วยตัวแปลงซิกมาเดลต้า และใช้งานกับกระแสขนาดเล็กอย่างยิ่ง ข้อมูลเปรียบเทียบระหว่างงานวิจัยถูกสรุปไว้ในตารางที่ 2-2

ตารางที่ 2-2 ข้อมูลสรุปของงานวิจัยเกี่ยวกับระบบประมวลผลแบบชิปเดี่ยว

คุณสมบัติ	มานะ [8]	Breten [13]	Reimann [14]
ส่วนประกอบ	วงจรส่วนหน้า,เอดีซี และส่วนแสดงผล	วงจรบัฟเฟอร์กระแส และเอดีซี	วงจรขยายภาคต้น, วงจรดีมอดูเลต และเอดีซี 16 ชุด
แรงดันโพลาไรเซชัน	0.2 V	จากภายนอก	-
พิสัยรับเข้า	1000 nA	5000 pA	10pA
ชนิดของเอดีซี	ดูอัลสโลป	ดูอัลสโลป	ตัวแปลงซิกมาเดลต้า
ความละเอียด	1 nA	1 pA	2.5 fA
การปรับเทียบตัวตรวจรู้	ภายในชิป (ปรับเทียบออฟเซตและความไว)	ภายนอกชิป	-
แรงดันแหล่งจ่าย	2.2-5 V	5 V	5V
การกินกำลังงาน	377 µW	-	7.7 mW
กระบวนการผลิต	0.7 µm	0.7 µm	0.7 µm
พื้นที่ชิป	4.84 mm^2 (รวมแพด)	-	27.2 mm^2 (รวมแพด)
จุดเด่น	เหมาะสำหรับสร้างเครื่องมือวัดแบบพกพา	-	ใช้กับตัวตรวจรู้ที่มีสัญญาณออกอยู่ในรูปกระแสสลับความถี่ต่ำ (1-10 Hz)

วิทยานิพนธ์นี้เป็นการปรับปรุงจากงานวิจัยของมานะ จึงมุ่งไปที่กระแสออกในระดับนาโนแอมแปร์ และออกแบบระบบซึ่งรวมส่วนประกอบที่จำเป็นสำหรับประมวลผลกระแสออกจากตัวตรวจรู้เอาไว้ในชิปเดียว และสามารถทำงานได้ด้วยแบตเตอรี่ อย่างไรก็ตามงานวิจัยของ Breten [13] มีโครงสร้างของเอดีซีใกล้เคียงกับงานวิจัยนี้แม้ว่าจะมีพิสัยขาเข้าของกระแสในระดับต่ำกว่า 1000 เท่า จึงมีความเป็นไปได้ที่โครงสร้างวงจรในวิทยานิพนธ์นี้สามารถจะนำไปสร้างวงจรวัดกระแสที่ระดับพิโคแอมแปร์ได้

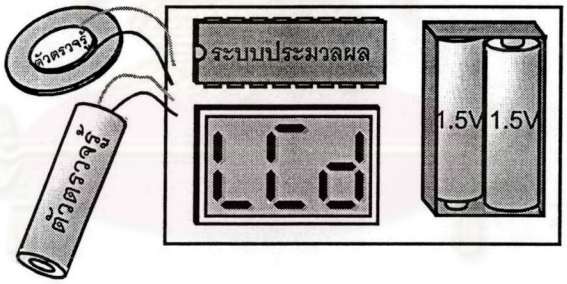
2.3 ระบบประมวลผลที่ใช้ร่วมกับตัวตรวจรู้

วิทยานิพนธ์ฉบับนี้มีเป้าหมายหลักอยู่ที่การออกแบบวงจรรวมเพื่อทำหน้าที่เป็นระบบประมวลผลสำหรับต่อใช้งานร่วมกับตัวตรวจรู้แบบให้กระแสออก การออกแบบวงจรเริ่มจากการวางโครงสร้างของระบบอย่างคร่าวๆ เพื่อให้การออกแบบสามารถแยกทำเป็นส่วนๆ ในหัวข้อนี้จะศึกษาทางเลือกในการออกแบบวงจรแต่ละส่วนโดยแบ่งออกเป็นหัวข้อย่อย เพื่อเป็นทางเลือกในการออกแบบในระดับทรานซิสเตอร์ในบทที่ 3 ต่อไป

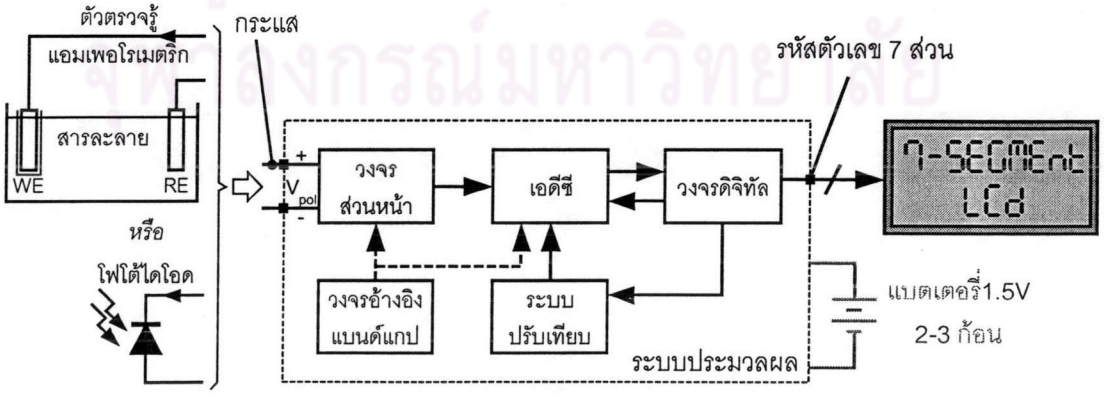
2.3.1 ภาพรวมของระบบ

ระบบประมวลผลมีหน้าที่รับสัญญาณกระแสจากตัวตรวจรู้มาแปลงให้อยู่ในรูปแบบที่ผู้ใช้สามารถเข้าใจได้ดังตัวอย่างในรูปที่ 2-3 เพื่อให้ระบบทำงานได้ตามที่ออกแบบไว้ วงจรจะต้องประกอบด้วยส่วนประกอบห้าส่วนหลัก ได้แก่ วงจรส่วนหน้าซึ่งทำหน้าที่รับสัญญาณกระแสจากตัวตรวจรู้, ตัวแปลงแอนะล็อกเป็นดิจิทัลหรือเอดีซี, วงจรสร้างแรงดันอ้างอิงและกระแสอ้างอิงแบนด์แกป, วงจรปรับเทียบออฟเซตและความไวของตัวตรวจรู้ และวงจรส่วนดิจิทัลซึ่งควบคุมการทำงานของเอดีซีและวงจรปรับเทียบ ดังแสดงในรูปที่ 2-4 (ระบบที่กล่าวถึงอยู่ภายในเส้นประ)

วงจรส่วนหน้าจะรับสัญญาณเข้าในรูปกระแสซึ่งมาจากตัวตรวจรู้แบบให้กระแสออก สำหรับตัวตรวจรู้บางชนิด เช่น ตัวตรวจรู้แอมเพอโรเมตริก หรือโฟโต้ไดโอด จะต้องจ่ายแรงดันให้กับตัวตรวจรู้ก่อนจึงจะทำงาน ดังนั้นวงจรส่วนหน้าจะต้องรับหน้าที่จ่ายแรงดันให้กับตัวตรวจรู้ด้วย จากนั้นสัญญาณอาจจะถูกบัฟเฟอร์ หรือแปลงให้อยู่ในรูปแรงดันไฟฟ้า แล้วจึงส่งไปยังเอดีซีเพื่อแปลงเป็นค่าดิจิทัล ทั้งนี้วงจรส่วนหน้าและเอดีซีนั้นเป็นวงจรแอนะล็อกซึ่งมีส่วนประกอบที่ต้องการกระแสไบแอส และแรงดันอ้างอิง วงจรอ้างอิงแบนด์แกปจึงถูกสร้างขึ้นเพื่อทำหน้าที่จ่ายกระแสไบแอส และแรงดันอ้างอิง ให้กับวงจรส่วนหน้า และเอดีซี ดังแสดงด้วยเส้นประ



รูปที่ 2-3 ตัวอย่างการนำไปใช้งานระบบประมวลผลไปใช้งานกับตัวตรวจรู้



รูปที่ 2-4 แผนภาพบล็อกแสดงองค์ประกอบโดยรวมของระบบ (ในเส้นประ)

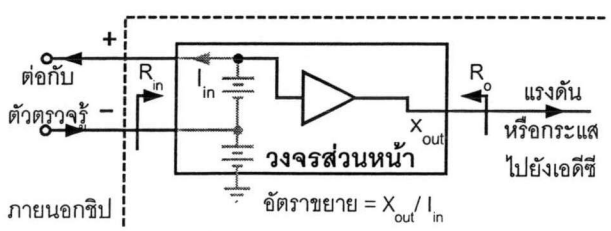
เอดีซีที่ใช้กับระบบประมวลผลจะแปลงค่ากระแสจาก 0 ถึง 1000 nA ด้วยความละเอียด (Resolution) 1 nA ซึ่งละเอียดพอที่จะใช้แยกแยะสัญญาณจากตัวตรวจรู้ทั่วๆไปได้ เอดีซีจะต้องมีสัญญาณที่คงที่และทราบค่าอย่างน้อยหนึ่งตัวเพื่อใช้อ้างอิงในการแปลงสัญญาณ ค่าที่ใช้อ้างอิงอาจจะอยู่ในรูปแรงดันหรือกระแส ทั้งนี้ค่าอ้างอิงอาจมาจากภายนอกชิปหรือจากภายในชิป ในกรณีที่ใช้ค่าอ้างอิงจากภายในวงจรรวมดังที่งานวิจัยนี้ทำ ค่านี้จะได้รับผลกระทบจากความแปรผันของกระบวนการผลิต (Process variation) ทำให้ผิดเพี้ยนไปจากค่าที่ตั้งไว้ ดังนั้นระบบจะต้องมีส่วนปรับเทียบ เพื่อปรับเทียบเอดีซีให้แปลงสัญญาณได้ถูกต้อง นอกจากนี้การปรับเทียบเอดีซียังอาจทำเพื่อชดเชยออฟเซต และความผิดพลาดเชิงอัตราขยายของตัวตรวจรู้ได้ ดังจะกล่าวถึงในหัวข้อวงจรปรับเทียบ การปรับเทียบจึงทำให้วงจรมีความยืดหยุ่นในการนำไปใช้งานร่วมกับตัวตรวจรู้ได้โดยไม่จำเพาะเจาะจง

ส่วนสุดท้ายของระบบคือวงจรดิจิทัลซึ่งทำหน้าที่หลักสามประการ ได้แก่ การรับค่าดิจิทัลจากเอดีซีมาแปลงเป็นรหัสที่ใช้ในการแสดงผลทางจอผลึกเหลวเจ็ดส่วน, ควบคุมการปรับเทียบตัวตรวจรู้ และควบคุมเฟสการทำงานของเอดีซี นอกจากนี้ประตูสัญญาณ (Gate) ที่ขับสัญญาณออกจากส่วนดิจิทัลไปแสดงผล จะต้องมีกำลังขับที่เหมาะสมกับขนาดของโหลดแบบตัวเก็บประจุของจอผลึกเหลว

องค์ประกอบหลักที่กล่าวมาเพียงพอที่จะนำไปใช้งานได้โดยไม่ต้องการองค์ประกอบอื่นๆเพิ่มเติม เว้นแต่ตัวต้านทานกับตัวเก็บประจุขนาดใหญ่ และสัญญาณนาฬิกาที่ป้อนให้กับวงจรส่วนดิจิทัลเท่านั้น เมื่อจ่ายแรงดันให้กับวงจรโดยใช้แบตเตอรี่ 2-3 ก้อน วงจรก็สามารถทำงานได้ด้วยตัวเอง

2.3.2 **วงจรส่วนหน้า** (Front-end circuit)

วงจรส่วนหน้าทำหน้าที่รับสัญญาณเข้าในรูปกระแส และกำหนดแรงดันไบแอสให้กับตัวตรวจรู้ซึ่งต่ออยู่ที่ขาเข้า นอกจากนี้ยังต้องคำนึงถึงการต่อเชื่อมกับเอดีซี วงจรนี้ทำงานกับตัวตรวจรู้ซึ่งวัดปริมาณที่มีการเปลี่ยนแปลงช้า ดังนั้นคุณสมบัติเบื้องต้นที่สนใจจะเป็นคุณสมบัติทางไฟตรงหรือไฟสลับที่ความถี่ต่ำ คุณสมบัติที่ต้องให้ความสนใจสำหรับวงจรส่วนหน้านี้มีสามตัวด้วยกัน ได้แก่ ความต้านทานขาเข้า (R_{in}) อัตราขยาย และความต้านทานขาออก (R_o) ดังรูปที่ 2-5



รูปที่ 2-5 แผนภาพบล็อกแสดงคุณสมบัติของวงจรส่วนหน้า

ความต้านทานขาเข้ากำหนดความเปลี่ยนแปลงของแรงดันที่ขาเข้า กล่าวคือถ้าความต้านทาน R_{in} มีค่ามากแรงดันที่ขาเข้าจะเปลี่ยนแปลงมากเมื่อกระแสเข้าเปลี่ยนแปลงจากศูนย์ไปยังค่าสูงสุด นั่นคือวงจรส่วนหน้าที่ดีจะต้องมีความต้านทานขาเข้าน้อย เพื่อให้แรงดันไบแอสเปลี่ยนแปลงน้อยที่สุด

ความเที่ยงตรงของอัตราขยายของวงจรส่วนหน้าอาจไม่สำคัญเท่ากับความเป็นเชิงเส้นของอัตราขยาย เนื่องจากแม้อัตราขยายของวงจรส่วนหน้าจะไม่ตรงกับค่าที่ได้จากการออกแบบ ก็อาจแก้ไขได้ด้วยการปรับเทียบเอดีซีที่ค่าเต็มสเกล แต่ถ้าอัตราขยายของวงจรส่วนหน้ามีความไม่เป็นเชิงเส้นสูงจะต้องทำการปรับเทียบที่หลายๆค่า เพื่อลดความผิดพลาดเนื่องจากความไม่เป็นเชิงเส้น ทำให้วงจรซับซ้อนขึ้นโดยไม่จำเป็น

ความต้านทานขาออกที่ไม่เป็นอนันต์ (กรณีที่ขาออกเป็นกระแส) หรือความต้านทานขาออกที่มากกว่าศูนย์ (กรณีที่ขาออกเป็นแรงดัน) ทำให้อัตราขยายของวงจรส่วนหน้าลดลงเมื่อมีวงจรอื่นมาต่อที่ขาออก เนื่องจากการแบ่งกระแสหรือแบ่งแรงดัน ตามลำดับ จึงควรออกแบบให้ความต้านทาน R_o มีค่าสูงเมื่อสัญญาณออกเป็นกระแส (ออกแบบให้ความต้านทาน R_o มีค่าต่ำเมื่อสัญญาณออกเป็นแรงดัน)

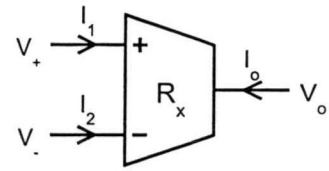
วงจรที่เหมาะจะเป็นวงจรส่วนหน้าเท่าที่รวบรวมข้อมูลได้มีอยู่สามประเภท ได้แก่ วงจรทรานส์อิมพีแดนซ์ (Transimpedance) วงจรสายพานกระแส (Current conveyor) และวงจรบัฟเฟอร์กระแส (Current buffer) ทั้งสามประเภทล้วนมีคุณสมบัติร่วมกันคือสามารถรับสัญญาณเข้าในรูปกระแสได้และสามารถกำหนดแรงดันที่ขาเข้าของวงจรได้

2.3.2.1 วงจรทรานส์อิมพีแดนซ์

วงจรทรานส์อิมพีแดนซ์คือวงจรที่มีสัญญาณเข้าเป็นกระแส และมีสัญญาณออกเป็นแรงดัน เรียกอีกอย่างว่าวงจรขยายกระแสเป็นแรงดัน (Current-to-voltage amplifier) ดังรูปที่ 2-6 ซึ่งสามารถอธิบายคุณสมบัติของวงจรได้ดังเมตริกซ์

$$\begin{bmatrix} I_1 \\ V_- \\ V_o \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ R_x & -R_x & 0 \end{bmatrix} \begin{bmatrix} V_+ \\ I_2 \\ I_o \end{bmatrix} \qquad (2\text{-}2)$$

มักพบวงจรประเภทนี้ได้ในงานการสื่อสารด้วยแสงซึ่งต้องการความเร็วสูง [15], [16] และใช้กระบวนการผลิตแบบ GaAs เฟต หรือ ไบซีมอส (BiCMOS) หรือในงานบันทึกข้อมูลด้วยแสง [17] ซึ่งใช้กระบวนการผลิตซีมอส อย่างไรก็ตามวงจรทรานส์อิมพีแดนซ์สามารถนำมาใช้ในงานที่ความถี่ต่ำๆ ได้เช่นกัน

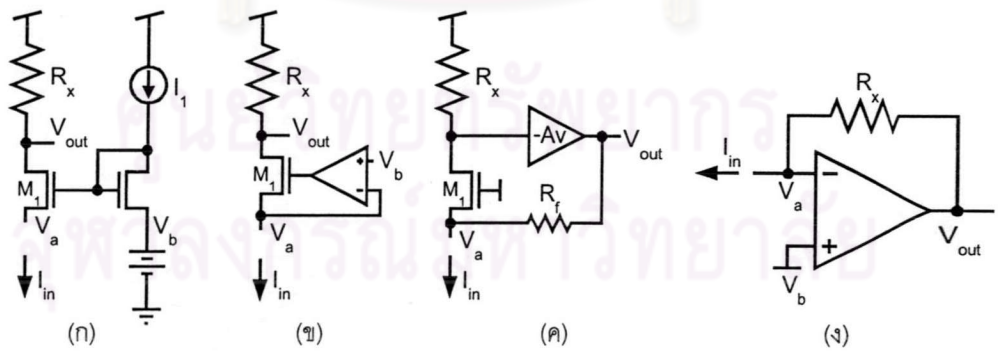


รูปที่ 2-6 สัญลักษณ์ของวงจรทรานส์อิมพีแดนซ์

โครงสร้างของวงจรที่มีแรงดันที่ขาเข้าคงที่มีอยู่สี่ลักษณะดังแสดงในรูปที่ 2-7 ในรูป (ก) จะใช้วงจรขยายแบบเกตร่วม (Common gate) เป็นตัวรับสัญญาณกระแสขาเข้า (I_{in}) แล้วกระแสจะถูกแปลงให้เป็นแรงดันโดยตัวต้านทาน R_x แรงดันขาออก (V_{out}) ที่ได้นี้จะถูกนำไปใช้หาค่ากระแส I_{in} ต่อไป สำหรับแรงดันที่ขาเข้าของวงจรรูปแบบนี้ (V_a) จะเท่ากับแรงดันไบแอส (V_b) เมื่อกระแส I_{in} มีค่าเท่ากับกระแสไบแอส (I_1) และทรานซิสเตอร์ทั้งสองตัวมีขนาดเท่ากัน ข้อเสียของวงจรนี้อยู่ที่แรงดัน V_a จะเปลี่ยนแปลงมากถ้าความต้านทานขาเข้าของวงจร (R_{in}) นั้นมีค่ามากความต้านทานขาเข้าโดยประมาณ [18] เป็นดังสมการ

$$R_{in} \approx \frac{1}{g_{m1}}\left(1+\frac{R_x}{r_{ds1}}\right) \tag{2-3}$$

เมื่อ g_m คือค่าทรานส์คอนดักแตนซ์ (Transconductance) และ r_{ds} คือความต้านทานขาออกของทรานซิสเตอร์ โดยทั่วไป R_x มีค่าน้อยกว่า r_{ds1} มากจนละเลยพจน์ในวงเล็บได้ อัตราขยายของวงจรแบบนี้มีค่าเท่ากับ R_x เนื่องจากกระแสที่ขาเดรนเท่ากับขาซอร์ส ยกเว้นกรณีที่กระแสมีขนาดเล็กเมื่อเทียบกับกระแสรั่วผ่านรอยต่อ (Junction) ส่วนความต้านขาออกของวงจรทั้งสี่แบบนั้นละเลยได้ ถ้าขาออกของวงจรต่อเข้ากับวงจรถัดไปซึ่งมีขาเข้าเป็นเกตของทรานซิสเตอร์มอส



รูปที่ 2-7 วงจรทรานส์อิมพีแดนซ์ (ก) แบบเกตร่วม (ข) มีการป้อนกลับแบบสุ่มแรงดันผสมแรงดัน (ค) มีการป้อนกลับแบบสุ่มแรงดันผสมกระแส (ง) ออปแอมป์ที่มีการป้อนกลับแบบสุ่มแรงดันผสมกระแส

วงจรแบบที่สองได้รับการปรับปรุงจากแบบแรกโดยเพิ่มวงจรขยายป้อนกลับเพื่อควบคุมแรงดันที่ขาเข้าให้คงที่ การสุ่มแรงดันที่ปม (Node) V_a ทำให้ความต้านทาน R_{in} สำหรับวงจรนี้จะลดลงเป็นจำนวนเท่าของอัตราขยายที่เพิ่มเข้ามาดังสมการ

$$R_{in} \approx \frac{1}{(1+A_v)g_{m1}} \tag{2-4}$$

เมื่อ A_v คืออัตราขยายของวงจรขยายที่ใช้ป้อนกลับ วงจรขยายที่ใช้ในวงจรแบบที่สองอาจใช้เป็นทรานซิสเตอร์เพียงตัวเดียวได้ และแรงดันระหว่างเกตกับซอร์ส (V_{GS}) ของทรานซิสเตอร์ที่ใช้เป็นวงจรขยายจะเป็นตัวกำหนดค่า V_a แต่ข้อดีของการใช้ออปแอมป์เหนือการใช้ทรานซิสเตอร์ตัวเดียวเป็นวงจรขยาย คือ สามารถเปลี่ยนค่า V_a ได้โดยการปรับแรงดัน V_b อัตราขยายของวงจรนี้เท่ากับ R_x เช่นเดียวกับแบบแรก

การป้อนกลับอาจทำได้อีกลักษณะหนึ่งดังรูปที่ 2-7 (ค) [19] การป้อนกลับกระแสไปยังปม V_a ทำให้ความต้านทาน R_{in} ลดลง และเป็นไปตามสมการ

$$R_{in} = \frac{1}{\left(1+\frac{R_x A_v}{R_f}\right)g_{m1}} \tag{2-5}$$

เมื่อ R_f คือตัวต้านทานที่ใช้ป้อนกลับกระแส และ A_v คืออัตราขยายของวงจรขยายป้อนกลับ ซึ่งอาจเป็นแบบซอร์สร่วม (Common source) หรือออปแอมป์ อัตราขยายของวงจรในรูป (ค) เป็นไปตามสมการ

$$A_{v/i} = \frac{\Delta V_{out}}{\Delta I_{in}} = \frac{A_v}{A_v + \frac{R_f}{R_x}} R_f \tag{2-6}$$

แม้ว่าวงจรนี้จะเป็นวงจรทรานส์อิมพีแดนซ์ที่นิยมใช้เป็นออพติคอลพรีแอมป์ (Optical preamp) [19] ซึ่งมีไดโอดพีไอเอ็น (p-i-n diode) เป็นตัวตรวจรู้ซึ่งแปลงความเข้มแสงเป็นกระแสไฟฟ้าและทำงานที่ความถี่สูงมาก แต่แรงดัน V_a จะเปลี่ยนแปลงไปตามความแปรผันของกระบวนการผลิตได้ง่าย จึงไม่เหมาะกับงานวิจัยนี้ซึ่งต้องการแรงดัน V_a ค่อนข้างคงที่

วงจรทรานส์อิมพีแดนซ์แบบสุดท้ายใช้ออปแอมป์และตัวต้านทานต่อเป็นวงจรแปลงกระแสเป็นแรงดัน วงจรนี้มีความต้านทานขาเข้าต่ำเพราะถูกป้อนกลับแบบสุ่มแรงดันผสมกระแสเช่นเดียวกับแบบ (ค) และความต้านทาน R_{in} เป็นสัดส่วนโดยตรงกับความต้านทาน R_x ซึ่งใช้ในการป้อนกลับ ดังสมการ

$$R_{in} = \frac{R_x}{A_v + 1} \tag{2-7}$$

ส่วนอัตราขยายของวงจรส่วนหน้าแบบสุดท้ายจะมีค่าเท่ากับ R_x โดยประมาณเมื่อ A_v มีค่ามากกว่า 1 อย่างมาก ดังสมการ

$$A_{v/i} = \frac{A_v}{A_v + 1} R_x \tag{2-8}$$

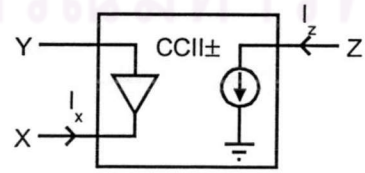
2.3.2.2 วงจรสายพานกระแส

วงจรสายพานกระแสที่ใช้ในปัจจุบันเป็นสายพานกระแสรุ่นที่สอง (Second generation current conveyor, CCII) ซึ่งมีขาเข้าด้านหนึ่งเป็นด้านที่มีอิมพีแดนซ์ขาเข้าต่ำ ดังแสดงด้วยขา X ในรูปที่ 2-8 ขณะที่แรงดันที่ขา X ถูกกำหนดโดยแรงดันที่ขา Y และกระแสออกของวงจรจะเท่ากับกระแสเข้าที่ขา X ฟังก์ชันถ่ายโอนของวงจรสายพานกระแสรุ่นที่สองเป็นไปตามเมตริกซ์ [19]

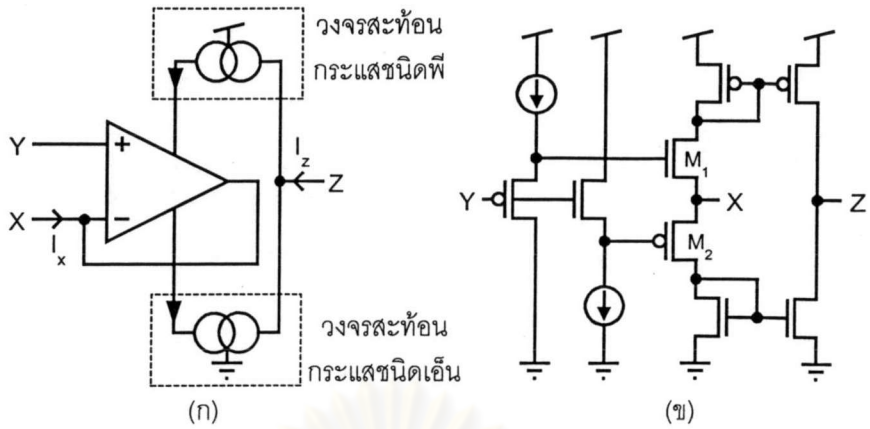
$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \tag{2-9}$$

โดยทิศทางของกระแส I_z เป็นตัวกำหนดชนิดของวงจรสายพานกระแสรุ่นที่สอง (CCII+ มี $I_x=I_z$ ส่วน CCII- มี $I_x=-I_z$)

คุณสมบัติของขาเข้า X ดังกล่าวข้างต้นสอดคล้องกับคุณสมบัติที่ต้องการเพื่อใช้เป็นวงจรส่วนหน้า โดยป้อนแรงดันที่ต้องการใช้ไบแอสตัวตรวจรู้เข้าทางขา Y แรงดันที่ต้องการจะปรากฏที่ขา X ซึ่งต่อโดยตรงกับตัวตรวจรู้เพื่อรับกระแส แล้วกระแสที่ขาออกของวงจรสายพานกระแสจะมีค่าเท่ากับกระแสจากตัวตรวจรู้ โครงสร้างแบบพื้นฐานของวงจรสายพานกระแสรุ่นที่สองนี้แบ่งได้เป็นสองประเภท [20] ได้แก่ วงจรประเภทที่ใช้หลักการการรับรู้กระแสแหล่งจ่ายของออปแอมป์ (Opamp supply current sensing) กับประเภทที่ใช้ทรานซิสเตอร์สร้างขึ้นโดยไม่ได้มีโครงสร้างแบบออปแอมป์ดังรูปที่ 2-9



รูปที่ 2-8 สัญลักษณ์ของวงจรสายพานกระแสรุ่นที่สอง



รูปที่ 2-9 โครงสร้างของวงจรสายพานกระแสรุ่นที่สอง (ก) ประกอบด้วยออปแอมป์และวงจรสะท้อนกระแส (ข) ทรานซิสเตอร์

วงจรในรูปที่ 2-9 (ก) ประกอบด้วยออปแอมป์ซึ่งต่อเป็นบัฟเฟอร์แรงดัน (Voltage buffer) ทำให้แรงดันที่ขา X เท่ากับขา Y ความต้านทานขาเข้าที่ขา Y เป็นอนันต์ และความต้านทานขาเข้าที่ขา X มีค่าน้อยเมื่อเทียบกับความต้านทานขาออกของออปแอมป์ดังสมการ

$$R_{in,X} = \frac{R_{o,OA}}{A_v + 1} \tag{2-10}$$

เมื่อ $R_{o,OA}$ คือความต้านทานขาออกของออปแอมป์ซึ่งมีอัตราขยาย A_v และ A_v มีค่ามากการเปลี่ยนแปลงของกระแสที่ไหลเข้าและออกจากออปแอมป์ จะถูกรับรู้ด้วยวงจรสะท้อนกระแสด้านบนและด้านล่างตามลำดับ ความแตกต่างระหว่างกระแสทั้งสองกิ่งจะปรากฏที่ขาออก (I_z) ความเปลี่ยนแปลงของกระแสดังกล่าวเกิดจากกระแส I_x ที่ไหลเข้าหรือออกจากออปแอมป์ ดังนั้นกระแส I_z จึงเท่ากับ I_x อัตราขยายกระแส (A_i) ของวงจรนี้จึงมีค่าเท่ากับหนึ่ง อย่างไรก็ตามความไม่เข้าคู่ที่เกิดในวงจรสะท้อนกระแสจะทำให้อัตราขยายคลาดเคลื่อนไปได้ ส่วนความต้านทานขาออกมีค่าดังสมการ

$$R_o = r_{on} // r_{op} = \left(\frac{1}{r_{on}} + \frac{1}{r_{op}} \right)^{-1} \tag{2-11}$$

เมื่อ r_{on} และ r_{op} คือความต้านทานขาออกของวงจรสะท้อนกระแสชนิดเอ็นและชนิดพีตามลำดับ

รูปที่ 2-9 (ข) เป็นวงจรสายพานกระแสอีกลักษณะหนึ่งซึ่งซับซ้อนน้อยกว่าแบบแรก ความต้านทานขาเข้าที่ขา X เป็นดังสมการ

$$R_{in,X} = \frac{1}{g_{m1} + g_{m2}} \tag{2-12}$$

เนื่องจากวงจรนี้ไม่มีการป้อนกลับภายในทำให้ความต้านทานขาเข้าของขา X มักสูงกว่าแบบแรก ส่วนอัตราขยายและความต้านทานขาออกของวงจรแบบที่สองจะเหมือนกับแบบแรกเนื่องจากภาค

ออก (Output stage) ของวงจรประกอบขึ้นจากวงจรสะท้อนกระแสเหมือนกัน นอกจากนี้ความไม่เข้าคู่ (Mismatch) ระหว่างแรงดันเกตซอร์ส (V_{GS}) ของทรานซิสเตอร์พีมอสกับแรงดัน V_{GS} ของเอ็นมอสจะทำให้แรงดัน V_X คลาดเคลื่อนไปจาก V_Y ได้ง่าย

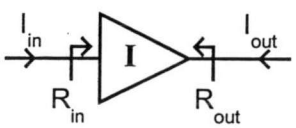
ข้อดีของวงจรสายพานกระแสคือต้องการกระแสไบแอสที่จุดทำงานสงบต่ำกว่ากระแสเข้า I_X ที่วงจรรองรับได้ อันเป็นผลมาจากวงจรสะท้อนกระแสคู่ประกอบ (Complementary current mirror) ซึ่งประกอบด้วยวงจรสะท้อนกระแสชนิดพีและชนิดเอ็น สามารถสะท้อนกระแสได้ในช่วงที่กว้างกว่ากระแสที่จุดทำงานสงบ (Quiescent current) หลายเท่า วงจรสายพานกระแสจึงเหมาะกับงานที่ต้องการกำลังงานต่ำ แต่ข้อเสียที่มาจากการใช้วงจรสะท้อนกระแสคือความเพี้ยนเชิงฮาร์โมนิก (Harmonic distortion) ที่เกิดจากความไม่เข้าคู่ของทรานซิสเตอร์ที่เป็นวงจรสะท้อนกระแสสูงกว่า 0.25% [21] ซึ่งคิดเป็นความแม่นยำ (Accuracy) ต่ำกว่า 9 บิต จึงไม่เหมาะที่จะใช้เป็นวงจรส่วนหน้าสำหรับระบบที่ต้องการความแม่นยำตั้งแต่ 10 บิตขึ้นไป

2.3.2.3 วงจรบัฟเฟอร์กระแส

วงจรบัฟเฟอร์กระแสคือวงจรที่ให้กระแสขาออกเท่ากับกระแสขาเข้าโดยที่แรงดันที่ขาเข้าและขาออกไม่ขึ้นแก่กัน วงจรบัฟเฟอร์กระแสในอุดมคติจะต้องมีความต้านทานขาเข้าเป็นศูนย์ และความต้านทานที่ขาออกเป็นอนันต์ เนื่องจากวงจรบัฟเฟอร์กระแสไม่มีสัญลักษณ์ที่ใช้กันทั่วไป วิทยานิพนธ์นี้จะใช้สัญลักษณ์ของบัฟเฟอร์แรงดันแล้วกำกับอักษร I เพื่อแสดงว่าสัญญาณที่เข้าออกวงจรอยู่ในรูปกระแสดังรูปที่ 2-10

โครงสร้างที่พบได้บ่อยอาจจำแนกได้ตามลักษณะของการไบแอสกระแสในวงจรและความต้านทานขาเข้า การไบแอสวงจรแบ่งเป็นการไบแอสแบบชั้นเอ (Class A) ซึ่งให้กระแสออกได้สูงสุดเท่ากับกระแสไบแอส (I_Q) และชั้นเอบี (Class AB) ซึ่งให้กระแสออกได้มากกว่ากระแสไบแอส

การไบแอสแต่ละแบบยังแบ่งตามความต้านทานขาเข้าเป็นสูงหรือต่ำ กรณีที่ความต้านทานขาเข้าสูง หมายถึงขาเข้าของวงจรมีลักษณะเป็นขาเข้าของวงจรขยายเกตร่วม หรือขาเข้าของวงจรสะท้อนกระแส ซึ่งมีความต้านทานประมาณ $1/g_m$ โอห์ม ขณะที่ความต้านทานขาเข้าต่ำ หมายถึงขาเข้าของวงจรมีการป้อนกลับด้วยวงจรขยายทำให้ความต้านทานขาเข้าต่ำลงอีก A_v เท่า อนึ่งความต้านทานขาเข้ากรณีที่มีค่าเท่ากับ $1/g_m$ โอห์ม ถือว่าน้อยเมื่อเทียบกับความ



รูปที่ 2-10 สัญลักษณ์ที่ใช้แทนวงจรบัฟเฟอร์กระแส

ต้านทานขาออกของทรานซิสเตอร์ แต่ที่เรียกว่าความต้านทานขาเข้าสูงก็เพื่อแยกออกจากกรณีที่มีการป้อนกลับ ซึ่งมีความต้านทานขาเข้าต่ำกว่า

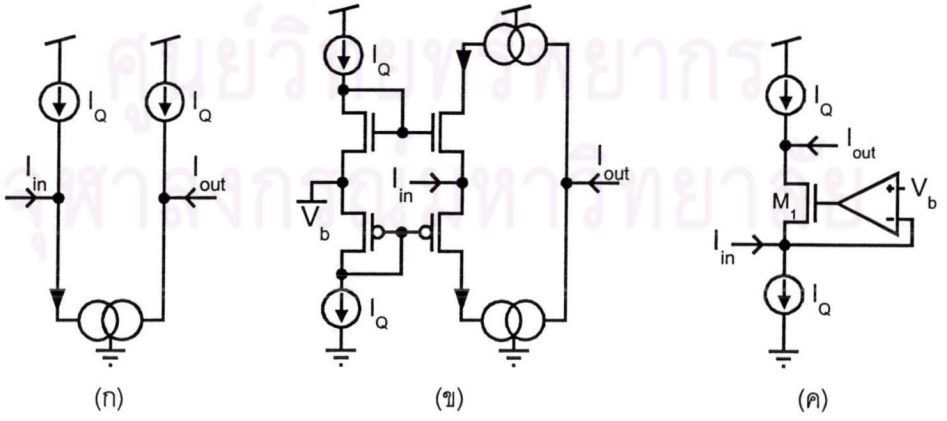
สรุปแล้วเราสามารถแบ่งวงจรบัฟเฟอร์ได้ 4 แบบ ได้แก่ แบบชั้นเอความต้านทานขาเข้าสูง ชั้นเอบีความต้านทานขาเข้าสูง ชั้นเอความต้านทานขาเข้าต่ำ และชั้นเอบีความต้านทานขาเข้าต่ำ โดย 3 แบบแรกแสดงในรูปที่ 2-11 และแบบสุดท้ายนั้นมีโครงสร้างเหมือนกับวงจรสายพานกระแสที่ใช้หลักการการรับรู้กระแสแหล่งจ่ายของออปแอมป์ในรูปที่ 2-9 (ก)

วงจรบัฟเฟอร์แบบพื้นฐานที่สุดคือแบบในรูปที่ 2-11 (ก) วงจรนี้มีอัตราขยายกระแสเท่ากับหนึ่ง และแรงดันที่ขาเข้าเท่ากับ V_{GS} ของทรานซิสเตอร์ในวงจรสะท้อนกระแส ส่วนความต้านทานขาออกของวงจรเป็นดังสมการ

$$R_o = r_{o,CS} // r_{o,CM} \tag{2-13}$$

เมื่อ $r_{o,CS}$ คือความต้านทานขาออกของแหล่งจ่ายกระแส และ $r_{o,CM}$ คือความต้านทานขาออกของวงจรสะท้อนกระแส ความต้านทานขาออกของวงจรอาจเพิ่มได้โดยใช้เทคนิคการคาสโคด (Cascode) วงจรขยายอีกวงจรหนึ่งซึ่งจัดเป็นวงจรบัฟเฟอร์กระแสแบบ (ก) เช่นกันคือวงจรขยายเกตร่วมในรูปที่ 2-12 วงจรนี้มีอัตราขยายกระแสเท่ากับ –1 ข้อดีของวงจรขยายเกตร่วมคือไม่มีความเพี้ยนเชิงฮาร์โมนิกซึ่งเกิดจากความไม่เข้าคู่ของทรานซิสเตอร์ในวงจรสะท้อนกระแสเหมือนอย่างวงจรในรูปที่ 2-11 (ก) และ (ข)

วงจรในรูปที่ 2-11 (ข) มีคุณสมบัติหลักสามอย่าง ได้แก่ ความต้านทานขาเข้า ความต้านทานขาออก และอัตราขยายเหมือนกับวงจรสายพานกระแสในรูปที่ 2-9 (ข) ส่วนวงจรในรูปที่ 2-11 (ค) นั้นคล้ายกับวงจรขยายเกตร่วมในรูปที่ 2-12 แต่เพิ่มวงจรขยายเข้าไปเพื่อควบคุมแรงดันที่ขาเข้าให้คงที่ ความต้านทานขาเข้าของวงจรนี้มีค่าต่ำ เนื่องจากการป้อนกลับ ความ



รูปที่ 2-11 โครงสร้างของวงจรบัฟเฟอร์กระแสแบบ (ก) ชั้นเอความต้านทานขาเข้าสูง (ข) ชั้นเอบีความต้านทานขาเข้าสูง (ค) ชั้นเอความต้านทานขาเข้าต่ำ

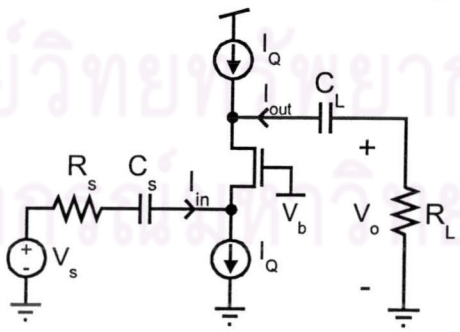
ต้านทานขาเข้าลดลง A_v เท่าดังสมการ (2-4) อัตราขยายกระแสของวงจรนี้มีค่าเท่ากับ –1 และความต้านทานขาออกมีค่าเท่ากับ

$$R_o \approx r_{o,CS} \tag{2-14}$$

เมื่อ $r_{o,CS}$ คือความต้านทานขาออกของแหล่งจ่ายกระแสด้านบน ส่วนความต้านทานขาออกของวงจรใต้แหล่งจ่ายกระแสนั้นมีค่าสูงมากเนื่องจากวงจรอยู่ในลักษณะคาสโคดเรกูเลต (Regulated cascode) ซึ่งให้ความต้านทานขาออกที่สูงมาก [22]

ในวิทยานิพนธ์นี้เลือกใช้วงจรบัฟเฟอร์กระแสแบบชั้นเอความต้านทานขาเข้าต่ำในรูปที่ 2-11 (ค) เป็นต้นแบบ เพื่อดัดแปลงเป็นวงจรส่วนหน้าของระบบ วงจรแบบที่เลือกนี้ส่งผลให้เอดีซีที่ใช้ต้องรับสัญญาณเข้าเป็นกระแส เอดีซีที่รับสัญญาณเข้าเป็นกระแสนั้นมีข้อดีคือสามารถปรับเทียบออฟเซตและความไวของตัวตรวจรู้ได้ง่าย ดังจะได้กล่าวถึงในหัวข้อเรื่องวงจรปรับเทียบต่อไป

สาเหตุที่ใช้วงจรแบบชั้นเอเนื่องจากเอดีซีที่ใช้ต้องการความละเอียด 10 บิต วงจรส่วนหน้าจึงต้องมีความเพี้ยนน้อยกว่า 0.1% ทำให้ไม่เหมาะจะนำวงจรสะท้อนกระแสซึ่งมีความเพี้ยนสูง [21] มาใช้ในวงจรส่วนหน้า นอกจากนี้ตัวตรวจรู้บางประเภทที่นำมาใช้กับระบบต้องการแรงดันไบแอสที่คงที่ตลอดช่วงกระแสออกของตัวตรวจรู้ ดังนั้นวงจรส่วนหน้าจะต้องมีความต้านทานขาเข้าต่ำเมื่อเทียบกับความต้านทานขาออกของตัวตรวจรู้ ดังนั้นวงจรบัฟเฟอร์กระแสแบบชั้นเอความต้านทานขาเข้าต่ำจึงเป็นตัวเลือกที่เหมาะสม รายละเอียดการออกแบบ และดัดแปลงวงจรนี้ให้เหมาะสมกับระบบจะกล่าวถึงในบทที่ 3



รูปที่ 2-12 วงจรขยายเกตร่วม

2.3.3 **ตัวแปลงแอนะล็อกเป็นดิจิทัล** (Analog-to-digital converter, ADC)

ตัวแปลงแอนะล็อกเป็นดิจิทัลจะแปลงข้อมูลที่อยู่ในรูปสัญญาณแรงดันหรือกระแสให้กลายเป็นข้อมูลดิจิทัล ซึ่งสามารถแปลงให้เป็นตัวเลขเพื่อแสดงผลได้ง่าย จากหัวข้อที่ผ่านมาเราทราบว่าสัญญาณที่เข้าสู่เอดีซีจะอยู่ในรูปของกระแส เอดีซีที่มีโครงสร้างสอดคล้องกับสัญญาณเข้าดังกล่าว ได้แก่ เอดีซีซึ่งใช้หลักการอินทิเกรต และเอดีซีโหมดกระแส (Current-mode ADC)

เอดีซีที่ใช้หลักการอินทิเกรตมีอยู่ด้วยกันหลายชนิด [23] โดยมีองค์ประกอบหลักในวงจรคือตัวอินทิเกรต เอดีซีในกลุ่มนี้ที่ได้รับความนิยมใช้กันอย่างแพร่หลายจนถึงปัจจุบันมีอยู่สองชนิด ชนิดแรกคือเอดีซีแบบดูอัลสโลป (Dual-slope ADC) และเอดีซีที่ได้รับการปรับปรุงโดยอิงจากหลักการทำงานของดูอัลสโลป เช่น เอดีซีแบบทริปเปิลสโลป (Triple-slope ADC) [24] และแบบมัลติสโลป (Multi-slope) [13] เป็นต้น อีกชนิดหนึ่งคือตัวแปลงซิกมาเดลต้า ($\Sigma\Delta$ converter) หรืออินครีเมนทัลเอดีซี (Incremental ADC) [9],[25] เอดีซีที่ใช้หลักการอินทิเกรตนั้นมีจุดเด่นในเรื่องความแม่นยำ ดังที่สามารถพบเห็นเอดีซีแสดงผล 5 หลักที่ใช้หลักการดูอัลสโลป หรือเอดีซีความละเอียด 16 บิต ที่ใช้หลักการซิกมาเดลต้าได้ทั่วไป นอกจากนี้ยังมีโครงสร้างไม่ซับซ้อนใช้องค์ประกอบน้อยและกินกำลังงานต่ำ แต่ก็มีข้อเสียคืออัตราการแปลงสัญญาณมีความเร็วต่ำ จึงเหมาะกับงานที่สัญญาณเข้ามีค่าคงที่ หรือมีการเปลี่ยนแปลงอย่างช้าๆ

2.3.3.1 **เอดีซีแบบดูอัลสโลป**

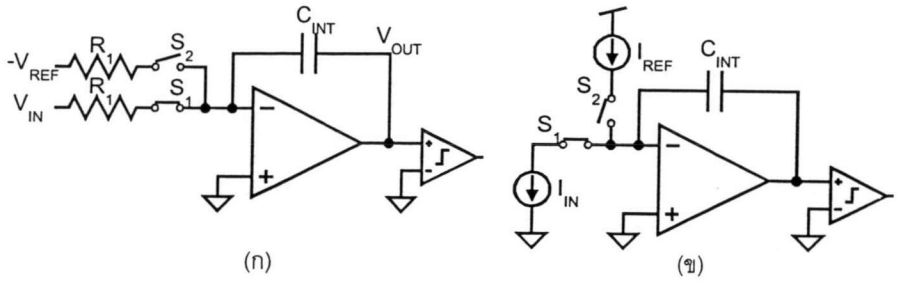
วงจรมีสองลักษณะจำแนกตามชนิดของสัญญาณเข้าดังรูปที่ 2-13 สัญญาณที่ขาออกของตัวอินทิเกรตจะเป็นไปตามรูปที่ 2-14 ในช่วงแรกสัญญาณเข้าจะถูกอินทิเกรตทำให้แรงดันที่ขาออกของตัวอินทิเกรตมีค่าเพิ่มขึ้น ระยะเวลาที่ใช้อินทิเกรตสัญญาณเข้า (t_1) นี้มีค่าคงที่ เมื่อสิ้นสุดช่วงแรกแล้วตัวอินทิเกรตจะสลับเอาสัญญาณอ้างอิงซึ่งทราบค่าแน่นอนมาคายประจุที่สะสมอยู่ในตัวเก็บประจุ ทำให้สัญญาณออกมีค่าลดลง สัญญาณในขาลงนี้จะถูกนำไปเข้าวงจรเปรียบเทียบเพื่อหาเวลาที่ใช้ในช่วงอินทิเกรตขาลง (t_2) ช่วงเวลานี้จะแปรผันโดยตรงกับขนาดของสัญญาณเข้าที่ต้องการแปลงค่าดังสมการ

$$t_2 = t_1 \times \frac{V_{IN}}{V_{REF}} \qquad \text{(2-15 ก)}$$

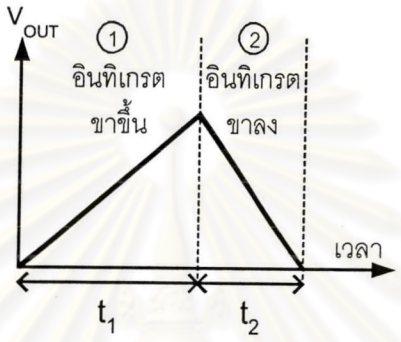
และ

$$t_2 = t_1 \times \frac{I_{IN}}{I_{REF}} \qquad \text{(2-15 ข)}$$

สำหรับกรณีที่สัญญาณเข้าเป็นแรงดันและกระแสตามลำดับ



รูปที่ 2-13 เอดีซีแบบดูอัลสโลป (ก) สัญญาณเข้าเป็นแรงดัน (ข) สัญญาณเข้าเป็นกระแส

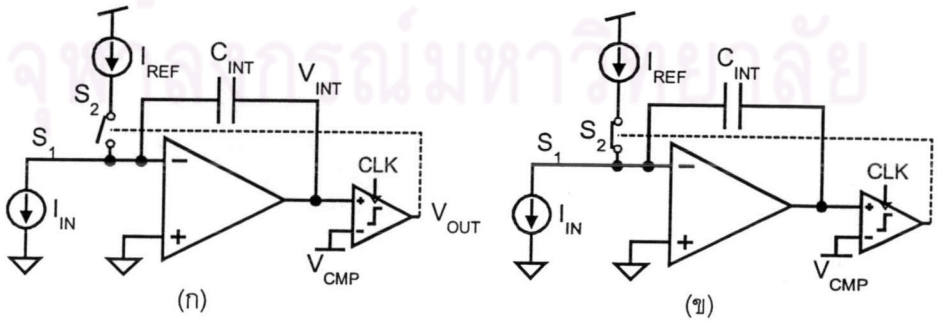


รูปที่ 2-14 แผนภาพเวลาของเอดีซีแบบดูอัลสโลป

ข้อดีของเอดีซีแบบดูอัลสโลปคือมีวงจรในส่วนดิจิทัลที่ไม่ซับซ้อน ประกอบด้วยวงจรนับ, ฟลิปฟล็อป และประตูสัญญาณเพียงไม่กี่ตัว จึงสามารถออกแบบได้ง่ายกว่าเมื่อเทียบกับวงจรดิจิทัลของตัวแปลงซิกมาเดลต้า ซึ่งจะได้กล่าวถึงต่อไป

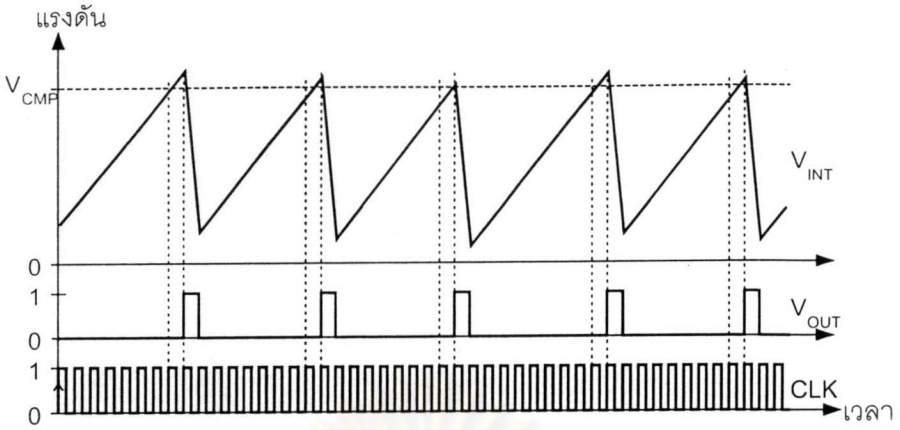
2.3.3.2 ตัวแปลงซิกมาเดลต้า

เอดีซีแบบดูอัลสโลปสามารถดัดแปลงเป็นตัวแปลงซิกมาเดลต้าแบบเวลาต่อเนื่อง (Continuous time ΣΔ converter) ได้ดังรูปที่ 2-15 [9] แต่วงจรมีหลักการแปลงค่าที่แตกต่างกันอย่างสิ้นเชิง แผนภาพเวลาของสัญญาณแสดงในรูปที่ 2-16 หลักการทำงานของตัวแปลงดังกล่าวสามารถศึกษาเพิ่มเติมได้จากเอกสาร [9] และ [25]



รูปที่ 2-15 ตัวแปลงซิกมาเดลต้าแบบเวลาต่อเนื่อง (ก) ช่วงอินทิเกรตขาขึ้น

(ข) ช่วงอินทิเกรตขาลง



รูปที่ 2-16 แผนภาพเวลาของตัวแปลงซิกมาเดลต้า

ข้อดีของวงจรแบบนี้อยู่ที่สัญญาณออกซึ่งมีเพียงบิตเดียว จึงเหมาะที่จะใช้กับตัวตรวจรู้ที่ใช้ในระบบการวัดระยะไกล (Telemetry system) ซึ่งต้องส่งข้อมูลจากจุดที่ตัวตรวจรู้อยู่ไปยังศูนย์ข้อมูลที่ซึ่งข้อมูลดิบหนึ่งบิตจะถูกประมวลเป็นข้อมูลที่นำไปใช้ประโยชน์ได้ ข้อมูลที่มีเพียงบิตเดียวจะลดความยุ่งยากในการออกแบบระบบส่งข้อมูลลงได้เป็นอย่างมาก ข้อเสียของวงจรประเภทนี้คือวงจรต้องการระบบประมวลผลภายหลังทางดิจิทัล (Digital post processing) ซึ่งเป็นวงจรกรองเดซิเมชัน (Decimation filter) เพื่อทำให้บิตสตรีมกลายเป็นข้อมูลที่มีจำนวนบิตตามต้องการ

นอกจากเอดีซีที่ใช้หลักการอินทิเกรตแล้ว เอดีซีโหมดกระแสก็เป็นวงจรอีกประเภทหนึ่งที่สามารถนำมาประยุกต์ใช้กับระบบประมวลผลในวิทยานิพนธ์นี้ได้ สถาปัตยกรรมที่ใช้ในเอดีซีโหมดกระแสที่มีการรายงาน ได้แก่ ไปป์ไลน์, ซิกมาเดลต้า [26] และไซคลิก (Cyclic) หรือขั้นตอนวิธี (Algorithmic) [27] ในอดีตความละเอียดของเอดีซีโหมดกระแสจะต่ำเมื่อเทียบกับเอดีซีโหมดแรงดัน เนื่องจากความไม่เข้าคู่ของกระแสในทรานซิสเตอร์จะมีผลกระทบโดยตรงต่อความแม่นยำในการทำงานของเอดีซีโหมดกระแสขณะที่ในโหมดแรงดันจะไม่ได้รับผลกระทบมากนัก อย่างไรก็ตามเอดีซีโหมดกระแสได้รับการพัฒนาวิธีการแก้ไขความไม่เป็นอุดมคติของวงจรมากขึ้น และมีความละเอียดได้ถึง 10 บิต [27] ซึ่งเพียงพอกับความต้องการของระบบสำหรับงานวิจัยนี้

แม้ว่าเอดีซีโหมดกระแสสามารถจะให้ความละเอียดเพียงพอแต่ก็ได้รับความนิยมน้อย และไม่พบว่าเอดีซีชนิดนี้ถูกนำไปใช้ในระบบประมวลผลสัญญาณกระแสจากตัวตรวจรู้ ทั้งนี้อาจเนื่องมาจากเอดีซีประเภทนี้เพิ่งได้รับความสนใจไม่นานนักเมื่อเทียบกับเอดีซีโหมดแรงดันที่ใช้กันมานาน และสามารถหาข้อมูลในการออกแบบได้ง่ายกว่ามาก ดังนั้นในวิทยานิพนธ์นี้จึงเลือกเอดีซีที่ใช้หลักการอินทิเกรตมาเป็นส่วนประกอบของระบบ เอดีซีที่ใช้ในงานวิจัยคือเอดีซีแบบ

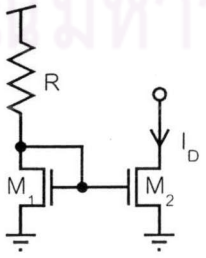
สี่สโลป (Quad-slope ADC) ซึ่งเป็นเอดีซีที่ได้รับการดัดแปลงจากเอดีซีแบบดูอัลสโลปให้ทนต่อแรงดันออฟเซตของส่วนประกอบหลักในวงจร ได้แก่ ออปแอมป์และตัวเปรียบเทียบ รายละเอียดการทำงานของเอดีซีนั้นจะกล่าวถึงในเรื่องการออกแบบซึ่งอยู่ในบทถัดไป

2.3.4 วงจรสร้างแรงดันอ้างอิงและกระแสอ้างอิงแบนด์แกป

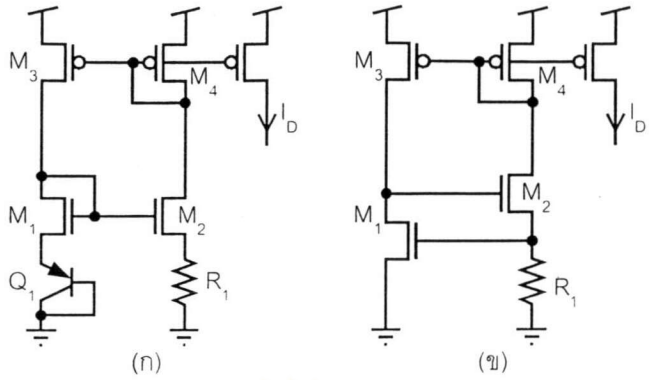
ในวงจรแอนะล็อกทั่วไปจำเป็นต้องมีแหล่งจ่ายกระแส โดยโครงสร้างที่ง่ายที่สุดคือใช้ตัวต้านทานและวงจรสะท้อนกระแส [28] ดังรูปที่ 2-17 แม้วงจรจะสร้างได้ง่ายแต่ก็มีข้อเสียที่สำคัญคือกระแสไบแอสที่ได้จะเปลี่ยนแปลงตามแรงดันแหล่งจ่ายเป็นอย่างมาก ดังนั้นจึงมีการคิดวงจรที่ให้กระแสไม่ขึ้นกับแรงดันแหล่งจ่าย เพื่อไบแอสแหล่งจ่ายกระแสภายในวงจรแอนะล็อก วงจรที่สร้างกระแสเหล่านี้มักถูกเรียกรวมๆ ว่าวงจรไบแอส

วงจรไบแอสที่ได้รับความนิยมในกระบวนการผลิตแบบซีมอสคือวงจรไบแอสตัวเอง (Self-biased circuit) [28] วงจรไบแอสตัวเองทำงานโดยอาศัยการป้อนกลับของกระแส ตัวอย่างของวงจรไบแอสตัวเองแสดงในรูปที่ 2-18 วงจรในรูป (ก) จะมีทรานซิสเตอร์ M_1, M_2, Q_1 และตัวต้านทาน R_1 เป็นตัวสร้างกระแสในวงจร สมมติว่าทรานซิสเตอร์ M_1 มีขนาดเท่ากับ M_2 และมีกระแสไหลในทรานซิสเตอร์ทั้งสองเท่ากัน แรงดันที่คร่อมตัวต้านทาน R_1 จะมีค่าเท่ากับแรงดันคร่อมไดโอดหรือ V_{BE} ของทรานซิสเตอร์ Q_1 ดังนั้นกระแสที่ไหลในวงจรจะเท่ากับ V_{BE}/R_1 กระแสที่ไหลผ่านทรานซิสเตอร์ M_2 จะถูกสะท้อนโดยวงจรสะท้อนกระแส (ทรานซิสเตอร์ M_3 และ M_4) เพื่อป้อนกลับไปยังทรานซิสเตอร์ M_1 เป็นอันครบรอบการทำงานของวงจรไบแอสตัวเอง วงจรในรูปที่ 2-18 (ก) นี้เรียกว่าวงจรไบแอสตัวเองอ้างอิงจาก V_{BE} (V_{BE}-referenced self-biased circuit)

วงจรไบแอสตัวเองอ้างอิงจาก V_{th} ในรูปที่ 2-18 (ข) อาศัยหลักการทำงานเดียวกันกับวงจรในรูป (ก) เพียงแต่แรงดันที่ตกคร่อมตัวต้านทาน R_1 จะได้มาจากแรงดัน V_{GS} ของทรานซิสเตอร์ M_1 ซึ่งกรณีที่กระแส I_D มีค่าไม่มาก และอัตราส่วน W/L ของทรานซิสเตอร์ M1 มีขนาดใหญ่ [28] จะได้กระแสที่ไหลในวงจรแปรตามแรงดันเทรชโฮลด์ของทรานซิสเตอร์ M_1 ดังสมการ



รูปที่ 2-17 แหล่งจ่ายกระแสแบบพื้นฐาน

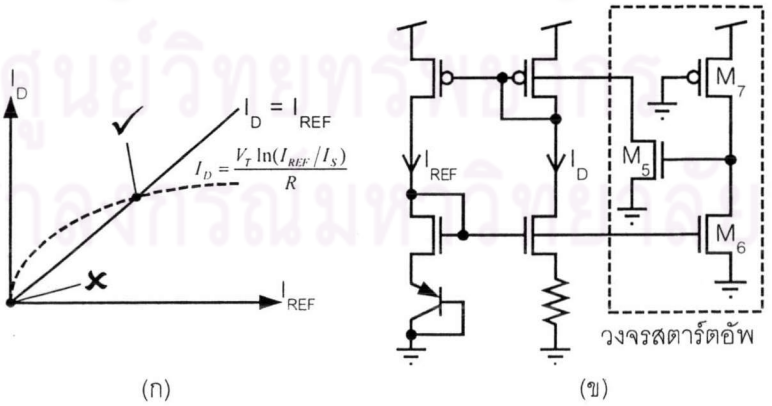


รูปที่ 2-18 วงจรไบแอสตัวเอง (ก) อ้างอิงจาก V_{BE} (ข) อ้างอิงจาก V_{th}

$$I_D = \frac{V_{GS1}}{R_1} = \left(V_{th1} + \sqrt{\frac{2I}{\mu_n C_{ox}(W/L)_1}} \right) \Big/ R_1 \approx \frac{V_{th1}}{R_1} \qquad (2\text{-}16)$$

เมื่อ V_{th} คือแรงดันเทรชโฮลด์ (Threshold voltage) ของทรานซิสเตอร์มอส μ_n คือความเคลื่อนที่ได้ (Mobility) เฉลี่ยของอิเล็กตรอนในช่องนำกระแสของทรานซิสเตอร์เอ็นมอส และ C_{ox} คือค่าความเก็บประจุต่อหน่วยพื้นที่ของออกไซด์เกต (Gate oxide)

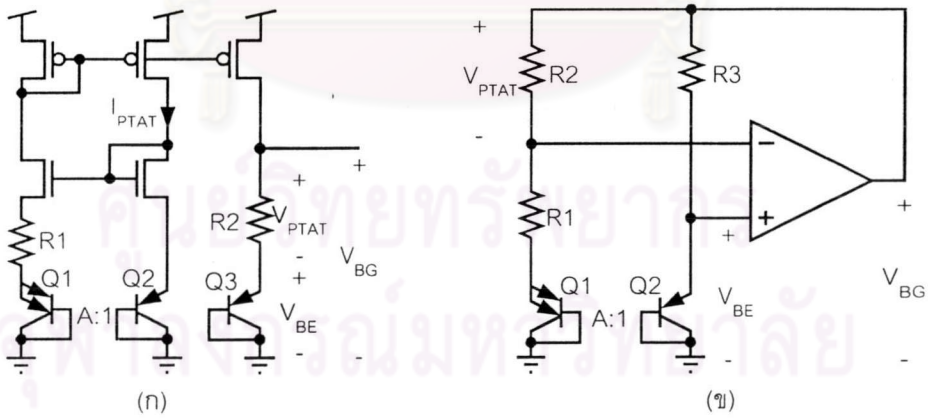
วงจรไบแอสตัวเองมีจุดทำงานสองจุด [28] จุดหนึ่งเป็นจุดที่ไม่มีกระแสไหลในวงจร ส่วนอีกจุดหนึ่งคือจุดที่มีกระแสไหลตามที่ออกแบบ ดังนั้นวงจรไบแอสตัวเองจำเป็นต้องมีวงจรสตาร์ตอัพ (Start-up circuit) เพื่อช่วยให้วงจรไบแอสทำงานตามที่ต้องการ ตัวอย่างของวงจรสตาร์ตอัพแสดงในรูปที่ 2-19 [18] ช่วงต้นของการทำงานวงจรสตาร์ตอัพจะเป็นตัวจ่ายกระแสให้กับวงจรไบแอสซึ่งยังไม่มีกระแสไหล เมื่อวงจรไบแอสสามารถเข้าสู่สภาวะที่ต้องการแล้ววงจรสตาร์ตอัพจะถูกแยกออกจากวงจรไบแอสโดยการทำให้ทรานซิสเตอร์ M_5 เข้าสู่สภาวะคัตออฟ (Cutoff)



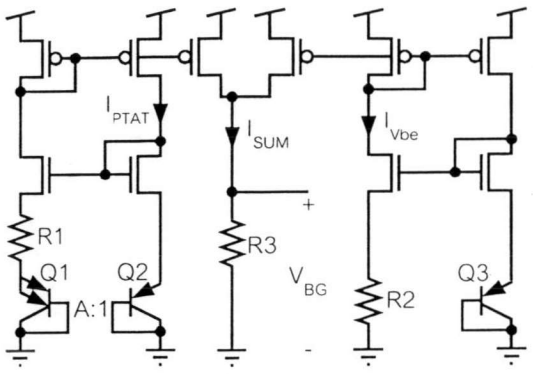
รูปที่ 2-19 (ก) จุดทำงานของวงจรไบแอสตัวเอง (ข) วงจรสตาร์ตอัพ

แม้ว่าวงจรไบแอสตัวเองจะมีการเปลี่ยนแปลงตามแรงดันแหล่งจ่ายน้อย แต่กระแสที่ได้ยังคงเปลี่ยนแปลงตามอุณหภูมิได้มาก ตัวอย่างเช่น วงจรอ้างอิง V_{BE} กระแสที่ได้จะแปรตามแรงดัน V_{BE} ซึ่งมีค่าสัมประสิทธิ์แรงดันต่ออุณหภูมิประมาณ –2 mV/°C [28] หรือคิดเป็นอัตราการเปลี่ยนแปลงประมาณ 3300 ppm/°C ที่อุณหภูมิห้อง ดังนั้นจึงมีวงจรไบแอสสำหรับซีมอสหลายรูปแบบถูกคิดค้นขึ้นเพื่อลดผลของการเปลี่ยนแปลงอุณหภูมิที่มีต่อกระแสลง เช่น วงจรไบแอสทรานส์คอนดักแตนซ์คงที่ [18] วงจรไบแอสแบบไม่มีตัวต้านทาน [29] และวงจรไบแอสแบบแบนด์แกป ในหัวข้อนี้จะกล่าวถึงโครงสร้างของวงจรไบแอสแบบแบนด์แกป [30], [31] เป็นหลัก เนื่องจากเป็นวงจรที่ทนต่อความเปลี่ยนแปลงของอุณหภูมิ และกระบวนการผลิตได้ดีที่สุด อย่างไรก็ตามวงจรไบแอสอื่นก็มีความน่าสนใจ ผู้เขียนจึงได้สรุปรายละเอียดของวงจรเหล่านี้ไว้ในภาคผนวก ก

วงจรไบแอสแบบแบนด์แกปสามารถแบ่งออกได้เป็นสองกลุ่มใหญ่คือวงจรที่ใช้หลักการรวมแรงดันดังรูปที่ 2-20 และวงจรที่ใช้หลักการรวมกระแสดังรูปที่ 2-21 แต่ทั้งสองกลุ่มอาศัยหลักการทำงานเดียวกันคือต้องอาศัยวงจรไบแอสย่อยสองวงจร วงจรหนึ่งทำหน้าที่สร้างสัญญาณซึ่งแปรผันโดยตรงกับแรงดันคร่อมเบสกับอิมิตเตอร์ (V_{BE}) ของทรานซิสเตอร์ไบโพลาร์ ซึ่งจะลดลงเมื่ออุณหภูมิเพิ่มสูงขึ้น ส่วนอีกวงจรหนึ่งจะสร้างสัญญาณซึ่งเป็นสัดส่วนกับอุณหภูมิสัมบูรณ์ หรือพีแทต (Proportional To Absolute Temperature) เมื่อนำสัญญาณที่ได้จากวงจรไบแอสย่อยทั้งสองวงจรมารวมกันด้วยอัตราส่วนที่เหมาะสม จะสามารถกำจัดผลอันดับหนึ่ง (First order) ที่อุณหภูมิมีต่อสัญญาณ ทำให้สัญญาณรวมที่ได้นั้นมีค่าเกือบเป็นอิสระจากอุณหภูมิ [28]



รูปที่ 2-20 วงจรไบแอสแบบแบนด์แกปที่ใช้หลักการรวมแรงดัน (ก) ไม่มีการป้อนกลับ (ข) มีการป้อนกลับ



รูปที่ 2-21 วงจรไบแอสแบบแบนด์แกปที่ใช้หลักการรวมกระแส

วงจรที่ใช้หลักการรวมแรงดันมีข้อดีเหนือหลักการรวมกระแสตรงที่ให้ความผิดพลาดของแรงดันแบนด์แกป (V_{BG}) เนื่องจากความไม่เข้าคู่ของอุปกรณ์ต่ำกว่า เพราะมีจำนวนอุปกรณ์น้อยกว่า แต่แรงดันแบนด์แกปที่ได้จากวงจรแบบรวมแรงดันจะมีค่าคงที่ประมาณ 1.2 โวลต์ เวลาจะนำไปสร้างแรงดันอ้างอิงค่าอื่นๆ จึงต้องผ่านวงจรขยายหรือลดทอนสัญญาณเพื่อให้ได้แรงดันค่าที่ต้องการ ขณะที่วงจรแบบรวมกระแสสามารถปรับค่าแรงดัน V_{BG} ได้โดยการปรับค่าตัวต้านทาน R_3 ซึ่งสะดวกกว่าการใช้วงจรขยายเพื่อปรับค่าแรงดัน

หลักการกำจัดผลของอุณหภูมิดังกล่าวข้างต้นเป็นเพียงอันดับหนึ่งเท่านั้น ทำให้วงจรไบแอสแบบแบนด์แกปในรูปที่ 2-20 และรูปที่ 2-21 มีเสถียรภาพทางอุณหภูมิ (Temperature stability) ที่ดีในช่วงอุณหภูมิไม่กว้างนัก เช่น ในช่วง 0 ถึง 70°C วงจรดังกล่าวจะมีสัมประสิทธิ์อุณหภูมิไม่เกิน 170 ppm/°C แต่จะมีค่าถึง 270 ppm/°C เมื่อพิจารณาช่วงอุณหภูมิ –55 ถึง 125°C [30] สาเหตุหลักที่ทำให้สัมประสิทธิ์อุณหภูมิมีค่าสูงขึ้นเนื่องจากแรงดัน V_{BE} ที่กำเนิดจากทรานซิสเตอร์ไบโพลาร์นั้นมีความสัมพันธ์กับอุณหภูมิอย่างไม่เป็นเชิงเส้น [28] จึงได้มีงานวิจัยที่พัฒนาวงจรไบแอสแบบแบนด์แกปให้มีสัมประสิทธิ์อุณหภูมิต่ำลง โดยการกำจัดผลของอุณหภูมิในอันดับสูงกว่าหนึ่งขึ้นไปเรียกว่าการชดเชยความโค้ง (Curvature compensation) [30], [32] นอกจากนี้แรงดันแบนด์แกปยังได้รับผลกระทบจากออฟเซตของออปแอมป์ที่ใช้ในวงจรเป็นอย่างมาก การกำจัดออฟเซตของออปแอมป์นอกจากจะใช้วิธีการเพิ่มขนาดของทรานซิสเตอร์เพื่อให้ความเข้าคู่ดีขึ้นแล้ว อาจทำได้โดยใช้เทคนิคสวิตช์ตัวเก็บประจุ (Switched-capacitor technique) [30] และเทคนิคชอปปิง (Chopping technique) [33]

ในวิทยานิพนธ์นี้เลือกใช้วงจรไบแอสแบบแบนด์แกปที่ใช้หลักการรวมกระแส เพื่อให้ปรับค่าแรงดันอ้างอิงที่สร้างขึ้นได้ง่าย โดยไม่ได้ชดเชยความโค้ง จึงเหมาะสำหรับใช้งานในช่วงอุณหภูมิที่ไม่กว้างนัก เหมาะจะนำไปใช้เป็นแรงดันไบแอสสำหรับวงจรส่วนหน้าที่ต้องจ่ายแรงดันไบแอสให้กับตัวตรวจรู้

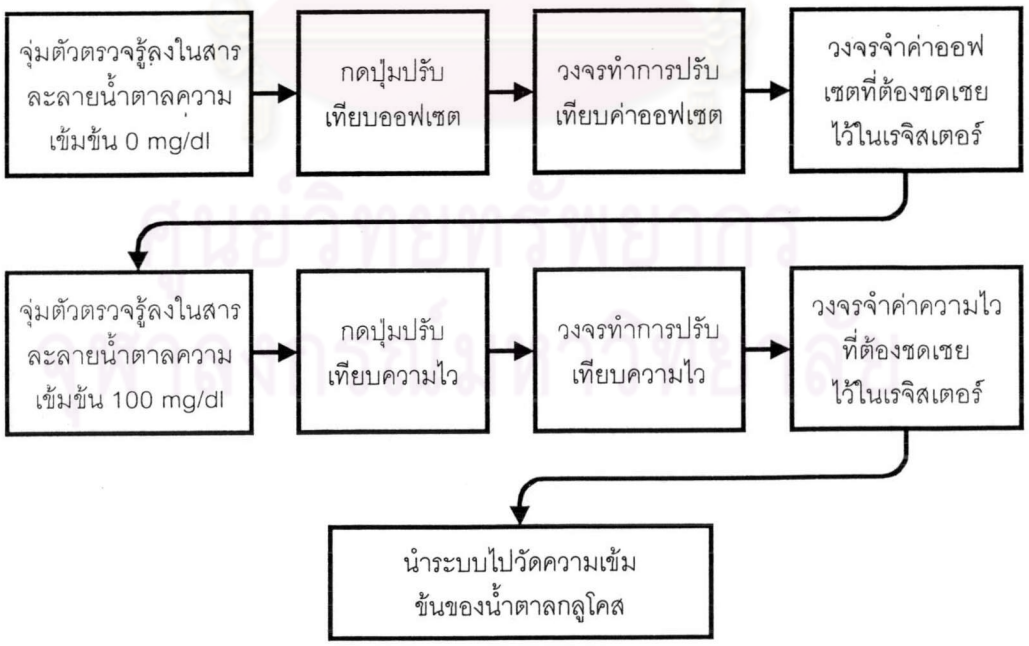
2.3.5 วงจรปรับเทียบออฟเซตและความไวของตัวตรวจรู้

เมื่อมีการเปลี่ยนตัวตรวจรู้ใหม่ ผู้ใช้จะต้องปรับเทียบเพื่อให้วงจรชดเชยความผิดพลาดเนื่องจากออฟเซต และความไวของตัวตรวจรู้ตัวใหม่ เนื่องจากตัวตรวจรู้แต่ละตัวมีคุณสมบัติที่แตกต่างกันไป กระบวนการปรับเทียบต้องอาศัยตัวแปรต้นอ้างอิงสองค่า ดังตัวอย่างการปรับเทียบตัวตรวจรู้น้ำตาลกลูโคสดังรูปที่ 2-22 [8]

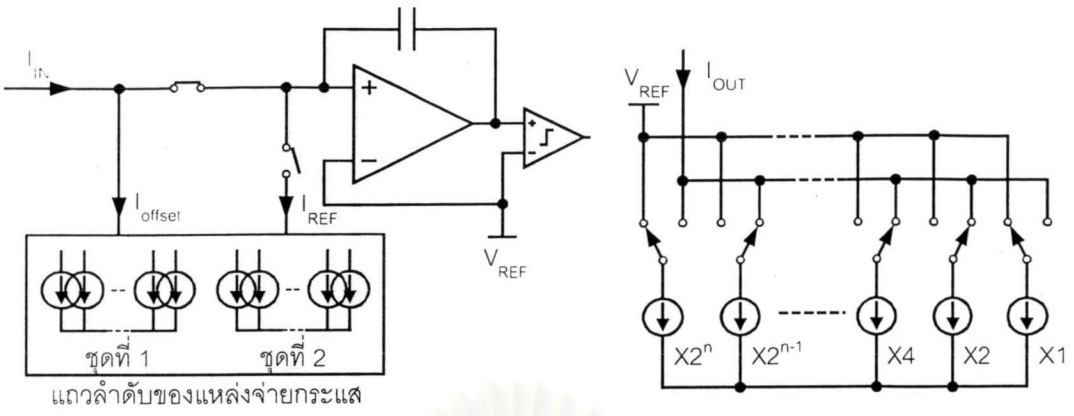
วงจรที่ใช้ในการปรับเทียบอาจแบ่งออกได้เป็นสองกลุ่ม คือ วงจรปรับเทียบแบบแอนะล็อก กับแบบดิจิทัล [9] การปรับเทียบแบบแอนะล็อกโดยทั่วไปจะมีวงจรที่ใช้ในการปรับเทียบจะอยู่ในส่วนของเอดีซีและทำงานสัมพันธ์กัน ขณะที่วงจรปรับเทียบแบบดิจิทัลจะรับค่าดิจิทัลจากเอดีซีมาประมวลผลอีกต่อหนึ่ง วงจรจึงแยกออกจากเอดีซี และมีการทำงานที่เป็นอิสระจากกัน ในงานวิจัยนี้จะให้ความสนใจกับวงจรปรับเทียบแบบแอนะล็อกเท่านั้น ส่วนรายละเอียดเกี่ยวกับการปรับเทียบแบบดิจิทัลนั้นสามารถศึกษาเพิ่มเติมได้จากเอกสาร [9]

การปรับเทียบออฟเซตและความไวของตัวตรวจรู้ในกรณีที่ใช้เอดีซีซึ่งใช้หลักการอินทิเกรตสามารถทำได้โดยปรับขนาดของกระแสที่เข้าสู่เอดีซีและขนาดของสัญญาณกระแสอ้างอิง (I_{REF}) ที่ใช้ในเอดีซีดังรูปที่ 2-23 (ก) ในกรณีของเอดีซีแบบดูอัลสโลปซึ่งมีความสัมพันธ์ระหว่างค่าที่แปลงได้ในรูปของเวลา กับกระแสขาเข้าเป็นดังสมการ (2-15 ข) สมมติให้กระแสขาเข้ามีความสัมพันธ์เชิงเส้นกับปริมาณที่กำลังวัด (x) กระแสขาเข้าสามารถเขียนได้ดังสมการ

$$I_{IN} = mx + c + I_{offset} \tag{2-17}$$



รูปที่ 2-22 ตัวอย่างขั้นตอนปรับเทียบตัวตรวจรู้น้ำตาลกลูโคส



รูปที่ 2-23 (ก) เอดีซีที่มีวงจรปรับเทียบ (ข) โครงสร้างของแหล่งจ่ายกระแสถ่วงน้ำหนักแบบทวิภาค

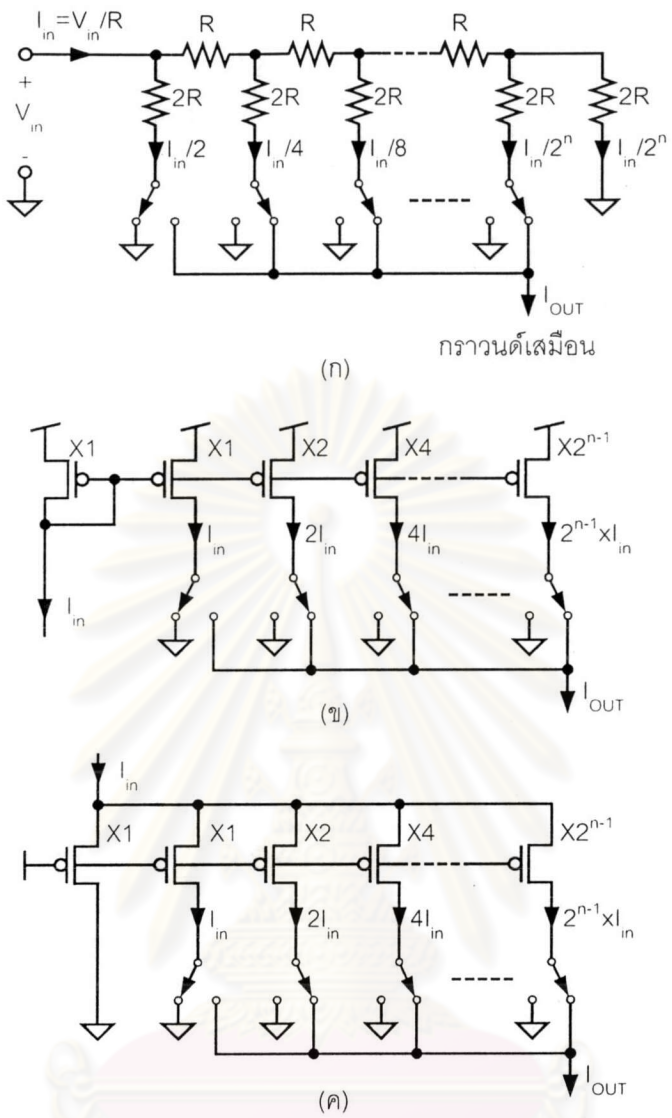
เมื่อ c คือออฟเซต และ m คือความไวของตัวตรวจรู้ และ I_{offset} คือกระแสชดเชยที่ขาเข้าของเอดีซี เมื่อนำไปแทนลงในสมการ (2-15-ข) จะได้เป็น

$$t_2 = \frac{t_1 m}{I_{ref}} x + \frac{t_1 \left(c + I_{offset}\right)}{I_{ref}} \qquad (2\text{-}18)$$

จากสมการข้างต้นจะเห็นได้ว่าเราสามารถกำจัดออฟเซตได้โดยการจ่ายกระแส I_{offset} ที่มีค่าเท่ากับกระแส c แต่มีทิศตรงกันข้าม และกำจัดผลของความผิดพลาดเชิงอัตราขยายได้โดยการปรับค่า I_{ref} เพื่อให้อัตราส่วน m/I_{ref} มีค่าคงที่ไม่ว่าความไว m จะมีค่าเปลี่ยนแปลงไปอย่างไร

วิธีการหนึ่งที่สะดวกในการสร้างกระแส I_{offset} และ I_{REF} ให้มีค่าเปลี่ยนแปลงตามต้องการได้ คือ การใช้ตัวแปลงดิจิทัลเป็นแอนะล็อกหรือดีเอซีกระแส (Current digital-to-analog converter หรือ current DAC) เป็นตัวสร้างกระแสเหล่านี้ขึ้นมาเพื่อป้อนให้กับเอดีซี ดีเอซีกระแสมีส่วนประกอบหลักคือแถวลำดับของแหล่งจ่ายกระแสถ่วงน้ำหนักแบบทวิภาค (Binary-weighted current-source array) ดังแสดงในรูปที่ 2-23 (ข) วงจรแหล่งจ่ายกระแสมีอยู่หลายรูปแบบ รูปแบบที่นิยมใช้สร้างดีเอซีกระแส ได้แก่ วงจรเครือข่ายตัวต้านทาน วงจรสะท้อนกระแส และวงจรหารกระแส (Current divider) ดังรูปที่ 2-24

วงจรรูปแบบแรกอาศัยตัวต้านทานเพื่อแปลงแรงดันให้กลายเป็นกระแส และกระแสจะถูกแบ่งย่อยออกไปตามกิ่งของตัวต้านทานที่ต่อกันในลักษณะขั้นบันได R-2R (R-2R ladder) แรงดันที่ปมขาออกของกระแสจะต้องเท่ากับแรงดันที่ปมกราวด์ซึ่งกระแสที่ไม่ได้นำไปใช้จะไหลลงไป วงจรแบบนี้ไม่เหมาะจะนำไปใช้สร้างกระแสค่าเล็กๆ เนื่องจากจะต้องใช้ความต้านทานขนาดใหญ่มาก



รูปที่ 2-24 ดีเอซีกระแส (ก) แบบเครือข่ายตัวต้านทาน (ข) แบบสะท้อนกระแส (ค) แบบหารกระแส

วงจรดีเอซีกระแสแบบที่สองใช้วงจรสะท้อนกระแสเป็นตัวสร้างกระแสแต่ละบิตภายในแถวลำดับ แต่การใช้วงจรสะท้อนกระแสที่มีอัตราคูณหลายๆ เท่านั้นทำให้ความแม่นยำของกระแสในแต่ละบิตสูญเสียไปเนื่องจากความไม่เข้าคู่ระหว่างทรานซิสเตอร์ โดยเฉพาะในบิตที่กระแสมีขนาดใหญ่ จึงต้องมีเทคนิคในการชดเชยความผิดผลาดของกระแสในแต่ละบิต เช่น การใช้เทคนิคสวิตช์กระแส (Switched current) ปรับเทียบแหล่งจ่ายกระแสแต่ละบิตในวงจร [34] และเทคนิคการเฉลี่ยเรขาคณิต (Geometric averaging technique) [35] ซึ่งช่วยลดความเพี้ยนเชิงฮาร์มอนิกเนื่องจากความไม่เข้าคู่ แต่โครงสร้างแบบนี้เหมาะกับการสร้างกระแสขนาดใหญ่ เนื่องจากกระแสขาเข้าจะถูกสะท้อนให้มีขนาดใหญ่ขึ้น กระแสขาเข้า I_{in} จึงมีขนาดเล็กสุด ในกรณีของงานวิจัยนี้ต้องการกระแสบิตเล็กสุดขนาด 1 นาโนแอมแปร์ ซึ่งเป็นไปได้ยากที่จะสร้างกระแส I_{in} เล็กขนาดนี้ได้ วงจรหารกระแสในรูปที่ 2-24 (ค) จึงเหมาะที่จะนำมาใช้ในงานวิจัยนี้ เนื่องจาก

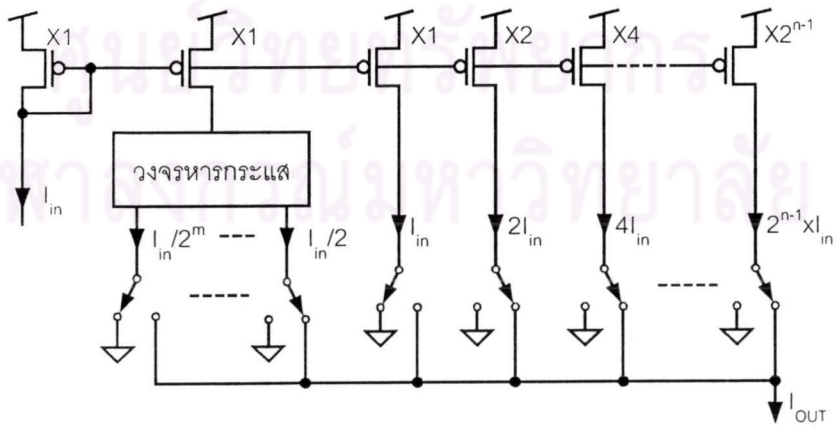
กระแส I_{in} ไม่จำเป็นต้องมีขนาดเล็กมากแต่สามารถแบ่งให้มีขนาดเล็กลงเหลือประมาณหนึ่งในพันเท่าได้ โดยใช้วงจรหารกระแส 10 บิต [35]

ถ้าหากทรานซิสเตอร์ในวงจรหารกระแสในรูปที่ 2-24 (ค) ทำงานในย่านอิ่มตัว กระแส I_{OUT} จะไม่ไวต่อความเปลี่ยนแปลงของแรงดันที่ขาออก เนื่องจากทรานซิสเตอร์จะทำหน้าที่เหมือนวงจรขยายเกตร่วมซึ่งมีความต้านทานขาออกสูง ทำให้กระแสผิดพลาดเนื่องจากผลต่างของแรงดันระหว่างขาออกกับกราวด์มีค่าน้อยมากจนละเลยได้ ซึ่งเป็นข้อดีเหนือกว่าวงจรเครือข่ายตัวต้านทานในรูปที่ 2-24 (ก)

งานวิจัยนี้ต้องการแถวลำดับกระแสสองชุด ชุดหนึ่งสำหรับปรับเทียบกระแสออฟเซต และอีกชุดสำหรับปรับเทียบความไวของตัวตรวจรู้ แถวลำดับทั้งสองชุดต้องการความละเอียดของกระแสในระดับ 1 nA จึงต้องใช้โครงสร้างดีเอซีแบบวงจรหารกระแสเป็นตัวสร้างกระแสในแต่ละบิต กระแสที่ได้จากดีเอซีแบบหารกระแสนั้นเพียงพอสำหรับการปรับเทียบออฟเซต แต่สำหรับการปรับเทียบความไวนั้นต้องการกระแสมากกว่า 1 μA ดังนั้นโครงสร้างของดีเอซีกระแสสำหรับปรับเทียบความไวจึงใช้โครงสร้างแบบวงจรหารกระแสร่วมกับแบบวงจรสะท้อนกระแส โดยวงจรหารกระแสใช้สำหรับสร้างแหล่งจ่ายกระแสขนาดเล็ก และวงจรสะท้อนกระแสใช้สำหรับสร้างแหล่งจ่ายกระแสขนาดใหญ่ (กระแสไหลในระดับไมโครแอมแปร์) ดังรูปที่ 2-25

2.3.6 วงจรส่วนดิจิทัล

วงจรดิจิทัลจะประกอบด้วยส่วนประกอบหลัก 8 ส่วนดังรูปที่ 2-26 ซึ่งทำงานร่วมกันเพื่อทำหน้าที่หลักสามประการ ได้แก่ การรับค่าดิจิทัลจากเอดีซีมาแปลงเป็นรหัสที่ใช้ในการแสดงผลทางจอผลึกเหลวเจ็ดส่วน, ควบคุมการปรับเทียบตัวตรวจรู้ และควบคุมเฟสการทำงานของเอดีซี ส่วนประกอบทั้ง 8 ได้แก่

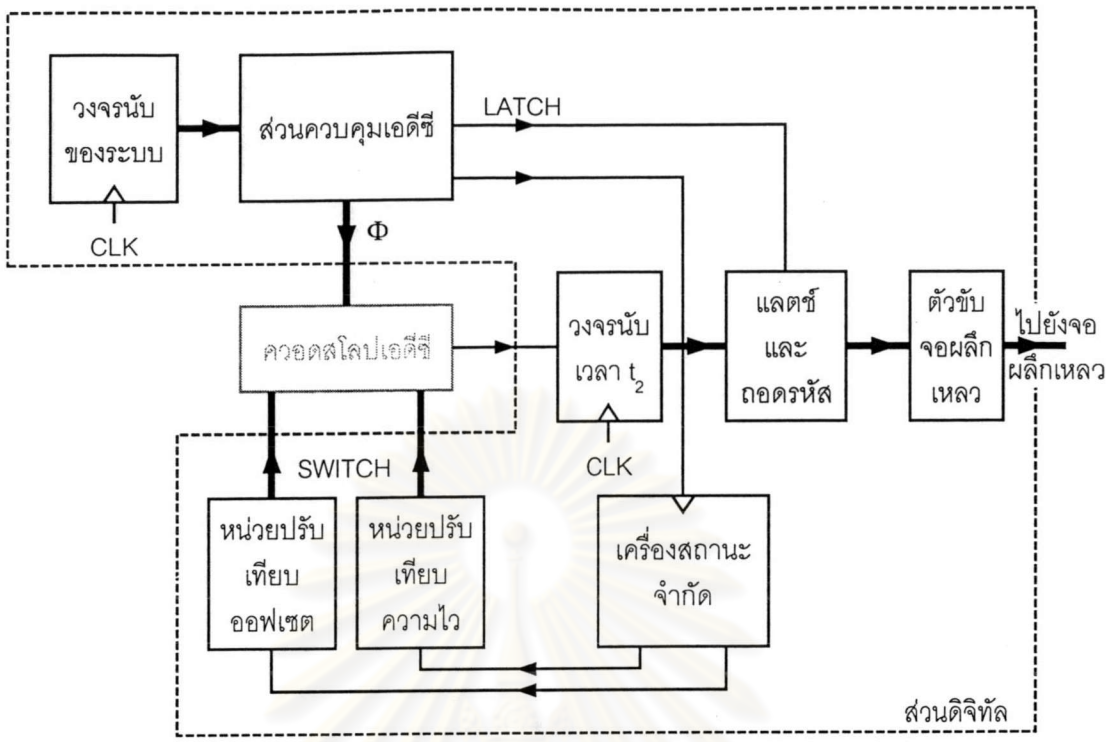


รูปที่ 2-25 โครงสร้างของแถวลำดับแหล่งจ่ายกระแสสำหรับปรับเทียบความไว

1. วงจรนับของระบบ ทำหน้าที่สร้างสัญญาณฐานเวลาให้กับส่วนควบคุมเอดีซี เพื่อกำหนดจังหวะการทำงานของเอดีซี
2. ส่วนควบคุมเอดีซี สร้างสัญญาณควบคุมสวิตช์ในเอดีซีเพื่อควบคุมการไหลของกระแส
3. วงจรนับเวลา t_2 จะนับระยะเวลาที่ตัวอินทิเกรตใช้ในการคายประจุ (t_2) ซึ่งแปรผันตรงกับสัญญาณที่ต้องการวัด ค่าที่นับได้จะเป็นค่าทางดิจิทัลของสัญญาณเข้า
4. วงจรแลตช์และถอดรหัส วงจรแลตช์จะคอยเก็บค่าดิจิทัลที่ได้จากวงจรนับเวลา t_2 หลังจากที่การนับเสร็จสิ้นแล้ว และค่าที่แลตช์ไว้จะถูกนำไปถอดรหัสเป็นรหัสเจ็ดส่วน
5. ตัวขับจอผลึกเหลว ทำหน้าที่มอดูเลต (Modulate) สัญญาณรหัสเจ็ดส่วนให้อยู่ในรูปสัญญาณไฟสลับความถี่ช่วงระหว่าง 30-200 เฮิรตซ์ ซึ่งเป็นความถี่ที่ทำให้จอผลึกเหลวทำงานและมีกำลังขับเพียงพอที่จะขับโหลดขนาดประมาณ 35 พิโคฟารัดต่อส่วน (ได้จากการวัดความเก็บประจุระหว่างส่วนกับแผ่นฐานของจอผลึกเหลว) สัญญาณที่ขับจอผลึกเหลวจะเป็นสัญญาณแบบผลต่าง (Differential signal)
6. หน่วยปรับเทียบออฟเซต ควบคุมขั้นตอนวิธีในการปรับเทียบออฟเซต และเก็บค่าที่ควบคุมแถวลำดับแหล่งจ่ายกระแสสำหรับแก้ออฟเซตที่ได้จากการปรับเทียบเอาไว้
7. หน่วยปรับเทียบความไว ควบคุมขั้นตอนวิธีในการปรับเทียบความไว และเก็บค่าที่ควบคุมแถวลำดับแหล่งจ่ายกระแสสำหรับแก้ความไวที่ได้จากการปรับเทียบเอาไว้
8. เครื่องสถานะจำกัด คอยรับคำสั่งปรับเทียบจากผู้ใช้ และสับเปลี่ยนการทำงานของเอดีซีจากสถานะปกติไปสู่สถานะปรับเทียบออฟเซต หรือสถานะปรับเทียบความไว โดยที่ไม่มีการทำงานทับซ้อนกัน

วงจรนับของระบบและส่วนควบคุมเอดีซีจะทำงานร่วมกันเพื่อควบคุมเฟสการทำงานของเอดีซี วงจรนับเวลา t_2 วงจรแลตช์และถอดรหัส และตัวขับจอผลึกเหลวจะทำงานร่วมกันเพื่อนำค่าดิจิทัลที่ได้จากการแปลงแอนะล็อกเป็นดิจิทัลไปแสดงผลทางจอผลึกเหลว และกลุ่มสุดท้าย ได้แก่ หน่วยปรับเทียบออฟเซตและความไว ร่วมกับเครื่องสถานะจำกัดคอยควบคุมการปรับเทียบตัวตรวจรู้

เนื่องจากวัตถุประสงค์หลักของงานวิจัยเป็นไปเพื่อการศึกษาการออกแบบวงจรในส่วนแอนะล็อกเป็นหลัก การออกแบบวงจรส่วนดิจิทัลจึงใช้โครงสร้างแบบพื้นฐานนั่นคือวงจรเชิงผสม (Combinational circuit) กับวงจรซิงโครนัส (Synchronous circuit) ซึ่งสามารถศึกษาวิธีการออกแบบได้จากตำราการออกแบบวงจรดิจิทัลทั่วไป [36] นอกจากนี้การออกแบบวงจรดิจิทัลจะจำกัดอยู่ที่ระดับเกต ส่วนวงจรในระดับทรานซิสเตอร์นั้นผู้วิจัยจะนำชุดเซลล์มาตรฐาน (Standard cell library) [37] ซึ่งโรงงานเจือสารได้เตรียมไว้มาใช้เพื่อช่วยลดเวลาในการออกแบบและวาดลายวงจรรวม (Layout)



รูปที่ 2-26 แผนภาพบล็อกแสดงส่วนประกอบหลักของวงจรส่วนดิจิทัล

2.4 สรุป

เนื้อหาของบทกล่าวถึงนิยามของตัวตรวจรู้แบบให้กระแสออก และคุณสมบัติที่สำคัญของตัวตรวจรู้ซึ่งจำเป็นต้องทราบ เพื่อออกแบบระบบประมวลผลให้เข้ากันกับตัวตรวจรู้ได้ งานวิจัยของระบบประมวลผลสำหรับตัวตรวจรู้แบบให้กระแสออกมีไม่แพร่หลายนัก และสามารถแบ่งออกได้เป็นกลุ่มหลักสองกลุ่ม คือ โพเทนชิออสแตต และระบบประมวลผลแบบชิปเดี่ยว วงจรของงานวิจัยนี้จัดอยู่ในกลุ่มของระบบประมวลผลแบบชิปเดี่ยว และปรับปรุงจากงานวิจัยของมานะ [8]

นอกจากนี้ยังได้ศึกษาโครงสร้างวงจรที่เหมาะจะนำมาใช้ในการออกแบบ โดยแบ่งระบบออกเป็นส่วนย่อยห้าส่วน ได้แก่ วงจรส่วนหน้า ตัวแปลงแอนะล็อกเป็นดิจิทัล วงจรสร้างแรงดันอ้างอิงแบนด์แกป วงจรปรับเทียบ และวงจรส่วนดิจิทัล โครงสร้างที่เลือกใช้ในการออกแบบแต่ละส่วนเป็นดังนี้

- วงจรส่วนหน้า เลือกวงจรบัฟเฟอร์กระแสแบบชั้นเอความต้านทานขาเข้าต่ำ ซึ่งมีความเป็นเชิงเส้นดี และสามารถกำหนดแรงดันที่ขาเข้าของวงจรได้
- ตัวแปลงแอนะล็อกเป็นดิจิทัล ใช้เอดีซีแบบสี่สโลปซึ่งดัดแปลงจากเอดีซีแบบดูอัล-สโลป และรับสัญญาณเข้าในรูปกระแส

- วงจรสร้างแรงดันอ้างอิงแบนด์แกป ใช้โครงสร้างซึ่งใช้หลักการรวมกระแส โดยไม่มีการชดเชยความโค้ง
- วงจรปรับเทียบ ใช้วงจรหารกระแสเป็นตัวสร้างกระแสขนาดเล็กระดับนาโนแอมแปร์ และวงจรสะท้อนกระแสเป็นแหล่งจ่ายกระแสขนาดใหญ่ระดับไมโครแอมแปร์
- วงจรส่วนดิจิทัล ประกอบด้วยวงจรเชิงผสม และวงจรซิงโครนัส ซึ่งสร้างขึ้นจากชุดเซลล์มาตรฐานของโรงงานเจือสาร

ส่วนรายละเอียดของการออกแบบวงจรนั้นจะกล่าวถึงในบทต่อไป

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย