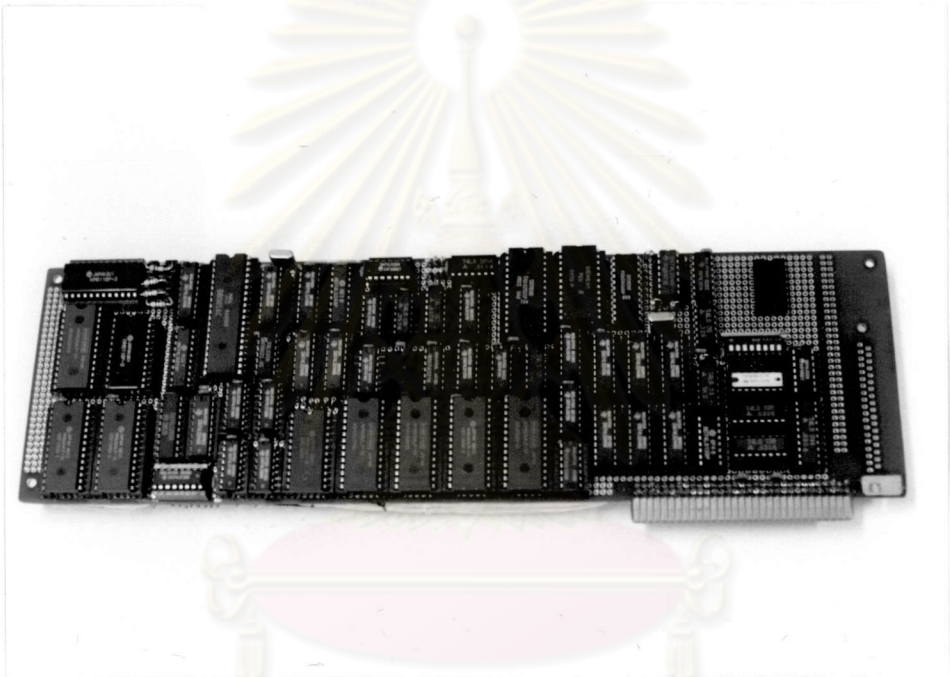
พระบรมราชูปถัมภ์ จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 7

การทดสอบ

7.1 การทดสอบส่วนฮาร์ดแวร์

แผงวงจรควบคุมการสื่อสารที่ใช้ในการทดสอบแสดงไว้ในรูปที่ 7.1



รูปที่ 7.1 แผงวงจรควบคุมการสื่อสาร

การทดสอบในส่วนฮาร์ดแวร์ได้แยกทดสอบเป็นส่วน ๆ ดังนี้คือ

ก. หน่วยความจำร่วม

ข. พอร์ทต่าง ๆ

ค. วงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม

ง. วงจรควบคุมในระดับโปรโตคอลชั้นที่ 2

จ. วงจรควบคุมในระดับโปรโตคอลชั้นที่ 1

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

7.1.1 การทดสอบหน่วยความจำร่วม

หน่วยความจำร่วมบนแผงวงจรแบ่งเป็น 2 ส่วนโดยทั้ง 2 ส่วนจะต่ออยู่กับบัฟเฟอร์เพื่อให้สามารถเข้าใช้งานได้จาก CPU ทั้ง 2 ตัวคือ 8088 และ 8085 การอ้างแอดเดรสจาก 8088 อ้างได้ที่ตำแหน่ง D0000H ถึง D7FFFH และ D8000H ถึง D87FFH และ 8085 สามารถอ้างได้ที่ตำแหน่ง 6000H ถึง DFFFH และ E000H ถึง E7FFH ตามลำดับ การทดสอบทำโดยให้ 8088 เขียนข้อมูลลงในหน่วยความจำและให้ 8085 อ่านขึ้นมาตรวจสอบ และกลับกันโดยทำกับหน่วยความจำทั้ง 2 ส่วนปรากฏว่าได้ผลตามที่ได้ออกแบบไว้

7.1.2 การทดสอบพอร์ทต่าง ๆ

พอร์ทต่างๆ บนแผงวงจรแบ่งเป็น 2 ส่วนคือพอร์ทของ 8088 และของ 8085 ซึ่งประกอบด้วยพอร์ท DPIO พอร์ทสร้างสัญญาณขัดจังหวะ พอร์ทควบคุมการใช้หน่วยความจำร่วมและพอร์ทสั่ง Reset วงจรส่วนต่าง ๆ โดยการถอดรหัสสำหรับพอร์ทเหล่านี้อาศัยไอซี 74LS138 และ 74LS139 การทดสอบทำดังนี้

7.1.2.1 พอร์ท DPIO

เนื่องจากไอซีที่เลือกใช้เป็น DPIO คือ 74LS670 นั้นจะเขียนและอ่านข้อมูลที่ตำแหน่งทางกายภาพต่างกัน โดยอาศัยแอดเดรสเดียวกัน ดังนั้นการทดสอบจึงทำโดยการเขียนจาก 8088 และอ่านเพื่อทดสอบโดย 8085 และกลับกันสำหรับ DPIO ทั้ง 4 พอร์ท ผลการทดสอบเป็นไปตามที่ได้ออกแบบไว้

7.1.2.2 พอร์ทสร้างสัญญาณขัดจังหวะ

พอร์ทสร้างสัญญาณขัดจังหวะจะใช้งานร่วมกับไอซีเบอร์ 7474 เพื่อให้สามารถคงสถานะของสัญญาณที่จะนำไปเข้าขา INT ของ CPU ที่เกี่ยวข้องได้ ดังแสดงในรูปที่ 5.8 ในส่วนของ U44A สำหรับสัญญาณขัดจังหวะที่จะส่งให้ 8088 และสำหรับการสร้างสัญญาณขัดจังหวะจาก 8088 ทำโดยอาศัยวงจรถอดรหัสดังได้แสดงในรูปที่ 5.10 ในส่วนของ U50B และเมื่อ CPU ของ PC ได้รับก็จะจัดการลบล้างโดยอาศัยพอร์ทของตัวมันเองผ่าน 7474เช่นเดียวกัน การทดสอบทำโดยใช้คำสั่ง OUT จาก CPU ที่ต้องการสร้างสัญญาณขัดจังหวะและตรวจสอบสัญญาณที่ได้ที่ขา Q ของ U44A หรือขา Y0 ของ U50B จากนั้นให้ CPU ที่เป็นตัวรับสัญญาณขัดจังหวะใช้คำสั่ง OUT มาทำการลบล้างสัญญาณที่ได้รับนั้น ผลการทดสอบเป็นไปตามที่ได้ออกแบบไว้

7.1.2.3 พอร์ทควบคุมการใช้งานหน่วยความจำร่วม

พอร์ทนี้ใช้งานร่วมกับไอซีเบอร์ 74LS157 เพื่อเลือกสัญญาณควบคุม (RD,WR และ CS)ที่เหมาะสมสำหรับการเข้าใช้หน่วยความจำ และเนื่องจากการใช้งานหน่วยความจำร่วมนี้จะสั่งงานได้จาก 8088 ดังนั้นการทดสอบจึงให้ 8088 สั่งเปิด/ปิดบัฟเฟอร์และสัญ

ญาณควบคุมต่าง ๆ โดยการใช้คำสั่ง OUT เมื่อ 8088 ต้องการใช้หน่วยความจำ ในขณะเดียวกันให้ 8085 มาอ่านและเขียนหน่วยความจำส่วนที่ 8088 ใช้งานอยู่ ขั้นต่อไปให้ 8085 เป็นผู้ใช้หน่วยความจำและให้ 8088 มาอ่านและเขียน ผลการทดสอบได้ผลตามที่ได้ออกแบบไว้คือขณะที่ 8088 ใช้งานอยู่ 8085 จะอ่านและเขียนไม่ได้และกลับกัน

7.1.2.4 พอร์ทสร้างสัญญาณ Reset

พอร์ทนี้ใช้งานร่วมกับไอซีเบอร์ 7474 สำหรับสร้างสัญญาณ Reset ให้กับไอซี HSCC,ICC และ SBC ดังได้แสดงไว้ในรูปที่ 5.10 ในส่วนของ U48B การทดสอบทำโดยใช้คำสั่ง OUT จาก 8088 และตรวจสอบสัญญาณออกที่ได้ที่ขา Q และ $\overline{Q}$ ของ 7474 และให้ 8085 อ่านค่าในรีจิสเตอร์ต่าง ๆ ของ HSCC และ ICC ภายหลังการได้รับสัญญาณ Reset เพื่อตรวจสอบ ผลการทดสอบได้ผลตามที่ได้ออกแบบไว้ และค่าที่อ่านได้จากรีจิสเตอร์ต่างๆ ตรงตามที่ระบุในเอกสารกำกับการใช้งานของไอซี

7.1.3 การทดสอบวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม

วงจรส่วนนี้คือไอซี HSCC การทดสอบทำดังนี้

ก. ทดสอบการอ่านและเขียนรีจิสเตอร์ต่าง ๆ เฉพาะกับรีจิสเตอร์ที่สามารถอ่านและเขียนได้ ผลปรากฏว่าสามารถอ่านและเขียนข้อมูลได้ถูกต้อง

ข. ทดสอบการสั่งงาน HSCC เพื่อตรวจสอบผลตอบสนองที่ได้จากการเขียนคำสั่งลงไป การทดสอบได้เขียนข้อมูลกำหนดโมดการทำงานให้ HSCC และเขียนคำสั่งลงในรีจิสเตอร์ CMDR จากนั้นอ่านผลที่ได้จากรีจิสเตอร์ ISTA,STAR และ EXIR ปรากฏว่า HSCC สามารถรับคำสั่งและการกำหนดค่าตัวแปรต่าง ๆ และตอบสนองคำสั่งต่าง ๆ ได้ตามที่ระบุไว้ในเอกสารกำกับการใช้งานไอซี

ค. ทดสอบการทำงานในโมดทดสอบ โดยกำหนดโมดการทำงานในรีจิสเตอร์ร่วมคือ CCR,TCR และ BGR และรีจิสเตอร์ MODE และเขียนข้อมูล '1' ลงในบิต TLP ของรีจิสเตอร์ MODE ซึ่งผลที่ตามมาคือ HSCC จะจัดการต่อขาข้อมูลออกเข้ากับขาข้อมูลเข้า จากนั้นทำการเขียนข้อมูลลงในรีจิสเตอร์ XFIFO และส่งออกไปโดยคำสั่งในรีจิสเตอร์ CMDR เพื่อทดสอบการทำงานทั้งหมดของ HSCC ผลปรากฏว่า HSCC สามารถทำงานได้ถูกต้องตามที่ระบุในเอกสารกำกับการใช้งาน

7.1.4 การทดสอบวงจรควบคุมในระดับโปรโตคอลชั้นที่ 2

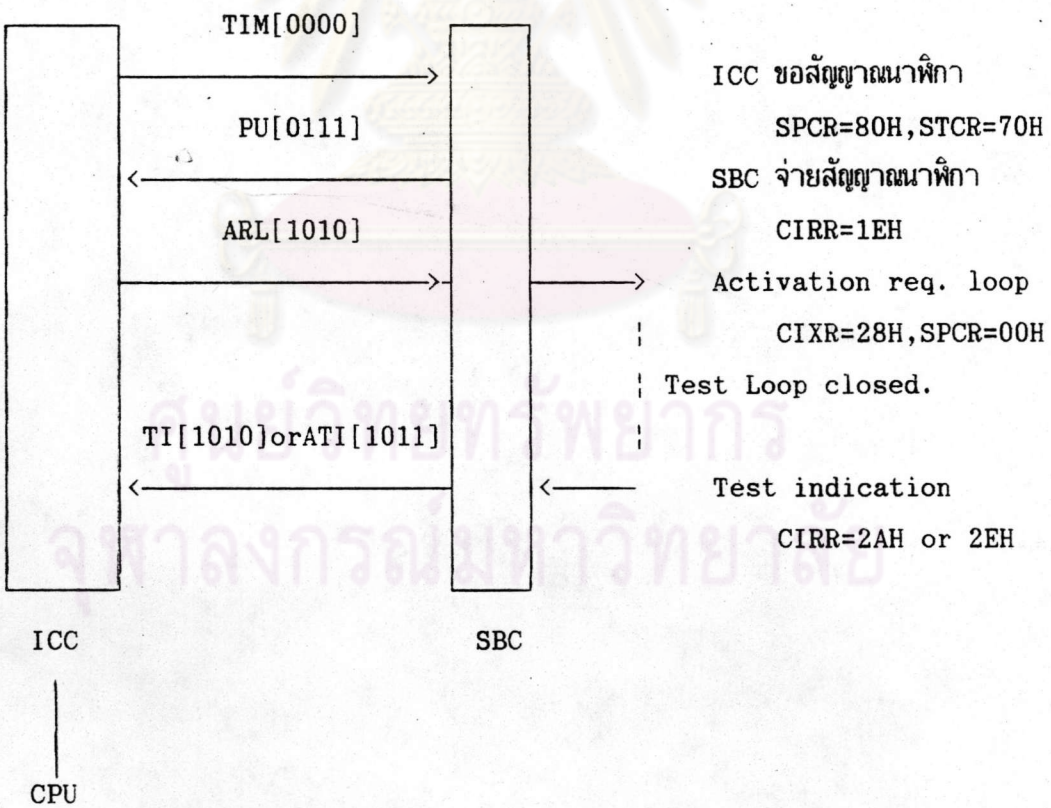
วงจรส่วนนี้คือไอซี ICC และเนื่องจากการทำงานของไอซีตัวนี้ คล้ายกันมากกับไอซี HSCC ยกเว้นส่วนที่เกี่ยวข้องกับไอซี SBC ดังนั้นการทดสอบในส่วนที่ไม่เกี่ยวข้องกับ SBC จึงทำด้วยวิธีการเดียวกันกับการทดสอบในหัวข้อ 7.1.3 ซึ่งผลที่ได้ปรากฏว่า ICC สามารถทำงานได้ถูกต้องตามที่ระบุมาในเอกสารกำกับการใช้งาน

ในส่วนที่เกี่ยวข้องกับ SBC การทดสอบที่ทำได้จะกล่าวถึงในหัวข้อ 7.1.5

7.1.5 การทดสอบวงจรควบคุมในระดับโปรโตคอลชั้นที่ 1

วงจรส่วนนี้คือไอซี SBC การทดสอบทำโดยอาศัยการอ่านและเขียนรีจิสเตอร์ของ ICC และเนื่องจากในการทำงานเดี่ยว ๆ ของ SBC นั้นจะสามารถทดสอบได้เฉพาะบางคำสั่งเท่านั้นซึ่งในที่นี้ได้ทดสอบให้ ICC ขอสัญญาณนาฬิกาจาก SBC โดยการเขียนข้อมูลในรีจิสเตอร์ SPCR และตรวจจับสัญญาณที่ขา DCL และ FSC ของ SBC และอ่านข้อมูลในรีจิสเตอร์ CIRR ผลปรากฏว่า SBC สามารถจ่ายสัญญาณนาฬิกาให้กับ ICC และ HSCC ได้ถูกต้อง และผลที่ได้จากรีจิสเตอร์ CIRR ก็เป็นไปตามที่ระบุในเอกสารกำกับการใช้งาน

จากนั้นทดสอบการลูป(Loop)วงจรด้านที่ทำหน้าที่เชื่อมโยงกับจุดอ้างอิง S เพื่อตรวจสอบการทำงานของวงจรส่วนนี้ การทดสอบทำโดยการเขียนคำสั่งลงในรีจิสเตอร์ CIXR และอ่านผลที่ได้จากรีจิสเตอร์ CIRR ของ ICC ผลการทดสอบแสดงไว้ในรูปที่ 7.2 ซึ่งแสดงว่าวงจรส่วนนี้ทำงานได้ถูกต้องตามที่ระบุในเอกสารกำกับการใช้งาน



[....] - รหัสคำสั่งที่เขียนและอ่านรีจิสเตอร์ CIXR และ CIRR ตามลำดับ

รูปที่ 7.2 ผลการทดสอบการลูปวงจรเชื่อมโยงกับจุดอ้างอิง S

7.2 การทดสอบส่วนซอฟต์แวร์

ซอฟต์แวร์ที่ใช้ในการทดสอบแบ่งเป็น 2 ส่วนคือส่วนที่ใช้ภาษาแอสเซมบลีของ 8085 ซึ่งเป็นซอฟต์แวร์ควบคุมการทำงานของแผงวงจร และส่วนที่ใช้ภาษาซีสำหรับเป็นตัวเชื่อมโยงระหว่างผู้ใช้กับแผงวงจร

7.2.1 ซอฟต์แวร์ภาษาแอสเซมบลี

ซอฟต์แวร์ส่วนนี้จะทำหน้าที่ควบคุมการทำงานของแผงวงจรเป็นหลัก โดยการทำงานจะขึ้นอยู่กับสัญญาณขัดจังหวะที่ 8085 ได้รับและนอกจากนั้นยังทำหน้าที่ตรวจสอบและแก้ไขสถานะการติดต่อระหว่างแผงวงจรกับ PC ด้วย การทดสอบทำโดยทดสอบโปรแกรมซึ่งเขียนเป็นรูทีนย่อย (Subroutine) ตามลำดับเหตุการณ์ที่คาดว่าจะเกิดขึ้นเมื่อใช้งานจริง และตรวจสอบผลที่ได้จากรูทีนย่อย ๆ เหล่านั้นโดยการอ่านค่าจากหน่วยความจำและแสตก (Stack) ที่เกี่ยวข้อง หลังจากนั้นจึงเอารูทีนย่อยนี้มาทดสอบรวมอีกครั้งหนึ่ง การทดสอบในช่วงแรกๆ มีข้อผิดพลาดของโปรแกรมที่เกิดจากการอ่านและเขียนข้อมูลในแสตกผิดตำแหน่ง การกระโดดไปทำงานในตำแหน่งที่ไม่เหมาะสม การกำหนดและตรวจสอบตัวแปรที่ใช้เก็บสถานะต่าง ๆ ผิดพลาด ซึ่งเมื่อได้มีการแก้ไขในภายหลังโปรแกรมจึงทำงานได้ตามที่ต้องการ

7.2.2 ซอฟต์แวร์ภาษาซี

ซอฟต์แวร์ส่วนนี้จะทำหน้าที่เป็นตัวเชื่อมโยงระหว่างผู้ใช้กับแผงวงจร และการทำงานจะขึ้นอยู่กับสัญญาณขัดจังหวะจากแผงวงจรและจากผู้ใช้ ดังนั้นการทดสอบจึงทำในลักษณะที่ได้กำหนดสถานะต่างๆ ลงใน DPIO และสั่งงานจากคีย์บอร์ดเพื่อตรวจสอบการทำงานและสถานะที่ได้จากการทำงานของโปรแกรมส่วนนั้น ๆ นอกจากนั้นยังได้ทดสอบกรณีที่ได้รับสัญญาณขัดจังหวะจากแผงวงจรด้วย ผลการทดสอบในขั้นแรกจะมีปัญหาในเรื่องการตรวจสอบสถานะหลังจากได้รับสัญญาณขัดจังหวะจากแผงวงจร ทำให้โปรแกรมทำงานสับสน แต่เมื่อได้รับการแก้ไขโปรแกรมก็ทำงานได้ตามที่ต้องการ

7.3 วิธีการทดสอบแผงวงจร

เนื่องจากไม่มีข่ายจริงสำหรับการทดสอบ ดังนั้นในการทดสอบจึงได้ทำเฉพาะการทำงานเดี่ยวของแผงวงจรเท่านั้น และการทดสอบในส่วนของช่องสัญญาณ B ได้ทดสอบเฉพาะการรับส่งข้อมูลคอมพิวเตอร์จากแผ่นจานแม่เหล็กของ PC เท่านั้น ส่วนข้อมูลอื่นเช่นเสียง นั้น เนื่องจากระบบที่มีอยู่จริงไม่สามารถเข้ากันได้กับการทำงานในส่วนนี้ของแผงวงจรจึงไม่มีการทดสอบ

การทำงานรวมทั้งหมดของแผงวงจร เนื่องจากว่าในการใช้งานวงจรเชื่อมโยงที่จุดอ้างอิง S ผ่าน SBC นั้นวงจรเชื่อมโยงจะสามารถรับส่งสัญญาณได้ต่อเมื่อได้รับการ activated ตามขบวนการ activation ซึ่งเป็นฟังก์ชันในระดับโปรโตคอลชั้นที่ 1 แล้วเท่านั้น และการทำ

งานตามขบวนการนี้ก็คือการแลกเปลี่ยนสัญญาณที่เรียกว่าสัญญาณ Info ระหว่างอุปกรณ์ 2 ตัวที่ต่ออยู่ที่ปลายของวงจรซึ่งในที่นี้คือ SBC

ในการทดสอบถ้าทำโดยอาศัยการต่อเชื่อมแผงวงจรที่เหมือนกันเข้าหากัน จะไม่สามารถสั่งให้ SBC ทำขบวนการ activation ได้เนื่องจากว่าในการโปรแกรมให้ SBC ทำงานใน TE นั้น SBC จะส่งสัญญาณ Info ได้เฉพาะ Info0,Info1 และ Info3 และจะรับสัญญาณ Info0 ,Info2 และ Info4 ดังนั้นถ้าใช้แผงวงจรที่เหมือนกัน SBC จะไม่รู้จักสัญญาณ Info1 และ Info3 ที่ได้รับ ซึ่งเป็นสัญญาณมาตรฐานในการ activate วงจรเชื่อมโยงและเมื่อไม่สามารถ activate SBC ได้ ก็จะไม่สามารถส่งข้อมูลออกไปที่จุดเชื่อมโยงได้เช่นกัน

กรณีที่จะทดสอบขบวนการ activate จะสามารถทำได้โดยการ Emulate NT ขึ้นมาโดยอาศัย SBC และ ICC เพื่อทำหน้าที่ตอบรับสัญญาณ Info1 และ Info3 แต่การใช้งาน SBC ในกรณีนี้จะทำงานต่างกับการใช้งานที่ TE และทั้ง SBC และ ICC จะต้องได้รับสัญญาณนาฬิกาขนาด 512 และ 8 kHz จากชุมสายเพื่อการทำงาน ในขณะที่ถ้าใช้ที่ TE SBC จะเป็นตัวที่จ่ายสัญญาณนาฬิกาให้กับ HSCC และ ICC นอกจากนั้น NT ที่จะ Emulate ขึ้นมาก็จะยังไม่สามารถทำการทดสอบในระดับโปรโตคอลชั้นที่ 2 ได้เพราะ NT นี้ไม่สามารถโต้ตอบกับ TE ในระดับโปรโตคอลชั้นที่ 2 ได้ ดังนั้นการทดสอบโดยวิธีนี้จึงยกเลิกไป

ภายในตัว SBC นั้นมีฟังก์ชันที่สำคัญฟังก์ชันหนึ่งคือ CPU สามารถสั่งให้ SBC ทำการ Close loop วงจรที่จุดเชื่อมโยง S ได้โดยสั่งผ่าน ICC และในกรณีที่จะสั่ง Close loop นี้เพื่อทำการทดสอบ ถ้าหากกระทำที่ SBC ที่อยู่ภายใน NT ที่จะ Emulate จะให้ผลเช่นเดียวกับการทำที่ SBC ที่อยู่ภายใน TE เพราะ NT นี้ก็จะยังไม่สามารถทำการทดสอบในระดับโปรโตคอลชั้นที่ 2 ได้ ดังนั้นในการทดสอบแผงวงจรจึงได้เลือกวิธีการ Close loop SBC ที่อยู่บนแผงวงจรซึ่งได้รับการกำหนดให้ทำงานในโมด TE ทำให้สามารถใช้แผงวงจรเพียงแผงเดียวสำหรับการทดสอบทั้งในระดับโปรโตคอลชั้นที่ 1 และ 2 ได้

การทดสอบโดยการ Close Loop ภายใน TE(โดยทำที่ SBC ใน TE)นั้น ในขั้นตอนการ activate สามารถแทนได้ด้วยคำสั่ง ARL (Activation Request Loop) ซึ่งตัว SBC เมื่อได้รับคำสั่งนี้จะทำการต่อขาข้อมูลเข้าและขาข้อมูลออกเข้าด้วยกัน และจะทำการเข้าจังหวะ (Synchronize) Loop นี้ เมื่อ SBC สามารถเข้าจังหวะได้แล้ว(ซึ่งเปรียบเสมือนวงจรเชื่อมโยงที่จุด S ได้รับการ activated) SBC จะแจ้งให้ ICC ทราบโดยส่งรหัส TI(Test Indication) มาในรีจิสเตอร์ CIRR หลังจากที่ ICC ได้รับรหัสนี้แล้วก็จะสามารถส่งสัญญาณข้อมูลแบบ Transparent ผ่าน Loop นี้ได้ ทั้งนี้เพราะวงจรเชื่อมโยงได้รับการ activated แล้วโดยคำสั่ง AR(Activate Request) ที่ SBC ต้องการ(ระบุไว้ในรายละเอียดของ SBC) และ

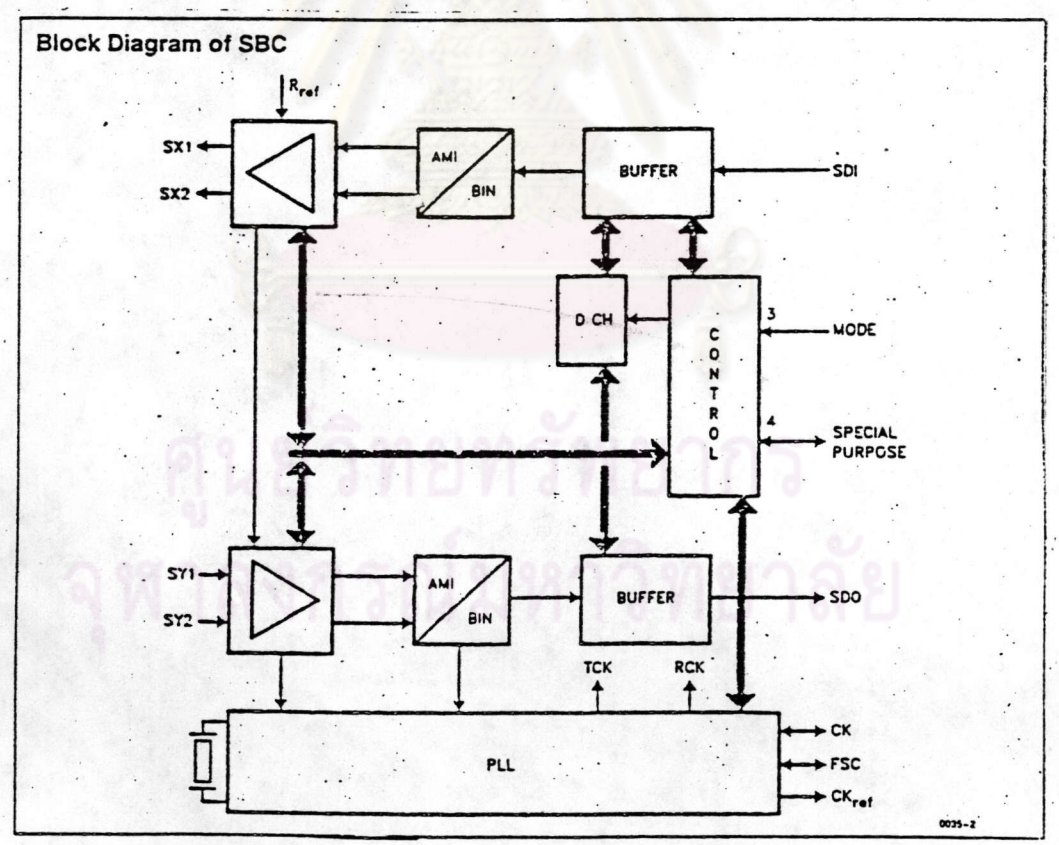
ขั้นตอนต่าง ๆ ได้แสดงไว้แล้วในรูปที่ 7.2

7.4 การทดสอบในระดับโปรโตคอลชั้นที่ 1

การทดสอบในระดับโปรโตคอลชั้นที่ 1 นั้น เนื่องจากเป็นการทดสอบโดยการ Close loop ที่ตัว SBC ทำให้ไม่สามารถตรวจสอบสัญญาณที่จุดเชื่อมโยง S ได้เนื่องจากในโมดนี้ SBC จะไม่ส่งสัญญาณใด ๆ ออกไปที่จุดเชื่อมโยง แต่สามารถอธิบายได้ด้วยเหตุผลต่อไปนี้

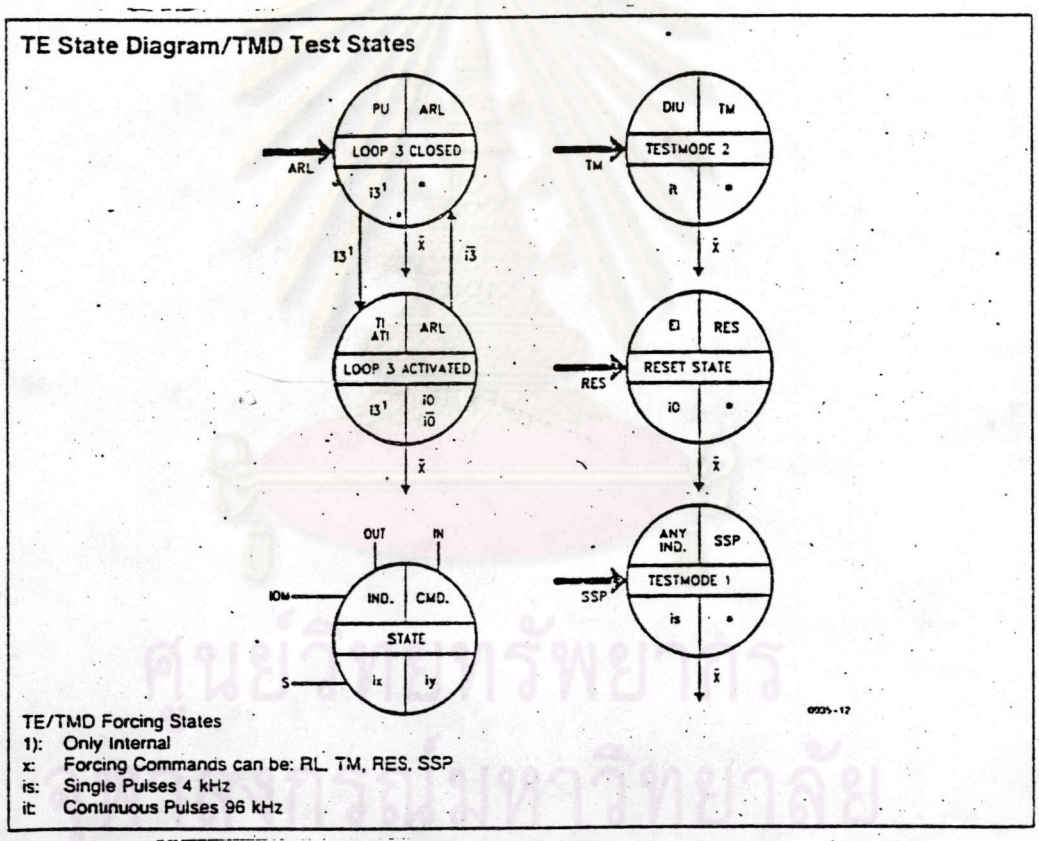
จากรายละเอียดในเอกสารของ SBC(ภาคผนวก ค.) และ CCITT Recs.[2] จะสามารถสรุปได้ดังนี้

ก. จากบล็อกไดอะแกรมของ SBC ซึ่งได้นำมาแสดงในรูปที่ 7.3 การ Close loop เพื่อการทดสอบจะเป็นการกระทำโดยผ่านเครื่องส่งและเครื่องรับของ SBC ดังนั้นข้อมูลที่ส่งผ่าน loop นี้จะประกอบด้วยข้อมูลขนาด 48 bit/frame ซึ่งเป็นเฟรมในระดับโปรโตคอลชั้นที่ 1 สำหรับส่งออกไปในวงจรเชื่อมโยงที่จุด S



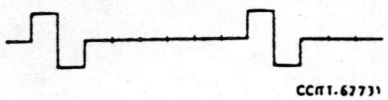
รูปที่ 7.3 บล็อกไดอะแกรมของ SBC

ข. จากไดอะแกรมสถานะของ SBC ในขณะที่อยู่ในโมดทดสอบซึ่งได้นำมาแสดงในรูปที่ 7.4 ในกรณีที่ใช้คำสั่ง ARL เพื่อการ Close loop นั้น จะเห็นได้ว่าเมื่อ SBC ได้รับคำสั่งนี้จะส่งสัญญาณ Info3 ออกไปและเมื่อสามารถเข้าจังหวะได้แล้ว ก็จะได้รับสัญญาณ Info3 (invert) ที่เครื่องรับพร้อมกับที่ ICC ได้รับการแจ้งด้วยรหัส TI หรือ ATI (Awake Test Indication) ในรีจิสเตอร์ CIRR



รูปที่ 7.4 ไดอะแกรมสถานะของ SBC ในโมดทดสอบ

ค. จากนิยามของสัญญาณ Info ที่รับส่งผ่านจุด S ซึ่งได้นำมาแสดงในรูปที่ 7.5 นั้น สัญญาณ Info3 ที่ SBC ส่งออกไปเมื่อมีการขอ Close loop จะประกอบด้วยข้อมูลทั้งของช่องสัญญาณ B และ D

Signals from NT to TE	Signals from TE to NT
Info 0 No signal	Info 0 No signal
	Info 1 A continuous signal with the following pattern: Positive "zero", negative "zero", six "ones"  CCITT-62731 Nominal Bit rate = 192 kbit/s
Info 2 Frame with all bits of B, D and D-echo channels set to binary zero. Bit A set to zero. N and L bits according to the normal coding rules.	
	Info 3 Synchronized frames with operational data on B and D channels.
Info 4 Frames with operational data on B, D and D-echo channels. Bit A set to 1.	

รูปที่ 7.5 นิยามของสัญญาณ Info

ดังนั้นจากเหตุผลเหล่านี้จึงสรุปได้ว่า การ Close loop โดยอาศัยคำสั่ง ARL เป็นการกระทำที่วงจรขาออกของเครื่องส่งและวงจรขาเข้าของเครื่องรับ ซึ่งเป็นการแสดงว่าแผงวงจรสามารถทำฟังก์ชันในระดับโปรโตคอลชั้นที่ 1 ได้

7.5 การทดสอบในระดับโปรโตคอลชั้นที่ 2

หลังจากที่สามารถ Close Loop ที่ SBC โดยคำสั่ง ARL และได้รับคำตอบด้วยรหัส TI แล้วก็จะสามารถส่งข้อมูลแบบ Transparent ผ่าน Loop นี้ได้ จากนั้นได้ทำการทดสอบโปรแกรม LAPD ตามขั้นตอนดังต่อไปนี้

7.5.1 ทดสอบการทำขบวนการเชื่อมต่อวงจรข้อมูล(Link establishment)

โดยส่งเฟรม SABM ออกไปเพื่อทำขบวนการเชื่อมต่อวงจรข้อมูล ผลที่ได้คือสามารถได้รับเฟรมคำตอบ UA และเชื่อมต่อวงจรได้ และเนื่องจากเป็นการทดสอบโดยแผงวงจรเดียวขั้นตอนต่าง ๆ จึงเป็นดังนี้

ก. ขณะที่อยู่ในสถานะ 4(พร้อมที่จะเชื่อมต่อวงจร)ส่งเฟรม SABM,P=1 และเข้าสู่สถานะ 5(รอการเชื่อมต่อ)

ข. เมื่ออยู่ในสถานะ 5 ได้รับเฟรม SABM,P=1 จะตอบกลับด้วยเฟรม UA,F=P และยังคงอยู่ในสถานะ 5 เหมือนเดิม

ค. เมื่อได้รับเฟรม UA,F=1 ขณะที่อยู่ในสถานะ 5 เป็นการแสดงว่า

สามารถเชื่อมต่อวงจรข้อมูลได้ จากนั้นจะเข้าสู่สถานะ 7(วงจรข้อมูลเชื่อมต่อ) ซึ่งจะสามารถรับส่งข่าวสารซิกแนลลิงในช่องสัญญาณ D ได้

ขั้นต่อไปได้ทดสอบการส่งเฟรม SABM โดยที่ไม่ได้ Close loop ผลที่ได้คือ เมื่อไม่ได้รับคำตอบภายในเวลาที่กำหนด(T200 ในที่นี้คือ 2 วินาที)จะส่งเฟรม SABM ออกไปใหม่และเมื่อครบจำนวนครั้งการส่งใหม่มากที่สุด(N200 ในที่นี้คือ 3 ครั้ง)โดยไม่ได้รับคำตอบการเชื่อมต่อวงจรข้อมูลครั้งนั้นถือได้ว่าไม่สำเร็จและจะกลับไปอยู่ในสถานะ 4 ใหม่

7.5.2 <u>ทดสอบการทำขบวนการปลดวงจรข้อมูล(Release link)</u>

โดยส่งเฟรม DISC เพื่อทำขบวนการปลดวงจรข้อมูล ผลที่ได้คือสามารถได้รับเฟรมคำตอบ UA และปลดวงจรได้ และเนื่องจากเป็นการทดสอบโดยแผงวงจรเดียวขั้นตอนจึงเป็นดังนี้

ก. เมื่ออยู่ในสถานะ 7 ส่งเฟรม DISC,P=1 แล้วเข้าสู่สถานะ 6(รอการปลดวงจร)

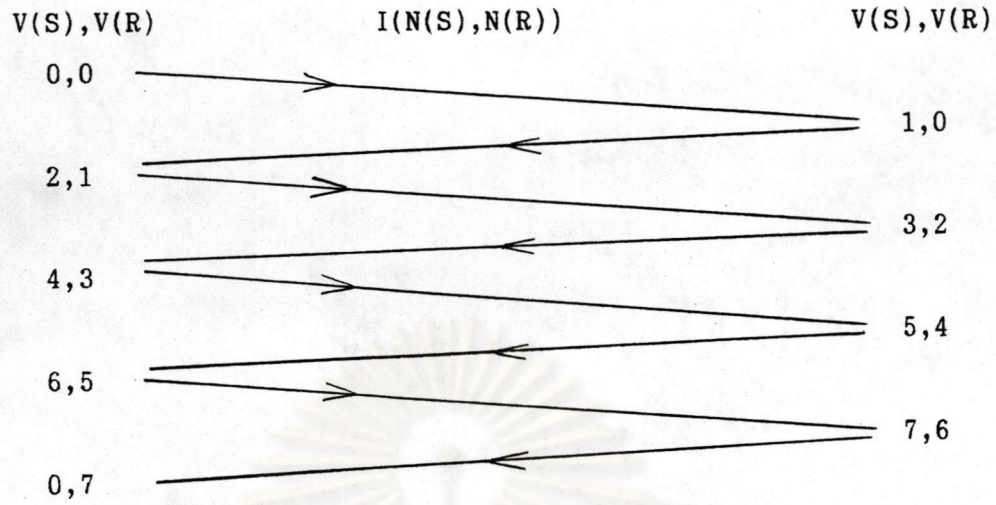
ข. เมื่ออยู่ในสถานะ 6 ได้รับเฟรม DISC,P=1 จะส่งเฟรม UA,F=P ออกไปและยังคงอยู่ในสถานะ 6 เหมือนเดิม

ค. เมื่อได้รับเฟรม UA,F=1 จะเข้าสู่สถานะ 4 ซึ่งแสดงว่าการปลดวงจรข้อมูลประสบผลสำเร็จ

7.5.3 <u>ทดสอบการรับส่งข่าวสารซิกแนลลิงด้วยเฟรม I</u>

หลังจากได้เชื่อมต่อวงจรข้อมูลเรียบร้อยแล้ว จากนั้นได้ทดสอบการส่งข่าวสารที่ได้รับจากผู้ใช้ผ่านทางคีย์บอร์ด ซึ่งถือได้ว่าเป็นข่าวสารซิกแนลลิงไปในส่วนข่าวสารของเฟรม I ผลที่ได้คือ ถ้าหากทำการตรวจสอบลำดับของเฟรมที่ได้รับโดยโปรแกรมซึ่งกำหนดให้มีจำนวนเฟรมที่ค้างการตอบรับได้เป็น 7 (ค่า k) จะสามารถส่งเฟรม I ได้ถึงเฟรมที่ k หลังจากนั้นจะเกิดเหตุการณ์ N(R) Error เป็นผลให้มีการทำขบวนการ N(R) Error Recovery ซึ่งจะมีการเชื่อมต่อวงจรข้อมูลใหม่และเมื่อสามารถเชื่อมต่อได้ก็จะส่งเฟรม I ที่ค้างอยู่ออกไปใหม่ ซึ่งจุดนี้ถ้าเป็นการใช้งานจริงจะไม่มีปัญหา เนื่องจากการเพิ่มค่าตัวแปรของโปรแกรมคือ V(A) V(S) V(R) N(S) และ N(R) จะเป็นไปตามปกติ และลำดับการทดสอบการส่งเฟรม I ตั้งแต่เฟรมที่ I(0,0) จนถึงเฟรมที่ทำให้เกิด N(R) Sequence Error ได้แสดงในรูปที่ 7.6 และถ้ากำหนดให้ค่า k เป็น 1 โปรแกรมจะสามารถรับส่งเฟรมได้ถูกต้อง

ซึ่งจุดที่ V(S) กลับไปเป็นค่า 0 ใหม่จะทำให้ไม่สามารถรับเฟรมที่ส่งออกไปโดยมีเลขลำดับเป็น (7,7) ได้จึงทำให้เกิด N(R) Sequence Error ขึ้น



รูปที่ 7.6 การรับส่งเฟรม I ในการทดสอบที่ค่า k = 7

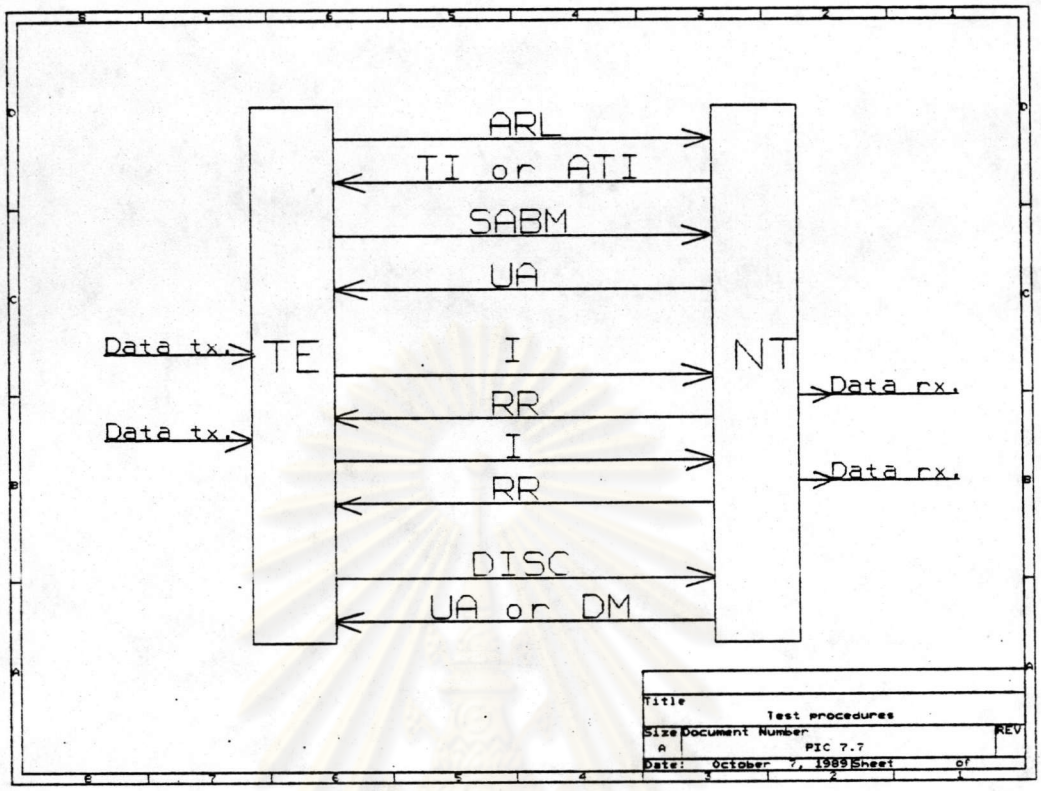
จากนั้นได้ทดสอบการส่งเฟรม I โดยมีแอดเดรสไม่ตรงกับของผู้รับ ผลที่ได้คือ เฟรม I ที่ส่งออกไปไม่ได้รับการตอบรับภายในระยะเวลา T200 ซึ่งได้กำหนดไว้ภายใน ICC ทำให้มีการส่งเฟรม RR ออกไปเพื่อสอบถามสถานะของผู้รับและเมื่อครบจำนวน N200 ครั้งแล้ว ยังไม่ได้รับคำตอบก็จะส่งเฟรม I ออกไปใหม่และจะทำการส่งเฟรม I และเฟรม RR ออกไปจนครบจำนวน N200 ครั้งเมื่อยังไม่ได้รับคำตอบก็จะเข้าสู่ขบวนการปลดวงจรข้อมูลโดยการส่งเฟรม DISC และเมื่อไม่ได้รับคำตอบด้วยเฟรม UA หรือ DM ภายในการส่งเฟรม DISC จำนวน N200 ครั้ง ก็จะเข้าสู่สถานะ 4 โดยอัตโนมัติ

และสามารถเขียนไดอะแกรมการทดสอบรวมได้ดังรูปที่ 7.7

7.6 การทดสอบการรับส่งข้อมูลในช่องสัญญาณ B

การทดสอบในส่วนนี้เป็นการรับส่งข้อมูลคอมพิวเตอร์จากแผ่นจานแม่เหล็กของ PC ผ่าน HSCC โดยส่งข้อมูลครั้งละน้อยกว่า 32 ไบต์(เนื่องจาก FIFO ของ HSCC จะรับข้อมูลได้มากที่สุดครั้งละ 32 ไบต์) ปรากฏว่าสามารถทำการส่งออกไปและรับเข้ามาได้ถูกต้อง และถ้าจะส่งข้อมูลที่มีความยาวเกิน 32 ไบต์จะต้องส่งออกจาก PC หลายครั้ง

การกำหนดช่องสัญญาณ B ให้กับผู้ที่ขอใช้เพื่อการส่งข้อมูลนั้น ชุมสายของข่าย ISDN จะเป็นผู้กำหนดให้เมื่อมีการขอโดย TE ภายหลังจากที่ได้ทำขบวนการเชื่อมต่อวงจรข้อมูล และขบวนการเจรจาเพื่อกำหนด(Set up)คุณสมบัติของวงจรข้อมูลในช่องสัญญาณ B ซึ่งเป็นการทำโดยอาศัยการส่งข่าวสารจากชั้นที่ 3 ไปในส่วนข่าวสารของเฟรม I ภายหลังจากที่ได้เชื่อมต่อวงจรข้อมูลเป็นที่เรียบร้อยแล้ว และสำหรับกับ HSCC นั้นการกำหนดจะทำโดยอาศัยรีจิสเตอร์ภายในของ ICC และสัญญาณ FSC จาก SBC ร่วมกัน และเนื่องจากสัญญาณ FSC นั้นถือได้ว่าเป็นสัญ



รูปที่ 7.7 ขั้นตอนรวมการทดสอบ

ญาณที่กำหนดการส่งข้อมูลออกให้กับ HSCC โดยจะต่อเข้ากับขา TxCLK ของ HSCC ซึ่งถ้าสัญญาณเข้าขานี้เป็น '1' HSCC จะสามารถส่งข้อมูลออกได้ ดังนั้นการกำหนดช่องสัญญาณ B ให้ HSCC จึงต้องทำให้สอดคล้องกับสัญญาณ FSC ที่ได้รับและสำหรับบนแผงวงจรนี้ HSCC ได้รับสัญญาณ '1' จาก FSC ที่ขา TxCLK ในช่วงสำหรับช่องสัญญาณ B2 (ตามรายละเอียดของ SBC) ดังนั้นจะสามารถกำหนดช่องสัญญาณ B2 เท่านั้นให้กับ HSCC และช่องสัญญาณ B1 จะเป็นของพอร์ท SIP หรือจากพอร์ท SSI ที่ได้รับสัญญาณ FSC กลับกันกับที่ HSCC ได้รับ

7.7 สรุป

จากการทดสอบที่ได้กล่าวมาแล้ว จะสามารถสรุปได้ว่า แผงวงจรสามารถทำงานในระดับโปรโตคอลชั้นที่ 1 และ 2 ได้ตามที่ต้องการ