บทที่ 4

การออกแบบชิปแยกสัญญาณซิงก์ที่ใช้วงจรแคลมป์แบบสวิตช์

ในบทนี้จะกล่าวถึงการออกแบบวงจรแยกสัญญาณซิงก์ที่ใช้วงจรแคลมป์แบบสวิตช์ลงเป็นชิปวงจรรวมโดยใช้เทคโนโลยีซีมอส เทคโนโลยีที่ใช้ในบทนี้เป็นเทคโนโลยีซีมอส MOSIS/Orbit SCNA 1.2μm (ดูภาคผนวก ก.) ซอฟต์แวร์ช่วยในการออกแบบได้แก่ Tanner Tools Pro for Windows ซึ่งประกอบด้วยซอฟต์แวร์จำลองการทำงานของวงจร T-Spice Pro เวอร์ชัน 4.02 [5] และซอฟต์แวร์ออกแบบเลย์เอาต์ (layout) ของอุปกรณ์ L-Edit Pro เวอร์ชัน 6.02 [6] จำลองการทำงานด้วยแบบจำลองมอสทรานซิสเตอร์ระดับที่ 3 [4]

4.1. ข้อกำหนดคุณสมบัติของวงจรที่จะออกแบบ

ข้อกำหนดคุณสมบัติของวงจรที่จะออกแบบขึ้นมามีดังต่อไปนี้

1) ทำงานโดยใช้ไฟเลี้ยง +5 โวลต์ และ 0 โวลต์

2) ทำงานกับสัญญาณภาพโทรทัศน์แบบรวมขาเข้าขนาด 1 โวลต์จากยอดถึงยอด

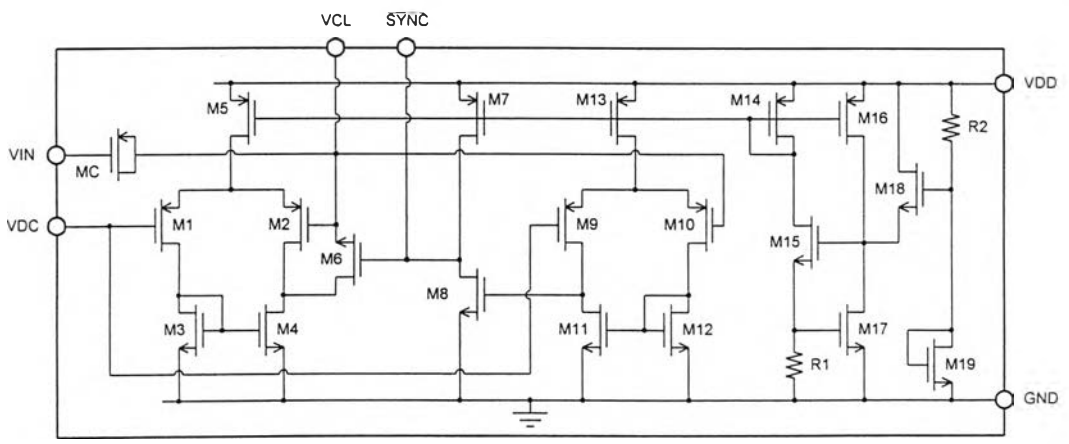
3) ระดับไฟตรงในการแคลมป์ 1 ถึง 3 โวลต์

4) ค่าผิดพลาดสูงสุดของระดับการแคลมป์ไม่เกิน 50 มิลลิโวลต์

5) แยกสัญญาณซิงก์ได้เป็นสัญญาณระดับตรรกะซีมอส

4.2. แผนผังวงจรที่ออกแบบ

ชิปแยกสัญญาณซิงก์โดยใช้วงจรแคลมป์แบบสวิตช์ที่ออกแบบขึ้นมีผังวงจรดังรูปที่ 24.



รูปที่ 24. ผังวงจรของชิปแยกสัญญาณซิงก์โดยใช้วงจรแคลมป์แบบสวิตช์

วงจรที่ออกแบบขึ้นแบ่งออกได้เป็นสามส่วนคือ

1) วงจรแคลมป์แบบสวิตช์ ประกอบด้วยวงจรขยายผลต่างทรานสคอนดัคแตนซ์ชนิดที่มีทรานซิสเตอร์ขาเข้าเป็นชนิดพี มอสสวิตช์ และตัวเก็บประจุ

2) วงจรเปรียบเทียบระดับแรงดัน ใช้วงจรเปรียบเทียบแรงดันสองขั้นเพื่อช่วยขับให้สัญญาณออกมีค่าสูงสุดได้ถึงระดับแรงดันไฟเลี้ยงเพื่อใช้ขับสวิตช์ โดยมีค่าออฟเซตในตัว

3) วงจรไบแอสสำหรับแหล่งกระแสและแรงดันอ้างอิงที่ใช้ในวงจรส่วนอื่น ๆ

ขาสัญญาณต่าง ๆ ของวงจรที่ออกแบบได้แก่

1) VDD และ GND คือขาไฟเลี้ยง +5 โวลต์ และ กราวนด์ ตามลำดับ

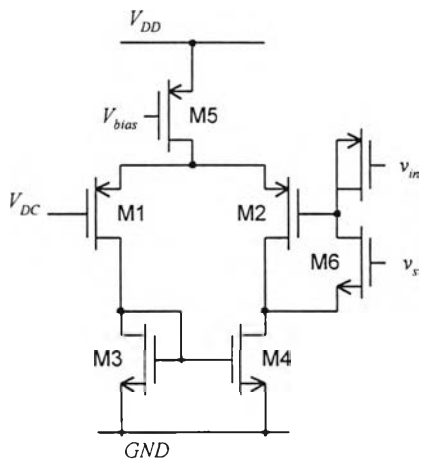
2) VIN คือขาสัญญาณเข้าสำหรับสัญญาณภาพโทรทัศน์แบบรวม

3) VDC คือขาสัญญาณเข้าสำหรับแรงดันอ้างอิงในการแคลมป์

4) VCL คือขาสัญญาณออกสำหรับสัญญาณภาพโทรทัศน์ที่แคลมป์แล้ว

5) /SYNC คือขาสัญญาณออกสำหรับสัญญาณซิงก์

4.3. วงจรแคลมป์แบบสวิตช์



รูปที่ 25. วงจรแคลมป์แบบสวิตช์

เลือก I_{ss} = 10 ไมโครแอมแปร์ และเลือก W_3/L_3 = 4 เพราะฉะนั้น จากสมการ (14) จะได้

$$
\begin{aligned}
v_{gs,M3} &= v_{th} + \sqrt{\frac{I_{ss}}{K_p(W_3/L_3)}} \\
&= 0.9596 + \sqrt{\frac{10\,\mu\text{A}}{7.9349\times10^{-5}\times 4}} \\
&= 1.137 \quad \text{V}
\end{aligned}
$$

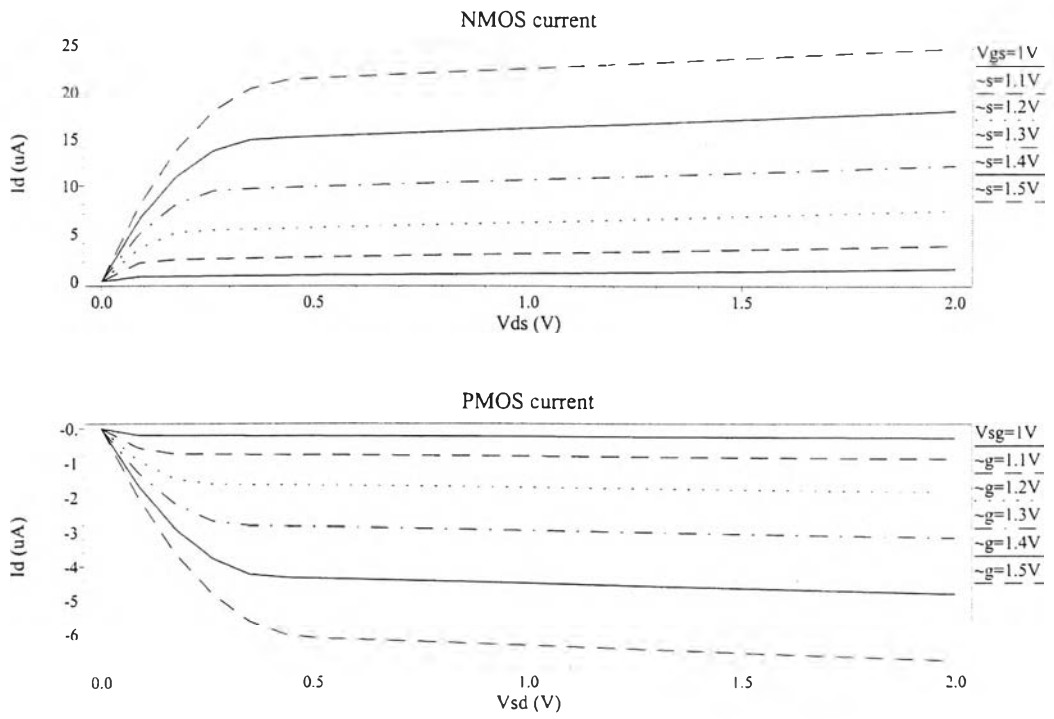
ขนาดของค่าผิดพลาดของระดับการแคลมป์สูงสุดที่ V_{DC} เท่ากับ 3 โวลต์ มีค่าผิดพลาดได้ไม่เกิน 50 มิลลิโวลต์ เพราะฉะนั้นหาอัตราขยายที่ต้องการได้เท่ากับ

$$
\begin{aligned}
A_v &= \frac{3-1.137}{50\times10^{-3}} - 1 \\
&= 36.26
\end{aligned}
$$

หาค่า W_1/L_1 จากสมการต่อไปนี้ [2]

$$
A_v = \frac{2}{\lambda_2+\lambda_4}\sqrt{\frac{K_p(W_1/L_1)}{I_{ss}}} \tag{23}
$$

ในแบบจำลองของมอสระดับที่ 3 ไม่ได้กำหนดค่าของ λ มาโดยตรง ซอฟต์แวร์จำลองการทำงานจะคำนวณจากตัวแปรอื่น ๆ ซึ่งไม่เหมาะที่จะคำนวณด้วยมือ ดังนั้นจึงวัดค่าของ λ จากผลการจำลองการทำงานของทรานซิสเตอร์ รูปที่ 26. แสดงรูปกราฟกระแสและแรงดันของทรานซิสเตอร์ชนิดพีที่ได้จากการจำลองการทำงาน



รูปที่ 26. กราฟแสดงความสัมพันธ์ระหว่างกระแสเดรนและแรงดันเดรนซอร์ซของทรานซิสเตอร์ทั้งสองชนิด ที่ W/L = 2

ซึ่งจากกราฟจะได้ค่า λ_n ประมาณ 0.2 และ λ_p ประมาณ 0.1 และจากสมการ (23) จะคำนวณหา W_1/L_1 ได้ดังนี้

$$(W_1/L_1) = \left(\frac{A_v(\lambda_2+\lambda_4)}{2}\right)^2 I_{ss}/K_p$$
$$= \frac{(36.26\times(0.2+0.1)/2)^2\times 10\mu}{2.2021\times10^{-5}}$$
$$= 13.45$$

ดังนั้นเลือกค่า W_1/L_1 เท่ากับ 14

อัตราสลูว์อย่างต่ำที่ต้องการ จากสมการ (22)

$$SR = 0.16 + 0.32\sqrt{\frac{2I_{ss}}{K_p(W_2/L_2)}} \quad \text{V}/\mu s$$
$$= 0.16 + 0.32\sqrt{\frac{2\times10\times10^{-6}}{2.2021\times10^{-5}\times13}}$$
$$= 0.245 \quad \text{V}/\mu s$$

ขนาดของตัวเก็บประจุสำหรับอัตราสลูว์ขนาดนี้คือ

$$C = \frac{I_{ss}}{SR}$$
$$= \frac{10\,\mu\text{A}}{0.245\,\text{V}/\mu\text{s}}$$
$$= 40.8\ \text{pF}$$

จากภาคผนวก ก. ค่าความจุไฟฟ้าระหว่างชั้นแอคทีฟ (P+) กับโพลีซิลิคอน มีค่า 1,417 อัตโตฟารัดต่อตารางไมโครเมตร ต้องใช้เนื้อที่ของ MC ขนาดประมาณ 28850 ตารางไมโครเมตร ดังนั้นเลือก W_CxL_C เท่ากับ 240x120 μm^2

ทรานซิสเตอร์ M6 ซึ่งทำงานเป็นสวิตช์ควรมีขนาดค่อนข้างเล็กเพื่อให้ค่าความจุไฟฟ้าแฝงมีค่าน้อยทำให้ทำงานได้เร็วโดยที่มีความต้านทานขณะนำกระแส R_{on} ไม่สูงเกินไป ค่าของ R_{on} พิจารณาได้ตามสมการ [2]

$$R_{on} = \frac{1}{\partial i_d/\partial v_{ds}} = \frac{1}{K_p(W/L)(v_{gs}-V_{th})} \qquad (24)$$

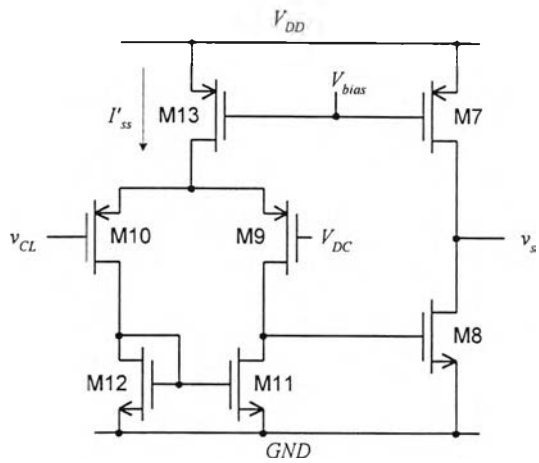
โดยค่าคงที่ทางเวลาของสวิตช์และตัวเก็บประจุในการแคลมป์ $R_{on}C$ ควรมีค่าน้อยกว่า $1/SR$ มากพอสมควรเพื่อให้วงจรแคลมป์จ่ายกระแสได้เต็มที่ในช่วงสวิตช์ปิดวงจร สำหรับกรณีเลวร้ายที่สุดเมื่อ v_{gs} มีค่าน้อยที่สุดซึ่งจะทำให้ R_{on} มีค่ามากที่สุดด้วยการแคลมป์ที่ v_{CL} เท่ากับ 3 โวลต์ ตามข้อกำหนดในการออกแบบ ค่าคงมีทางเวลา $R_{on,M6}C$ มีค่าดังนี้

$$R_{on,M6}C = \frac{L_6}{W_6}\left(\frac{70\text{ pF}}{7.934\times10^{-5}\times(5-3-0.9596)}\right)$$
$$= \frac{L_6}{W_6}\times 0.848\ \mu\text{s}$$

เทียบกับ $1/SR$ ซึ่งเท่ากับ 3.57 ไมโครวินาทีต่อโวลต์ เห็นได้ว่า $R_{on,M6}C$ จะมีค่าน้อยกว่า $1/SR$ อยู่ค่อนข้างมากและยิ่งมีค่าน้อยลงเมื่อ W_6/L_6 มีค่ามากขึ้น ในที่นี้เลือกค่าของ W_6/L_6 เท่ากับ 4

สำหรับทรานซิสเตอร์ M5 ทำน้าที่เป็นแหล่งกระแสคงที่ I_{ss} ซึ่งขนาดไม่สำคัญมากนักเลือกค่า W_5/L_5 เท่ากับ 20 การออกแบบให้ได้ค่าของ I_{ss} ที่ต้องการจะออกแบบที่วงจรไบแอสและสะท้อนกระแสมาอีกทีหนึ่งดังจะได้อธิบายอย่างละเอียดต่อไปในส่วนของวงจรไบแอส

4.4. วงจรเปรียบเทียบแรงดันและแยกสัญญาณซิงก์



รูปที่ 27. วงจรเปรียบเทียบแรงดันและแยกสัญญาณซิงก์

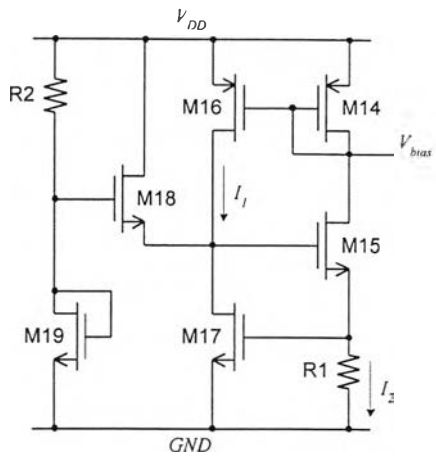
วงจรเปรียบเทียบและแยกสัญญาณซิงก์ดังในรูปที่ 27. ประกอบดวยวงจรขยายผลต่างทรานสคอนดัคแตนซ์ทำหน้าที่เป็นวงจรเปรียบเทียบ v_{CL} กับ V_{DC} โดยออกแบบให้มีค่าออฟเซตในตัวเท่ากับ -0.143 โวลต์ และใช้ระดับแรงดันอ้างอิงเป็น V_{DC} และมีวงจรขยายในขั้นที่ 2 M7, M8 ช่วยขับสัญญาณให้มีค่าถึงระดับแรงดันไฟเลี้ยงสำหรับขับสวิตช์

ในการสร้างค่าออฟเซตจะใช้คู่ทรานซิสเตอร์ M9, M10 ที่ไม่สมมาตรเพื่อให้เมื่อ v_{CL} − 0.143 = V_{DC} แล้วกระแสที่ไหลผ่าน M9 และ M10 มีค่าเท่ากัน ซึ่งจะได้ความสัมพันธ์ดังนี้

$$\sqrt{\frac{I'_{ss}}{K_p(W_9/L_9)}} = \sqrt{\frac{I'_{ss}}{K_p(W_{10}/L_{10})}} + 0.143 \qquad (25)$$

เลือกกระแสไบแอสขนาด 10 ไมโครแอมแปร์ และ W_{10}/L_{10} = 20 จะได้ W_9/L_9 เท่ากับ 5.27 เลือกใช่ค่าเท่ากับ 6 ส่วนทรานซิสเตอร์ตัวอื่น ๆ ของวงจรขยายเลือกขนาดตามวงจรแคลมป์ ได้แก่ $W_{11}/L_{11} = W_{12}/L_{12} = 4$, $W_{13}/L_{13} = W_7/L_7 = 20$ และเลือก $W_8/L_8 = 10$

4.5. วงจรไบแอส



รูปที่ 28. วงจรไบแอส

วงจรไบแอสดังรูปที่ 28. เรียกว่าแหล่งอ้างอิง V_T (V_T referenced source) หรือแหล่งอ้างอิงบูตสแตรป (bootstrap reference) [2] ที่จุดทำงานสงบของวงจรจะได้ว่า

$$I_2 R1 = v_{gs,M17} = \sqrt{\frac{2I_1}{K_p(W_{17}/L_{17})}} + V_{th,M17} \quad (26)$$

และ

$$I_1 = I_2 \quad (27)$$

ต้องการ $I_1 = I_2$ = 10 ไมโครแอมแปร์ โดยเลือก W_{17}/L_{17} = 10 เพราะฉะนั้นคำนวณค่าของ R1 ได้ดังนี้

$$R1 = \frac{1}{10\ \mu A}\cdot\sqrt{\frac{2\times 10\ \mu A}{7.9349\times 10^{-5}\times 10}} + \frac{0.9596}{10\ \mu A} = 111{,}836.12\ \ \Omega$$

ค่าของ R1 ตามที่คำนวณได้มีค่าที่ค่อนข้างสูงซึ่งยากต่อการสร้างให้มีความเที่ยงตรงในชิปวงจรรวมซึ่งจะมีผลให้ค่าของกระแสและแรงดันไบแอสผิดเพี้ยนจากที่ออกแบบไว้ได้ พิจารณาจากสมการ (26) จะเห็นว่าถ้าเพิ่มค่าของ I_2 จะสามารถลดค่าของ R1 ได้มากเป็นสัดส่วนเดียวกัน ซึ่งถ้าทำให้ $I_2 = 2I_1$ = 20 ไมโครแอมแปร์ และคงค่ากระแสไบแอสที่ M16 เหลือ 10 ไมโครแอมแปร์ โดยให้ $W_{14}/L_{14} = 2W_{16}/L_{16}$ ค่าของ R1 จะสามารถลงลงได้เหลือเพียง 55,918 โอห์ม เท่านั้น

แรงดันเกตของทรานซิสเตอร์ M14 ใช้เป็นแรงดันไบแอสให้แก่ทรานซิสเตอร์ M5 ของวงจรแคลมป์ และจากการออกแบบค่า R1 ข้างต้นทำให้ได้กระแส $I_2 = i_{dM14} = 20$ ไมโครแอมแปร์ เป็นสองเท่าที่ออกแบบสำหรับ M5 ดังนั้นเลือกให้ M14 มีขนาดสองเท่าของ M5 ($W_{14}/L_{14} = 40$) และ $W_{16}/L_{16} = 40/2 = 20$

ทรานซิสเตอร์ M15 ไม่มีผลต่อการทำงานมากนัก เลือกค่า $W_{15}/L_{15} = 4$ ส่วน M18 และ M19 ใช้เป็นบูตสแตรปเมื่อเริ่มการทำงานและไม่มีผลต่อวงจรไบแอสเลือก $W_{18}/L_{18} = W_{19}/L_{19} = 4$ และ R2 เป็นตัวกำหนดปริมาณกระแสที่ไหลผ่าน M19 เลือกค่า 50 กิโลโอห์ม สำหรับกระแสประมาณ 50 ไมโครแอมป์ไหลผ่าน M19

4.6. สรุปผลการออกแบบขึ้นในขั้นต้นและการจำลองการทำงานด้วยซอฟต์แวร์

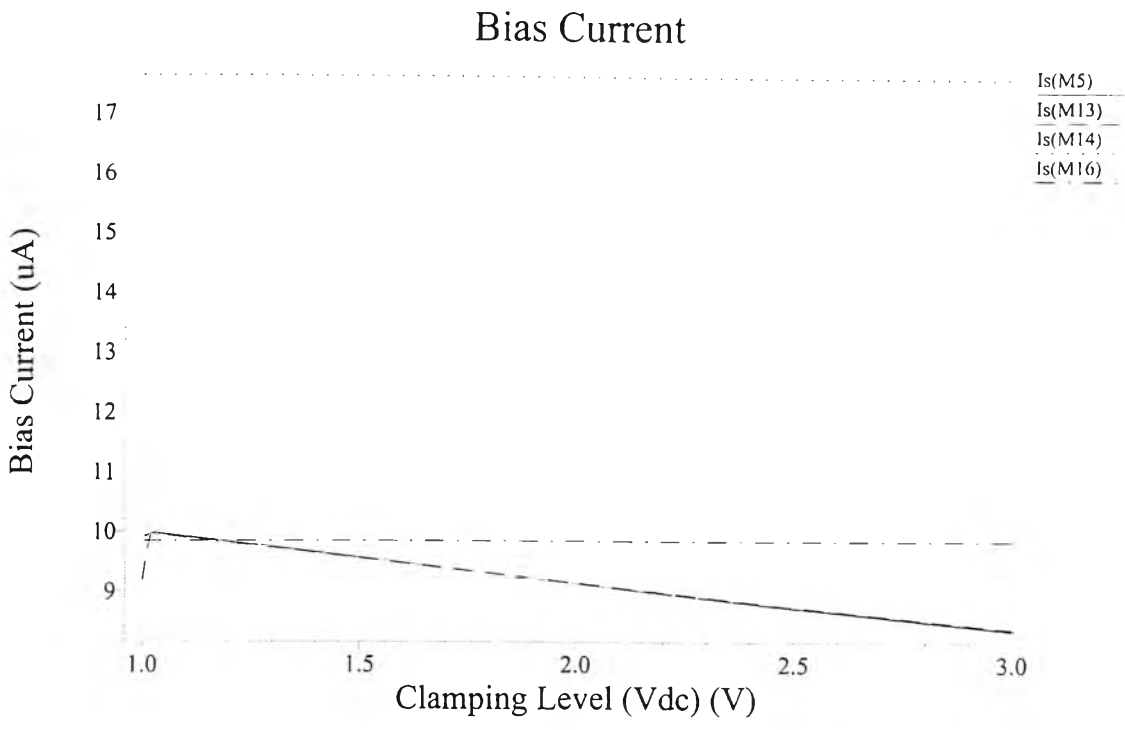
ขนาดของทรานซิสเตอร์และอุปกรณ์ที่ออกแบบขึ้นสรุปได้ดังรูปที่ 29.

TRANSISTORS										
M#	M1	M2	M3	M4	M5	M6M	M7	M8	M9	M10
W/L	14	14	4	4	20	4	20	10	6	20
M#	M11	M12	M13	M14	M15	M16	M17	M18	M19	
W/L	4	4	20	40	4	20	10	4	4	

OTHER DEVICES	VALUE	UNIT	Notes:
R1	55,918	ohms	MOS channel length = 1.2μm
R2	50,000	ohms	
MC	40	pico farad	

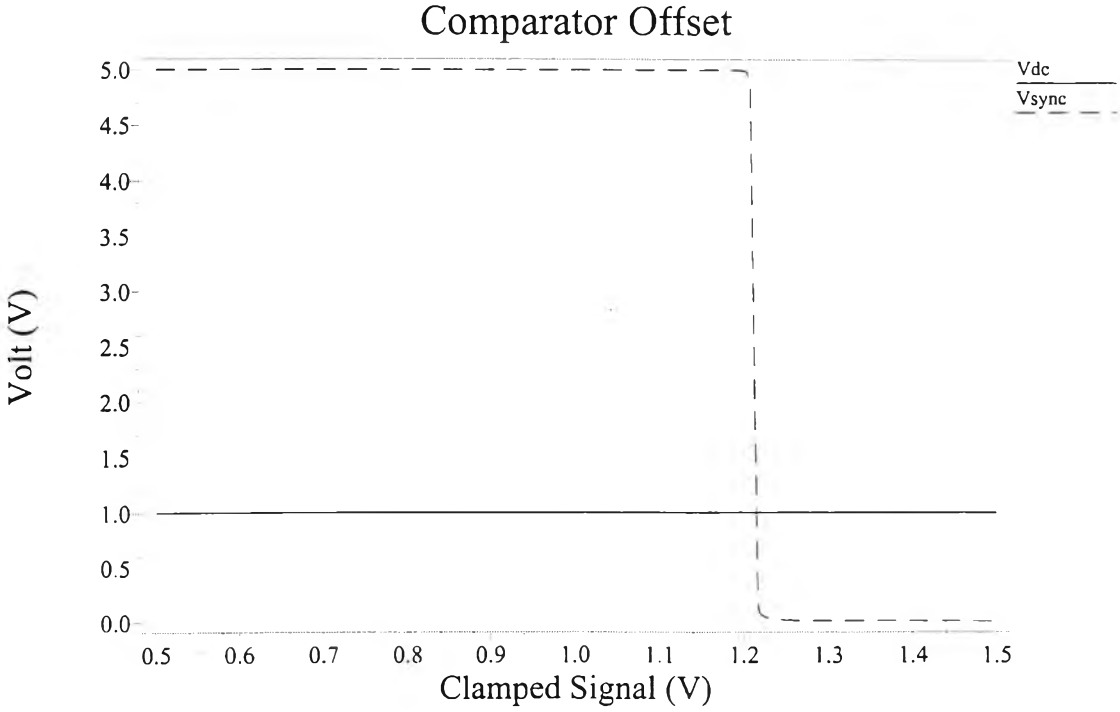
รูปที่ 29. ตารางแสดงขนาดของอุปกรณ์ที่ออกแบบขึ้น

และผลการจำลองการทำงานวงจรที่ออกแบบขึ้นในขั้นต้นด้วยซอฟต์แวร์มีดังต่อไปนี้



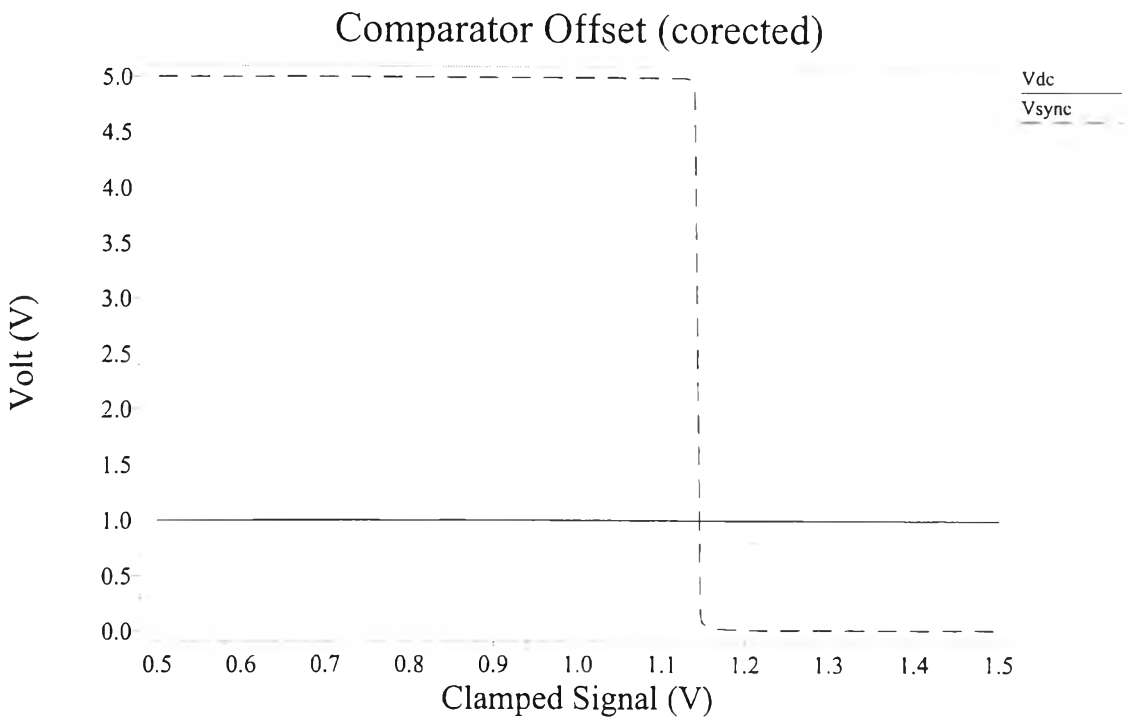
รูปที่ 30. ผลการจำลองการทำงานไฟตรงแสดงค่ากระแสไบแอสต่าง ๆ

จากรูปที่ 30. ค่ากระแสไบแอสมีค่าใกล้เคียงกับที่ออกแบบไว้ และในช่วงการทำงานที่ V_{DC} ตั้งแต่ 1 ถึง 3 โวลต์ ค่ากระแสไบแอสของ M5, M13 มีการเปลี่ยนแปลงในช่วงประมาณ 2 ไมโครแอมแปร์ นับว่าผลการออกแบบในส่วนนี้เป็นที่น่าพอใจ



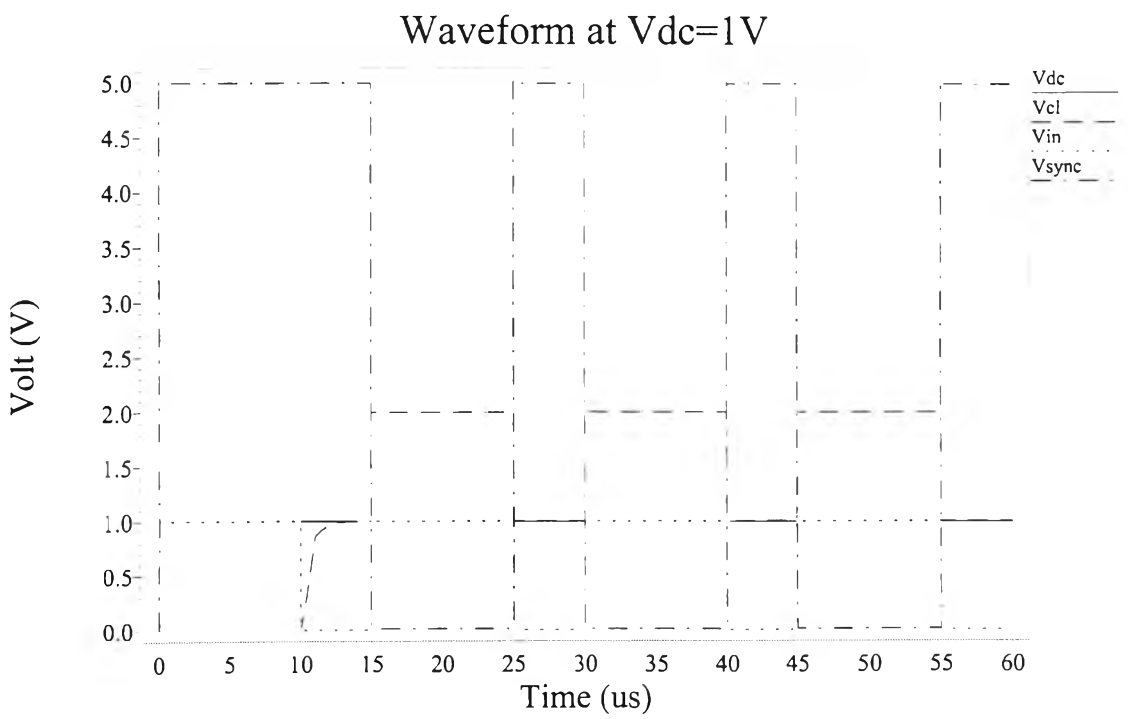
รูปที่ 31. ผลการจำลองการทำงานไฟตรงแสดงค่าออฟเซตของวงจรเปรียบเทียบ

จากรูปที่ 31. แสดงค่าออฟเซตของวงจรเปรียบเทียบมีค่าในราว 0.2 โวลต์ ซึ่งมีค่ามากกว่าที่ต้องการ ดังนั้นแก้ไขโดยเพิ่มขนาดของ M9 เป็น $W_9/L_9 = 8$ และได้ผลดังรูปที่ 32.

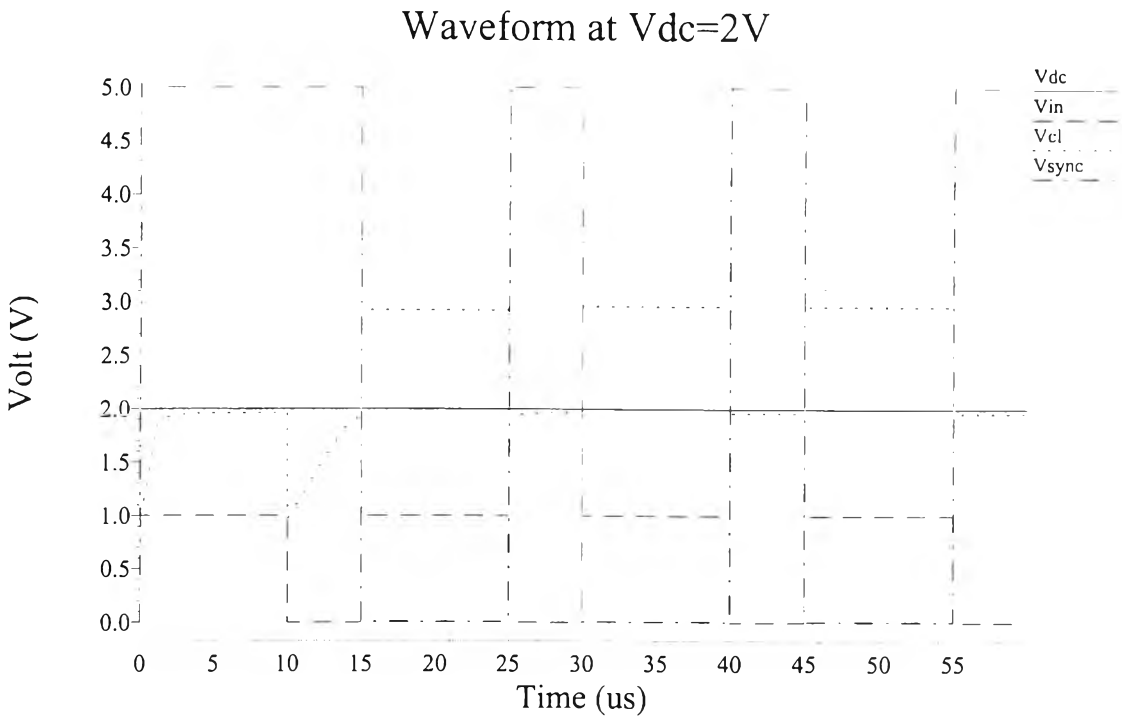


รูปที่ 32. ผลการจำลองการทำงานของวงจรเปรียบเทียบหลังจากการแก้ไข

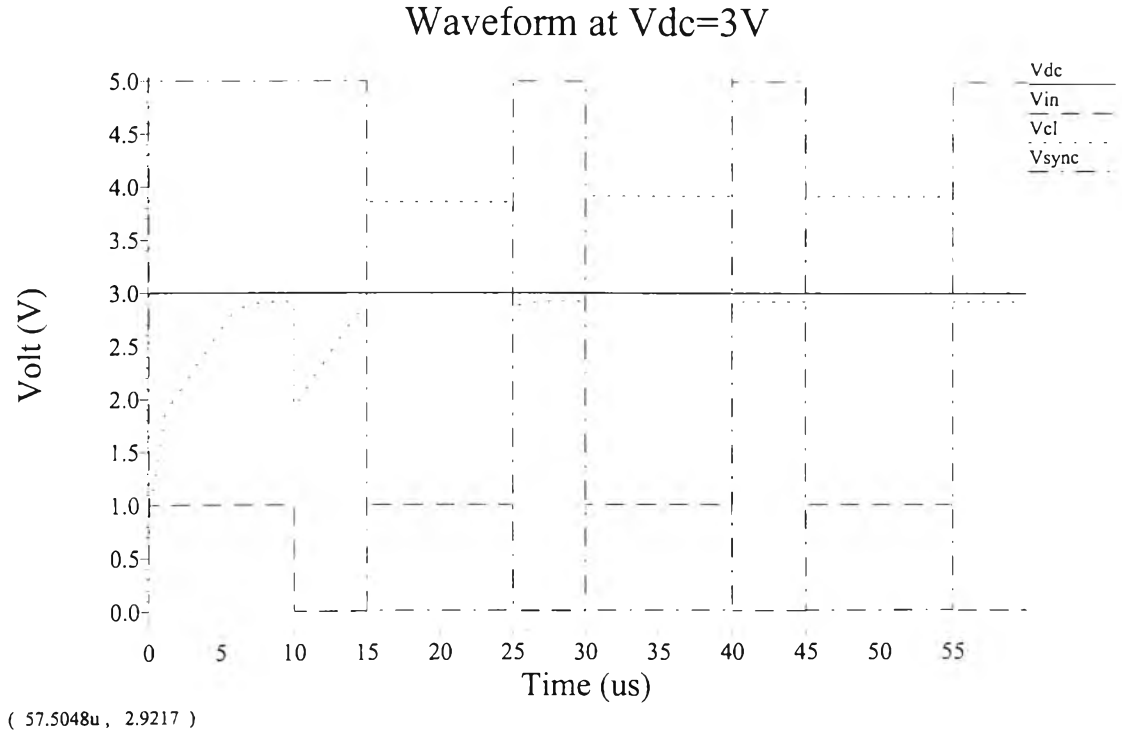
จะเห็นว่าค่าแรงดันออฟเซตมีค่าประมาณ 0.14 โวลต์ตามที่ควรจะเป็น



รูปที่ 33. ผลการจำลองการทำงานเชิงเวลาโดยแคลมป์สัญญาณที่ระดับไฟตรง 1 โวลต์



รูปที่ 34. ผลการจำลองการทำงานเชิงเวลาโดยแคลมป์สัญญาณที่ระดับไฟตรง 2 โวลต์



(57.5048u , 2.9217)

รูปที่ 35. ผลการจำลองการทำงานเชิงเวลาโดยแคลมป์สัญญาณที่ระดับไฟตรง 3 โวลต์

จากรูปที่ 33.-35. ซึ่งแสดงรูปคลื่นสัญญาณต่าง ๆ ที่ได้จากการจำลองการทำงาน ในการจำลองการทำงานใช้สัญญาณเข้าเป็นพัลส์สี่เหลี่ยมขนาด 1 โวลต์ ความยาวคาบ 15 ไมโครวินาที โดยมีความกว้างพัลส์ช่วงขาลงถึงขาขึ้น 5 ไมโครวินาที ใกล้เคียงกับความกว้างของพัลส์สัญญาณ

ซิงก์ในสัญญาณภาพโทรทัศน์แบบรวม ผลการทำงานของวงจรที่ออกแบบขึ้นเป็นที่น่าพอใจ วงจรสามารถแคลมป์สัญญาณได้เร็วเพียงพอ และสามารถแยกสัญญาณซิงก์ได้อย่างถูกต้อง แต่อย่างไรก็ดี พิจารณาการทำงานที่ระดับการแคลมป์ที่ 3 โวลต์ดังรูปที่ 35. พบว่าค่าผิดพลาดของระดับไฟตรงของการแคลมป์มีค่าถึง 78 มิลลิโวลต์ ยังมากกว่าข้อกำหนดที่ใช้ในการออกแบบ ดังนั้นแก้ไขโดยเพิ่มขนาดของ M1, M2 เพื่อให้วงจรขยายของวงจรแคลมป์มีอัตราขยายสูงขึ้นและเมื่อใช้ค่า W_1/L_1 = 60 ก็จะได้ค่าผิดพลาดที่สามารถยอมรับได้ หลังจากแก้ไขวงจรตามที่ได้กล่าวมาแล้วสามารถสรุปได้ดังรูปที่ 36.

TRANSISTORS										
M#	M1	M2	M3	M4	M5	M6M	M7	M8	M9	M10
W/L	60	60	4	4	20	4	20	10	8	20
M#	M11	M12	M13	M14	M15	M16	M17	M18	M19	
W/L	4	4	20	40	4	20	10	4	4	

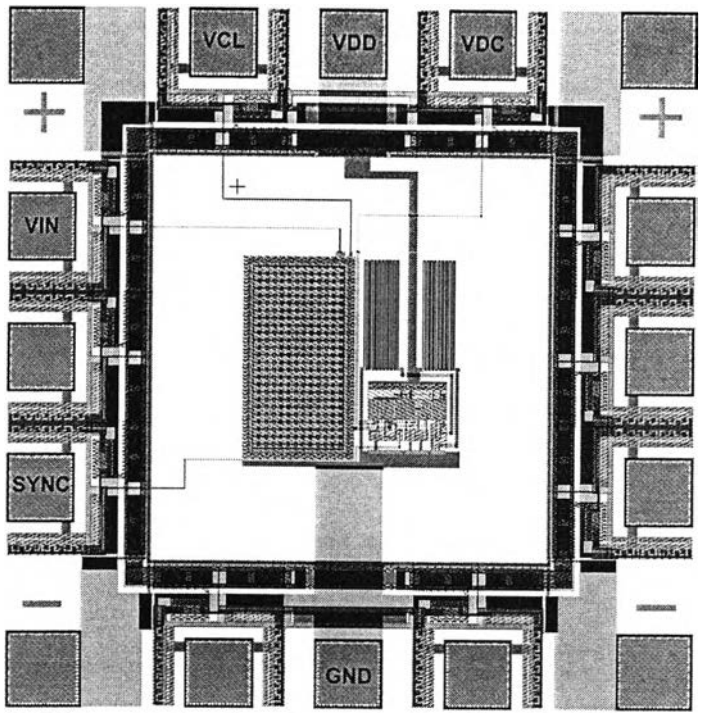
OTHER DEVICES	VALUE	UNIT	Notes:
R1	55,918	ohms	MOS channel length = 1.2μm
R2	50,000	ohms	
MC	40	pico farad	

รูปที่ 36. ตารางแสดงขนาดของอุปกรณ์ที่แก้ไขแล้วหลังจากจำลองการทำงาน

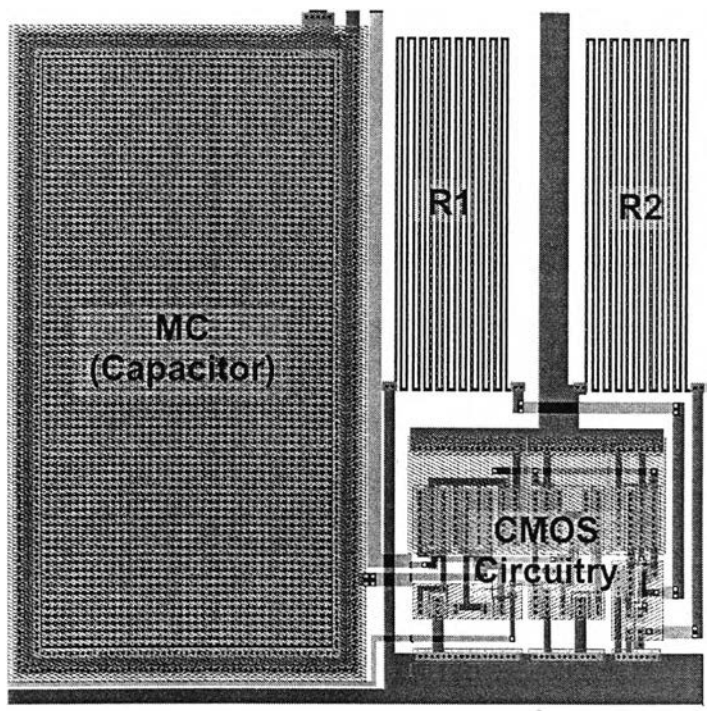
4.7. การออกแบบเลย์เอาต์ของชิป

เลย์เอาต์ของวงจรรวมที่จะสร้างขึ้นใช้ซอฟต์แวร์ L-Edit Pro เวอร์ชัน 6.02 และใช้กฎการออกแบบ (design rules) ของ MOSIS เลย์เอาต์ของวงจรมีลักษณะดังรูปที่ 37., 38., และ 39.

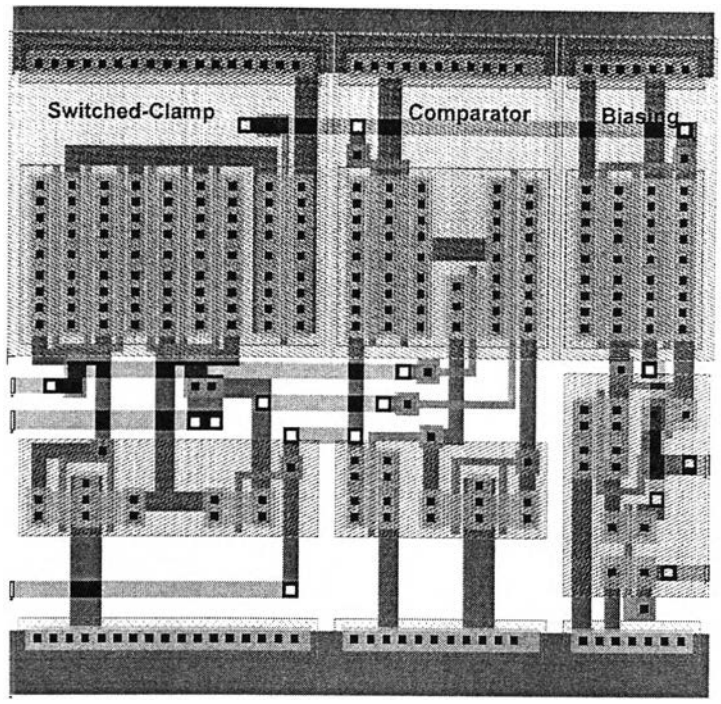
ชิปที่ออกแบบขึ้นใช้อัตราส่วนขนาดของทรานซิสเตอร์ตามที่คำนวณไว้ในหัวข้อ 4.3-4.5 มีขาสัญญาณต่อใช้งานทั้งหมด 5 ขา ได้แก่ ขาไฟเลี้ยงบวก (VDD), ขากราวนด์ (GND), ขาสัญญาณภาพโทรทัศน์เข้า (VIN), ขาสัญญาณภาพผ่านการแคลมป์แล้ว (VCL), และขาสัญญาณซิงก์ที่แยกได้ (SYNC) ดังรูปที่ 37. ซึ่งแสดงการต่อจุดสัญญาณเข้ากับแพดเฟรม และรูปที่ 38. แสดงเลย์เอาต์เฉพาะตัววงจรที่ออกแบบซึ่งจะเห็นส่วนประกอบต่าง ๆ ได้แก่ ตัวเก็บประจุ ตัวต้านทานสำหรับวงจรไบแอส และส่วนวงจรหลักที่มีแต่ทรานซิสเตอร์ และรูปที่ 39 แสดงส่วนของเลย์เอาต์เฉพาะทรานซิสเตอร์ ตัววงจรทั้งหมดมีขนาด 283.2 x 286.8 = 81,221.76 ตารางไมโครเมตร และขนาดของชิป (รวมแพด) มีขนาด 909.6 x 915.6 = 832,829.76 ตารางไมโครเมตร ซึ่งเลย์เอาต์ของตัววงจรมีขนาดเล็ก จึงเหมาะสำหรับการนำไปประกอบลงเป็นส่วนของชิปอื่นหรือดัดแปลงเป็นเซลมาตรฐานไว้ใช้งานได้อีกด้วย



รูปที่ 37. เลย์เอาต์ของชิปวงจรรวมที่ออกแบบที่ประกอบลงในแพดเฟรมแล้ว

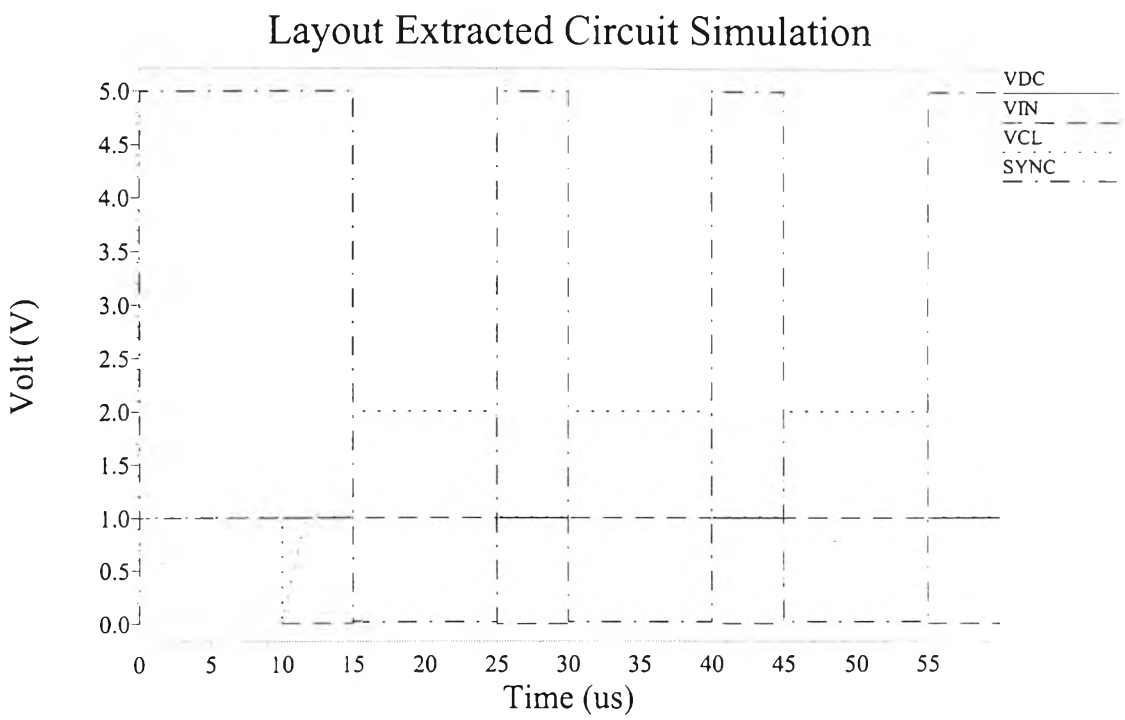


รูปที่ 38. เลย์เอาต์ส่วนของแกนวงจร

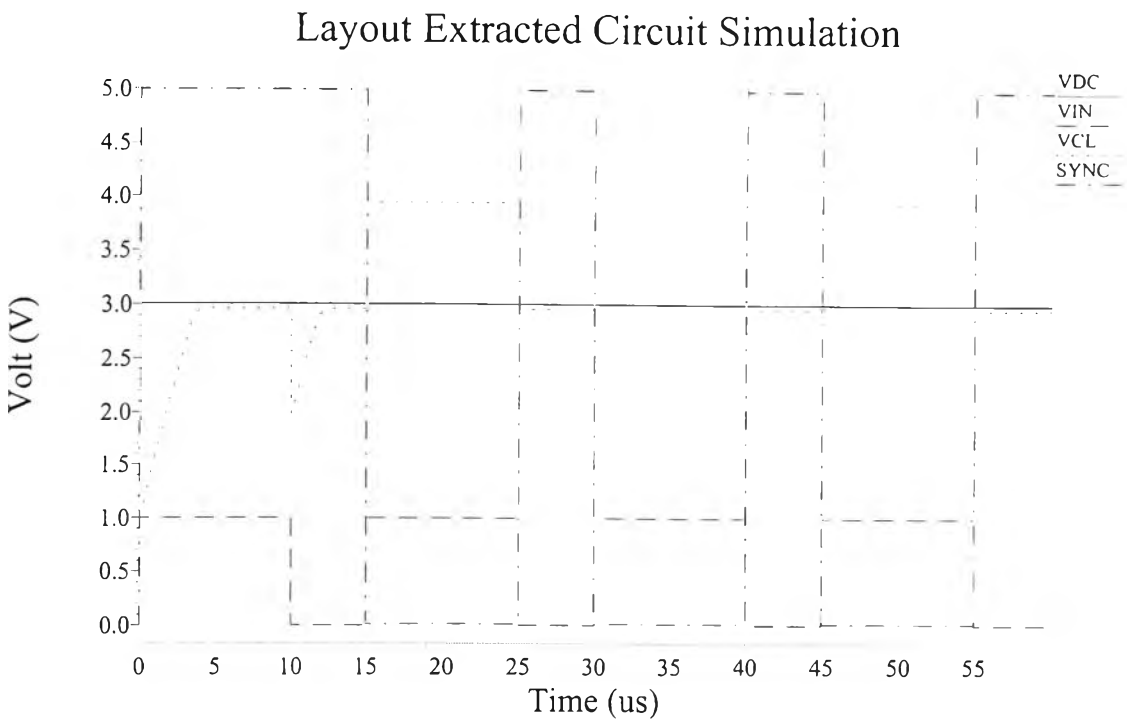


รูปที่ 39. เลย์เอาต์ของวงจรซีมอสไม่รวมอุปกรณ์พาสซีฟ

และผลการจำลองการทำงานของวงจรที่ถอดสกัดจากเลย์เอาต์ (layout extracted circuit) ให้ผลดังรูปที่ 40. และ 41. โดยให้สัญญาณเข้าเป็นพัลส์สี่เหลี่ยมเช่นเดียวกับการจำลองการทำงานในหัวข้อ 4.6



รูปที่ 40. ผลการจำลองการทำงานของวงจรจากเลย์เอาต์โดยแคลมป์สัญญาณเข้าที่ 1 โวลต์



รูปที่ 41. ผลการจำลองการทำงานของวงจรจากเลย์เอาต์โดยแคลมป์สัญญาณเข้าที่ 3 โวลต์

ผลการจำลองการทำงานแสดงการแคลมป์และแยกสัญญาณซิงก์ได้อย่างถูกต้องเช่นเดียวกับการจำลองจากผังวงจรที่ออกแบบในหัวข้อ 4.6 ซอฟต์แวร์สร้างเน็ตลิสต์ (netlist) ของวงจรจากเลย์เอาต์เพื่อนำมาจำลองการทำงานด้วย T-Spice สามารถคำนวณค่าความจุไฟฟ้าและความต้านทานแฝงของเส้นโลหะและโพลีซิลิคอนที่ใช้เชื่อมต่อนำสัญญาณ และชั้นสารกึ่งตัวนำของจุดต่าง ๆ ในวงจรใส่ลงในเน็ตลิสต์ซึ่งจะทำให้การจำลองการทำงานทำได้ละเอียดและสมจริงมากขึ้น สำหรับวงจรที่ออกแบบขึ้นประกอบด้วยทรานซิสเตอร์ไม่กี่ตัวทำให้กินพื้นที่ไม่มาก และการเชื่อมต่อจุดสัญญาณใช้เส้นโลหะแทบทั้งหมดซึ่งเส้นโลหะมีค่าความจุไฟฟ้าและความต้านทานต่ำมาก ค่าแฝงต่าง ๆ ในวงจรจึงไม่มาก และแทบไม่มีผลในการทำงาน

อย่างไรก็ดี เลย์เอาต์วงจรที่ออกแบบสร้างขึ้นตามผังวงจรในหัวข้อ 4.2 ทุกประการโดยยังไม่ได้คำนึงถึงการบัฟเฟอร์ขาสัญญาณออกหรือการป้องกันวงจรรูปแบบต่าง ๆ ซึ่งเป็นสิ่งสำคัญสำหรับวงจรรวมที่ผลิตใช้งานจริงที่จะต้องคำนึงถึงเสมอ เนื่องจากโครงงานวิจัยนี้เน้นการศึกษาโครงสร้างวงจรและการออกแบบตัววงจรเป็นหลักโดยยังไม่ได้มีจุดประสงค์เกี่ยบกับการผลิตใช้งาน ซึ่งในอนาคตยังสามารถนำไปพัฒนาต่อและสร้างลงเป็นชิปขึ้นจริงเมื่อมีโอกาสได้

I19244332