รายการอ้างอิง

1. Benson, K. B. Television Engineering Handbook. New York: McGraw-Hill Book Co., 1986.
2. Allen, P. E., and Holberg, D. R. CMOS Analog Circuit Design. New York: Oxford University Press,1987
3. Ismail, M., and Fiez, T. Analog VLSI Signal and Information Processing. New York: McGraw-Hill, Inc., 1994.
4. T-Spice Pro User Manual. California: Tanner Research, Inc. 1996.
5. L-Edit Pro User Manual. California: Tanner Research, Inc. 1996.
6. เจน สงสมพันธุ์ และ นิคม อนันต์ทิพย์. เทคโนโลยีโทรทัศน์. พิมพ์ครั้งที่ 7. กรุงเทพมหานคร: สถาบันอิเล็กทรอนิกส์กรุงเทพรังสิต, 2539.
7. กัมพล ทองเรือง. ทฤษฎีและการออกแบบวงจรพัลส์. กรุงเทพมหานคร: สกายบุ๊กส์, 2539.

ภาคผนวก

ภาคผนวก ก.

พารามิเตอร์และแบบจำลองอุปกรณ์สำหรับ เทคโนโลยี MOSIS/Orbit SCNA 1.2μm

MOSIS PARAMETRIC TEST RESULTS

RUN: N71N (3-Mar-1997) **VENDOR:** ORBIT
TECHNOLOGY: SCN12 **FEATURE SIZE:** 1.2 microns

INTRODUCTION: This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: Orbit Semiconductor SCNA12.

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	1.8/1.2			
V_{th}		0.98	-0.97	Volts
SHORT	10.8/1.2			
V_{th}		0.90	-0.94	Volts
V_{pt}		10.0	-10.0	Volts
V_{bkd}		15.2	-15.9	Volts
I_{dss}		235	-102	uA/um
WIDE	30/1.2			
I_{ds0}		0.7	-0.8	pA/um
LARGE	10.8/10.8			
V_{th}		0.98	-0.86	Volts
V_{jbkd}		15.3	-16.0	Volts
I_{jlk}		-59.4	-2.7	pA
Gamma		0.85	0.57	$V^{1/2}$
Delta length (L_eff = L_drawn-DL)		0.17	0.00	microns
Delta width (W_eff = W_drawn-DW)		0.00	0.00	microns
K' ($U_oC_{ox}/2$)		35.5	-12.7	uA/V^2

POLY2 TRANSISTORS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	3.6/2.4			
V_{th}		1.10	-1.42	Volts
SHORT	7.2/2.4			
V_{th}		1.06	-1.40	Volts
LARGE	21.6/21.			
V_{th}		1.02	-1.38	Volts
Delta length (L_eff = L_drawn-DL)		0.22	-0.61	microns

Delta width (W_eff = W_drawn-DW)	0.41	0.59	microns
K' ($U_oC_{ox}/2$)	27.5	-9.1	uA/V^2

FOX TRANSISTORS	GATE	N+ ACTIVE	P+ ACTIVE	UNITS
V_{th}	Poly	> 15.0	< -14.4	Volts

BIPOLAR PARAMETERS	W/L	NPN	UNITS
2x1	2x1		
Beta		101	
V_{early}		44.0	Volts
$V_{ce,sat}$		0.2	Volts
2x2	2x2		
Beta		100	
V_{early}		42.4	Volts
$V_{ce,sat}$		0.1	Volts
2x4	2x4		
Beta		98	
V_{early}		40.9	Volts
$V_{ce,sat}$		0.1	Volts
2x8	2x8		
Beta		94	
V_{early}		39.7	Volts
V_{early}		0.1	Volts
BV_{ceo}		26.8	Volts
BV_{cbo}		28.9	Volts
BV_{ebo}		9.2	Volts

PROCESS PARAMETERS	N+DIFF	P+DIFF	POLY	POLY2	MTL1	MTL2	N_WELL	N\PLY	UNITS
Sheet Resistance	38.3	73.9	23.1	24.7	0.05	0.03	1283	1274	ohms/sq
Width Variation (measured - drawn)	0.13	-0.04	-0.23	-0.28	-0.19	-0.68			microns
Contact Resistance	44.7	144.4	13.3	15.5		0.05			ohms
Gate Oxide Thickness	242								angstrom

COMMENTS: N\PLY is N-well under polysilicon.

CAPACITANCE PARAMETERS	N+DIFF	P+DIFF	POLY	POLY2	MTL1	MTL2	UNITS
Area (substrate)	496	436	73		37	20	aF/um^2
Area (poly)				484	62	27	aF/um^2
Area (poly2)					66		aF/um^2
Area (metal1)						41	aF/um^2
Area (N+active)			1424	1006	74	33	aF/um^2
Area (P+active)			1417	1012			aF/um^2
Fringe (substrate)	379	422			55	33	aF/um^2
Fringe (poly)					52	37	aF/um^2

N71N SPICE LEVEL3 PARAMETERS

```
.MODEL CMOSN NMOS LEVEL=3 PHI=0.700000 TOX=2.3600E-08 XJ=0.200000U TPG=1
+ VTO=0.9596 DELTA=1.1290E+00 LD=8.4520E-08 KP=7.9349E-05
+ UO=542.3 THETA=9.6770E-02 RSH=3.1930E+01 GAMMA=0.9161
+ NSUB=5.4130E+16 NFS=6.3600E+11 VMAX=2.1470E+05 ETA=5.8910E-02
+ KAPPA=1.7800E-01 CGDO=1.8550E-10 CGSO=1.8550E-10
+ CGBO=2.6519E-10 CJ=4.970E-04 MJ=0.4580 CJSW=4.400E-10
+ MJSW=0.56800 PB=0.9900000
* Weff = Wdrawn - Delta_W
* The suggested Delta_W is 2.0000E-09
.MODEL CMOSP PMOS LEVEL=3 PHI=0.700000 TOX=2.3600E-08 XJ=0.200000U TPG=-1
+ VTO=-0.8732 DELTA=2.4370E+00 LD=9.0920E-10 KP=2.2021E-05
+ UO=150.5 THETA=6.1580E-02 RSH=1.3780E+02 GAMMA=0.4539
+ NSUB=1.3290E+16 NFS=5.9090E+11 VMAX=1.1460E+05 ETA=2.8630E-02
+ KAPPA=8.0160E+00 CGDO=5.0000E-11 CGSO=5.0000E-11
+ CGBO=2.6519E-10 CJ=4.5100E-04 MJ=0.5220 CJSW=4.2500E-10
+ MJSW=0.3210 PB=0.990000
* Weff = Wdrawn - Delta_W
* The suggested Delta_W is 2.0000E-09
```

ประวัติผู้เขียน

นายธีรุดม์ ลอตระกูล เกิดเมื่อวันที่ 5 มกราคม พ.ศ. 2517 ที่กรุงเทพมหานคร สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมไฟฟ้า จากคณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2537 และเข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต ที่จุฬาลงกรณ์มหาวิทยาลัย เมื่อ พ.ศ. 2538