การพัฒนาและออกแบบเครื่องควบคุมแบบลำดับที่โปรแกรมได้โดยใช้ FPGA

นาย ยุทธนัย ผาสุข

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2545

ISBN 974-17-1113-1

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

I20651843

DEVELOPMENT AND DESIGN OF PROGRAMMABLE LOGIC CONTROLLER USING FPGA

Mr. Yootthanai Phasuk

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering in Electrical Engineering

Department of Electrical Engineering
Faculty of Engineering
Chulalongkorn University

Academic Year 2002

ISBN 974-17-1113-1

หัวข้อวิทยานิพนธ์	การพัฒนาและออกแบบเครื่องควบคุมแบบลำดับที่โปรแกรมได้โดยใช้ FPGA
โดย	นายยุทธนัย ผาสุข
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	รองศาสตราจารย์ กฤษดา วิศวธีรานนท์

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์

(ศาสตราจารย์ ดร. สมศักดิ์ ปัญญาแก้ว)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ

(รองศาสตราจารย์ ดร. เอกชัย ลีลารัศมี)

..... อาจารย์ที่ปรึกษา

(รองศาสตราจารย์ กฤษดา วิศวธีรานนท์)

..... กรรมการ

(รองศาสตราจารย์ ดร. มานะ ศรียุทธศักดิ์)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ยุทธนัย ผาสุข : การพัฒนาและออกแบบเครื่องควบคุมแบบลำดับที่โปรแกรมได้โดยใช้ FPGA. (DEVELOPMENT AND DESIGN OF PROGRAMMABLE LOGIC CONTROLLER USING FPGA) อ. ที่ปรึกษา : รศ.กฤษดา วิศวธีรานนท์, 125 หน้า. ISBN 974-17-1113-1.

วิทยานิพนธ์นี้นำเสนอการพัฒนาและออกแบบสร้างเครื่องควบคุมแบบลำดับที่โปรแกรมได้ ซึ่งเป็นเครื่องควบคุมกระบวนการหรือเครื่องจักรกลการผลิตอัตโนมัติที่ใช้กันอย่างแพร่หลายในปัจจุบัน โดยใช้เทคโนโลยีของ FPGA สร้างส่วนประมวลผลที่ทำงานควบคุมอุปกรณ์ทางเข้าและออกตามโปรแกรมขั้นบันไดสังเคราะห์มาจากภาษา VHDL PLC ขนาดเล็กที่สร้างขึ้นมานี้มีขนาด 16 อินพุต 8 เอาต์พุต มีคำสั่งพื้นฐานและคำสั่งจัดการข้อมูลรวมกัน 23 คำสั่ง โดยมีความเร็วเฉลี่ยในการทำคำสั่งเพียง 0.372 ไมโครวินาที ซึ่งเร็วกว่า PLC ที่ใช้ไมโครโพรเซสเซอร์ทั่วไป จากการตรวจสอบคำสั่งที่ออกแบบพบว่าทำงานได้ถูกต้อง สามารถนำ PLC ที่ได้ไปใช้งานควบคุมในอุตสาหกรรมได้จริง สำหรับวิทยานิพนธ์นี้ได้มุ่งเน้นในการเพิ่มความเร็วของ PLC ลดขนาดของวงจร และอาศัยความสามารถของเทคโนโลยี FPGA ในการลดเวลาในการสร้างและพัฒนาเครื่องควบแบบลำดับที่โปรแกรมได้ต่อไป

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมไฟฟ้า ลายมือชื่อนิสิต ยุทธนัย ผาสุข

สาขาวิชา วิศวกรรมไฟฟ้า ลายมือชื่ออาจารย์ที่ปรึกษา

ปีการศึกษา 2545

4370457021 : MAJOR ELECTRICAL ENGINEERING

KEY WORD : PLC / FPGA / /

YOOTTHANAI PHASUK : DEVELOPMENT AND DESIGN OF PROGRAMMABLE LOGIC CONTROLLER USING FPGA. THESIS ADVISOR : KRISADA VISAVATEERANON, Ass. Prof., 125 pp. ISBN 974-17-1113-1.

This thesis describes the development and design of a programmable logic controller which is widely used in process control and automatic line production. The processor of PLC is designed by using the FPGA technology, logic synthesized from VHDL to accomplish PLC ladder programming. This compact PLC has 16 inputs, 8 outputs, 23 standard and data handling instructions which have an average execution time at 0.372 μs, that is faster than the general microprocessor based PLC. The testing results indicate that all instruction set can work properly and can be used in an industrial process control. The development emphasizes in increasing the PLC speed response, reducing circuit size and using advantage of FPGA technology to minimize development time

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

Department Electrical Engineering Student's signature ยุทธนัย พาสุข

Field of study Electrical Engineering Advisor's signature

Academic year 2002

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยความช่วยเหลืออย่างดียิ่งของ รศ.กฤษดา วิศวธีรานนท์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งได้ให้คำแนะนำ และข้อคิดเห็นต่างๆ พร้อมทั้งจัดหาอุปกรณ์ที่จำเป็นในการวิจัยด้วยดีตลอดมา จึงใคร่ขอกราบขอบพระคุณมา ณ ที่นี้

ข้าพเจ้าขอขอบคุณรองศาสตราจารย์ ดร. เอกชัย ลีลารัศมี และรองศาสตราจารย์ ดร. มานะ ศรียุทธศักดิ์ ที่กรุณาสละเวลาอันมีค่าในการเป็นกรรมการในการสอบวิทยานิพนธ์

ข้าพเจ้าขอขอบคุณห้องปฏิบัติการวิจัยวัดคุมทางอุตสาหกรรม ซึ่งเป็นสถานที่ทำการวิจัย รวมถึงเพื่อนพี่น้องนิสิตห้องปฏิบัติการวิจัยวัดคุมทางอุตสาหกรรมทุกท่านที่มีส่วนช่วยเหลือในการให้ข้อคิดเห็น คำแนะนำ และกำลังใจแก่ข้าพเจ้าตลอดระยะเวลาการศึกษาอย่างดียิ่ง

ท้ายนี้ ข้าพเจ้าขอกราบขอบพระคุณคุณพ่อ คุณแม่ของข้าพเจ้าที่ได้เลี้ยงดูและสนับสนุนด้านการศึกษาด้วยดีตลอดมา

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง

บทคัดย่อภาษาอังกฤษ ..... จ

กิตติกรรมประกาศ ..... ฉ

สารบัญ ..... ช

สารบัญตาราง ..... ฎ

สารบัญภาพ ..... ฎ

บทที่

1. บทนำ 1

1.1 แนวเหตุผลในการทำวิทยานิพนธ์ 1

1.2 วัตถุประสงค์ 2

1.3 ขอบเขตของงานวิจัย 2

1.4 ขั้นตอนการดำเนินงาน 3

1.5 ประโยชน์ที่คาดว่าจะได้รับ 3

บทที่

2. พื้นฐานการทำงานของเครื่องควบคุมแบบลำดับที่โปรแกรมได้ 4

2.1 ตัวควบคุมแบบลำดับที่โปรแกรมได้คืออะไร 4

2.2 การทำงาน 5

2.3 โครงสร้างของ PLC 6

2.4 การเขียนโปรแกรม PLC 8

2.5 ระบบการโปรแกรม (Programming System) 9

2.6 วงรอบการทำงานและ Scan Time 11

2.7 ความเร็วของ PLC ที่มีผลต่อการควบคุม 13

2.8 การอ่านเขียนอินพุต/เอาต์พุต 14

2.9 การวิจัยและพัฒนา PLC ในประเทศไทย 16

บทที่

3. พื้นฐานของ FPGA และ VHDL 17

3.1 Field-Programmable Gate Array (FPGA) 17

บทที่ หน้า

3.2 ทำความรู้จักกับ FPGA 17
3.3 โครงสร้างภายในของ FPGA 18
3.4 ปัจจัยที่ทำให้การออกแบบ FPGA ทำได้ง่ายและสะดวกรวดเร็ว 22
3.5 การออกแบบโดยใช้ภาษาอธิบายพฤติกรรมของฮาร์ดแวร์..... 22
3.6 เครื่องมือสำหรับการออกแบบ FPGA 26
3.7 ภาษา VHDL 27
3.8 การออกแบบระบบดิจิตอล 27
3.9 ข้อกำหนดของภาษา VHDL 28
3.10 การออกแบบ PLC คอนโทรลเลอร์โดย FPGA 31
3.11 การนำ FPGA ชิปมาสร้าง CPU และ PLC 32

บทที่

4. เครื่องควบคุมแบบลำดับที่โปรแกรมได้โดย FPGA 33
4.1 ลักษณะของเครื่องควบคุมชนิดโปรแกรมได้ 33
4.2 แนวคิดในการออกแบบ PLC 33
4.3 แนวความคิดในการออกแบบระบบ 33
4.4 แนวความคิดในการออกแบบซอฟต์แวร์ 34
4.5 ตัวอย่าง PLC ขนาดเล็ก 35
4.6 ข้อกำหนด (Specifications) ของ PLC ในวิทยานิพนธ์นี้ 36
4.7 ระบบเลขฐาน 37
4.8 การอ่านเขียนอินพุต/เอาต์พุต 37
4.9 โครงสร้างหน่วยความจำของ PLC 37
4.10 โครงสร้างการจัดเก็บข้อมูลในหน่วยความจำภายใน 38
4.11 โครงสร้างการจัดเก็บโปรแกรมภาษาขั้นบันไดในหน่วยความจำภายนอก 40
4.12 Instruction Machine 41
4.13 คำสั่งเบื้องต้นที่ใช้ใน PLC 43
4.14 โฟล์วชาร์ตแสดงการทำงานของ PLC 44
4.15 วงจรอินพุต/เอาต์พุต 51
4.16 วงจรการสื่อสารกับคอมพิวเตอร์ส่วนบุคคล 53

บทที่ หน้า

บทที่ 5

5. หน่วยประมวลผลกลางของ PLC 56

5.1 โครงสร้างภายใน PLC คอนโทรลเลอร์ 56

5.2 รีจิสเตอร์ภายใน 57

5.3 การสื่อสารข้อมูลระหว่าง PLC และคอมพิวเตอร์ส่วนบุคคล 60

5.4 ฐานเวลา Time Base 62

5.5 Watch dog 63

5.6 การทำงานของคำสั่ง PLC 63

5.7 การสร้าง PLC คอนโทรลเลอร์จาก FPGA ชิปโดยภาษา VHDL 76

5.8 โปรแกรมที่เขียนด้วยภาษา VHDL ในส่วนการทำงานของ CPU 77

บทที่

6. ซอฟต์แวร์พัฒนาโปรแกรมขั้นบันได 83

6.1 การสร้าง/แก้ไขและเก็บบันทึกโปรแกรมขั้นบันได 83

6.2 การแปลงโปรแกรมขั้นบันไดเป็นภาษาเครื่อง 85

6.3 โหลดภาษาเครื่องของโปรแกรมขั้นบันไดลง PLC 91

6.4 แสดงสถานะของของรีเลย์ภายใน PLC 92

บทที่

7. การทดสอบ 94

7.1 บอร์ดต้นแบบ 94

7.2 คำนวณหาความเร็วของคำสั่ง 95

7.3 เปรียบเทียบด้านความเร็วกับ PLC ขนาดเล็กที่มีอยู่ 96

7.4 การทดสอบกับโปรแกรมขั้นบันได 98

7.5 ปัญหาในการทำงาน 103

บทที่

8. สรุปผลและข้อเสนอแนะ 104

8.1 สรุปผล 104

8.2 ข้อเสนอแนะ 105

รายการอ้างอิง 107

ภาคผนวก 109

บทที่ หน้า

ภาคผนวก ก แสดงละเอียดของภาษา VHDL ที่ใช้ออกแบบ PLC คอนโทรลเลอร์ 110
ภาคผนวก ข รายงานการใช้ทรัพยากรของชิป FPAG 137
ภาคผนวก ค รายละเอียดแผนภาพวงจรบอร์ดต้นแบบ 141
ภาคผนวก ง คู่มือการใช้ซอฟต์แวร์พัฒนาโปรแกรมขั้นบันได 144
ประวัติผู้เขียนวิทยานิพนธ์ 156

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

ตาราง หน้า

ตารางที่ 2.1 โปรแกรมภาษาของ PLC 9

ตารางที่ 4.1 แสดงการแบ่งขนาดของ PLC 33

ตารางที่ 4.2 ตัวอย่าง PLC ขนาดเล็กที่ใช้ในอุตสาหกรรม 35

ตารางที่ 4.3 สรุปรวมลักษณะ PLC คอนโทรลเลอร์ชิป 36

ตารางที่ 4.4 คำสั่งและสัญลักษณ์พื้นฐานที่ใช้ใน PLC 43

ตารางที่ 4.5 การจัดขาคอนเน็กเตอร์อนุกรมมาตรฐาน RS-232 แบบ DB-9 และ DB-25 54

ตารางที่ 7.1 ตารางเปรียบเทียบด้านความเร็วของ PLC ต้นแบบและ PLC ที่ใช้จริง 96

ตารางที่ 7.2 แสดงค่าเวลาที่ใช้ของแต่คำสั่งจากการคำนวณ 98

ตารางที่ 7.3 การคำนวณเวลาการทำงานของโปรแกรมขั้นบันไดที่ใช้ทดสอบ 103

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

ภาพประกอบ หน้า

รูปที่ 2.1 การทำงานของ PLC 4
รูปที่ 2.2 โครงสร้างการทำงานภายใน PLC 6
รูปที่ 2.3 สมการบูลีน 9
รูปที่ 2.4 ภาษานิวโมนิค 10
รูปที่ 2.5 ภาษา Logic Diagram 10
รูปที่ 2.6 ภาษาขั้นบันได 11
รูปที่ 2.7 โฟล์วชาร์ตวงรอบการทำงานและ Scan Time 12
รูปที่ 2.8 การหาเวลาการตอบสนองทั้งหมด 13
รูปที่ 2.9 Scan Time และสัญญาณอินพุตที่เข้ามา 13
รูปที่ 2.10 Pulse แคบที่สุด PLC รับได้ เท่ากับ 1 Input + 1 Scan Time 13
รูปที่ 2.11 กรณีที่แย่ที่สุดของการ Delay 14
รูปที่ 2.12 การอ่านเขียนแบบ Continuous Updating 14
รูปที่ 2.13 การอ่านเขียนแบบ Mass input/output copy และตารางเก็บค่าอินพุต/เอาต์พุต 15
รูปที่ 3.1 โครงสร้างภายในของ FPGA ตระกูล FLEX10K 18
รูปที่ 3.2 โครงสร้างภายใน FLEX 10K logic array block 19
รูปที่ 3.3 โครงสร้างภายในของ FLEX 10K logic element 20
รูปที่ 3.4 โครงสร้างของ Embeded array block 20
รูปที่ 3.5 การต่อกันระหว่างชิป FLEX 10K และ EPC1 21
รูปที่ 3.6 การโปรแกรมลงในชิป 22
รูปที่ 3.7 ขั้นตอนการออกแบบระบบดิจิตอล 27
รูปที่ 3.8 การออกแบบระบบเส้นทางของข้อมูล 28
รูปที่ 4.1 ลักษณะการทำงานของโปรแกรมควบคุม 34
รูปที่ 4.2 โครงสร้างหน่วยความจำของ PLC 37
รูปที่ 4.3 โครงสร้างหน่วยความจำภายใน (Internal Memory) 38
รูปที่ 4.4 รูปแบบข้อมูล Timer/Counter Data 40
รูปที่ 4.5 รูปแบบข้อมูล Data Register 40
รูปที่ 4.6 การเก็บข้อมูลโปรแกรมขั้นบันไดในหน่วยความจำภายนอก 40
รูปที่ 4.7 รูปแบบ Instruction Machine 41

หน้า

รูปที่ 4.8 โฟล์วชาร์ตการทำงานหลักของ PLC 44
รูปที่ 4.9 โฟล์วชาร์ตการโหลดโปรแกรมลง PLC 46
รูปที่ 4.10 โฟล์วชาร์ตการอ่านข้อมูลจาก EEPROM บันทึกลงหน่วยความจำข้อมูลภายใน 48
รูปที่ 4.11 รูปแบบการส่งข้อมูลไปคอมพิวเตอร์ส่วนบุคคล 50
รูปที่ 4.12 โฟล์ชาร์ตแสดงการส่งสถานะข้อมูลของ PLC ไปยังคอมพิวเตอร์ 50
รูปที่ 4.13 วงจรอินพุต 52
รูปที่ 4.14 วงจรเอาต์พุต 52
รูปที่ 4.15 การสื่อสารระหว่างคอมพิวเตอร์กับ PLC 53
รูปที่ 4.16 รูปแบบการสื่อสารข้อมูลแบบอะซิงโครนัส 53
รูปที่ 4.17 คอนเน็กเตอร์อนุกรม 9 ขาหรือแบบ DB-9 54
รูปที่ 4.18 การเชื่อมสายระหว่างคอมพิวเตอร์กับ PLC 54
รูปที่ 5.1 โครงสร้างภายใน PLC คอนโทรลเลอร์ 56
รูปที่ 5.2 โครงสร้างหน่วยความจำภายใน 58
รูปที่ 5.3 โครงสร้างการสื่อสารผ่านพอร์ตอนุกรม 61
รูปที่ 5.4 การสร้างฐานเวลา (Time Base) 62
รูปที่ 5.5 โฟล์วชาร์ทของตัวตั้งเวลา 68
รูปที่ 5.6 โฟล์วชาร์ทการทำงานของคำสั่งนับ 69
รูปที่ 5.7 ตัวอย่างที่ผิดในการใช้คำสั่ง MC และ MCC 75
รูปที่ 5.8 โครงสร้างโปรแกรมที่เขียนด้วยภาษา VHDL ในการสร้าง CPU ของ PLC 76
รูปที่ 5.9 โปรแกรมขั้นบันไดตัวอย่างและภาษาเครื่อง 77
รูปที่ 5.10 State Machine การทำงานของหน่วยประมวลผลกลาง 82
รูปที่ 6.1 ซอฟต์แวร์พัฒนาโปรแกรมขั้นบันได 83
รูปที่ 6.2 การสร้าง แก้ไขโปรแกรมขั้นบันได 84
รูปที่ 6.3 รูปแบบไฟล์ที่จัดเก็บนามสกุล PLC 84
รูปที่ 6.4 โฟล์วชาร์ตการเปลี่ยนภาษานิวโมนิคจากไฟล์ .PLC เป็นภาษาเครื่องไฟล์ .BIN 85
รูปที่ 6.5 ข้อมูลทั้งหมดที่ใช้ในการเปลี่ยนภาษานิวโมนิคเป็นภาษาเครื่อง 87
รูปที่ 6.6 ผลการเปลี่ยนจากภาษานิวโมนิค (Mnemonic) ให้เป็นภาษาเครื่อง 90
รูปที่ 6.7 การโหลดโปรแกรมภาษาเครื่องลง PLC 91
รูปที่ 6.8 รูปแบบการส่งข้อมูล Data Memory ไปคอมพิวเตอร์ส่วนบุคคล 92

หน้า

รูปที่ 6.9 หน้าต่างแสดงผลหน่วยความจำภายในของ PLC 93
รูปที่ 7.1 บอร์ดทดลอง UP1X (University Program) ของบริษัท ALTERA 94
รูปที่ 7.2 บอร์ดรวมอุปกรณ์ที่อยู่ภายนอก PLC คอนโทรลเลอร์ 94
รูปที่ 7.3 PLC ต้นแบบ 95
รูปที่ 7.4 โปรแกรมขั้นบันไดที่ใช้ทดสอบ 99
รูปที่ 7.5 การวัดคาบเวลา 1 Scan Time 102

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย