

เอกสารอ้างอิง

1. Bedford B.D. and Hoft. Principles of Inverter Circuits. John Wiley and Sons, INC., 1964
2. General Electric. SCR Manual 5th Edition. General Electric Company U.S.A., 1972
3. Mapham, N.W. The Classification of SCR Inverters. IEEE International Convention Record, Part 4 1964
4. OTT, R.R. A Filter for Silicon-Controlled Rectifier Commutation and Harmonic Attenuation in High-Power Inverters. AIEE Transactions on Communication and Electronics, PP 259-262, May 1963
5. Gentry, Gutzwiller, Holonyak, VonZastrow. Semi Conductor Controller Rectifiers. Prentice-Hall, Inc Englewood Cliffs, N.Y. 1964
6. ผู้ช่วยศาสตราจารย์ ดร.มนตรี สวัสดิ์ศฤงฆาร เครื่องกำเนิดไฟฟ้าความถี่วิทยุใช้ เอส.ซี.อาร์
วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต, บัณฑิตวิทยาลัย, จุฬาลงกรณ์มหาวิทยาลัย
พ.ศ. 2517

ภาคผนวก

ภาคผนวก ก

หม้อแปลงไฟฟ้า

หม้อแปลงไฟฟ้าที่ใช้แปลงแรงดันในวงจรกำลังของอินเวอร์เตอร์ ตามวิทยานิพนธ์นี้

มีข้อกำหนด คือ

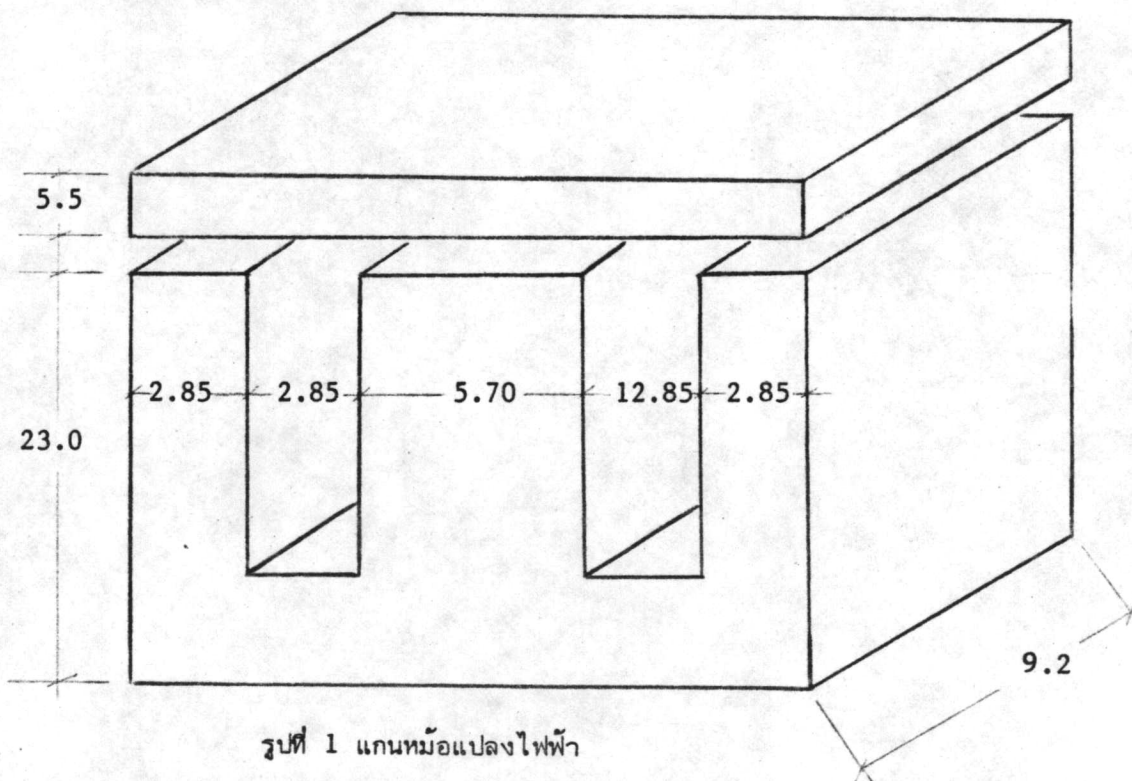
ขดปฐมภูมิ แรงดัน 144 โวลต์ มีจุดแยกกลาง

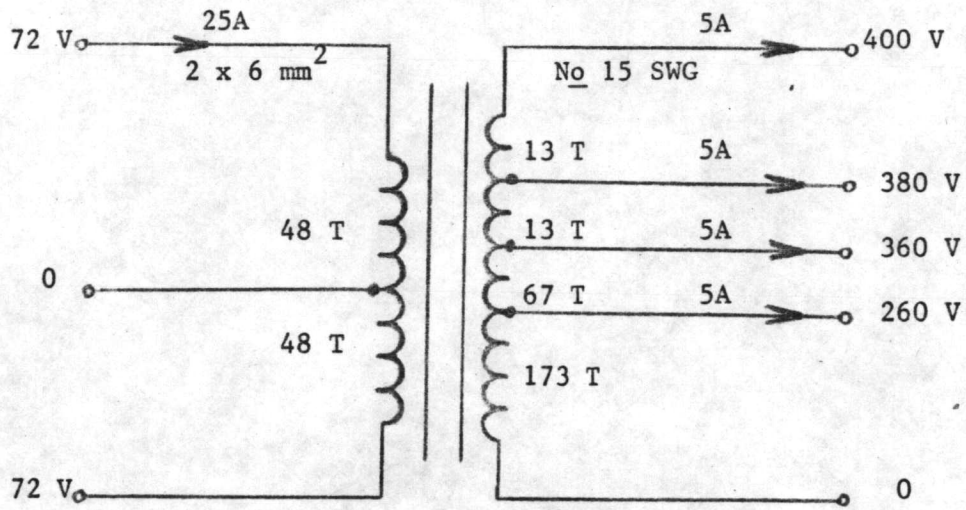
กระแส 25 แอมแปร์

ขดทุติยภูมิ แรงดัน 260, 360, 380 และ 400 โวลต์

กระแส 5 แอมแปร์

ทำโดยใช้แกนรูป E-I ขนาด ตามรูปที่ 1 ส่วนรูปที่ 2 แสดงถึงส่วนต่างๆ ของขดปฐมภูมิ และขดทุติยภูมิ





รูปที่ 2 ส่วนของขดปฐมภูมิและทุติยภูมิ

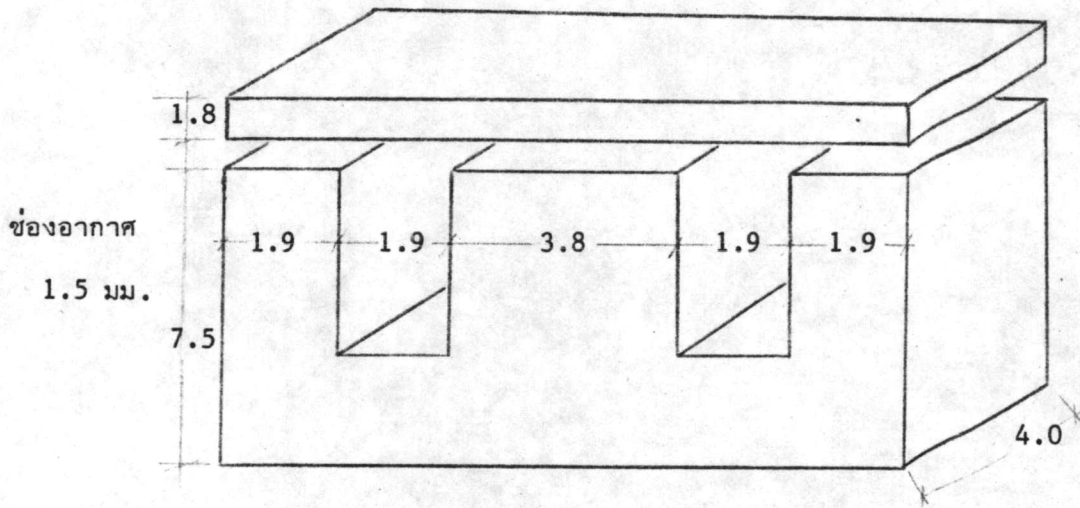
ภาคผนวก ข

ตัวเหนี่ยวนำ

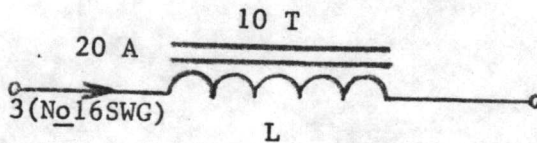
1 ตัวเหนี่ยวนำคอมมิวเตติง L

มีข้อกำหนด $L = 125 \mu\text{H}$

ทำโดยใช้แกนรูป E-I ขนาดตามรูปที่ 3 ส่วนรูปที่ 4 แสดงขนาดขดลวด



รูปที่ 3 แกนตัวเหนี่ยวนำ L



รูปที่ 4 ตัวเหนี่ยวนำ

วัดค่าความเหนี่ยวนำโดยใช้อิมพีแดนซ์บริดจ์ (Impedance Bridge) $L = 119 \mu\text{H}$

2 ตัวเหนี่ยวนำ L_1 ของตัวกรอง

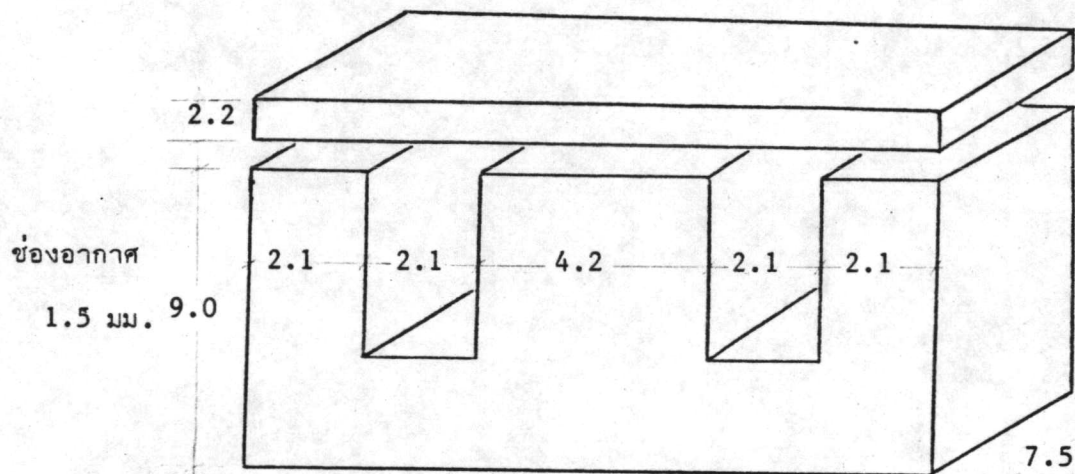
มีข้อกำหนด คือ

แรงดันคร่อม 450 โวลต์

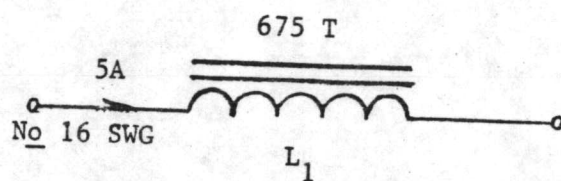
กระแส 5 แอมแปร์

ความเหนี่ยวนำ 286.6 mH

ทำโดยใช้แกนรูป E-I ขนาดตามรูปที่ 5 ส่วนรูปที่ 6 แสดงขนาดขดลวด



รูปที่ 5 แกนตัวเหนี่ยวนำ L_1

รูปที่ 6 ตัวเหนี่ยวนำ L_1

ทดสอบหาค่าความเหนี่ยวนำโดยวิธี Volt-Amp Method ได้ผลตามตาราง 1

ตาราง 1

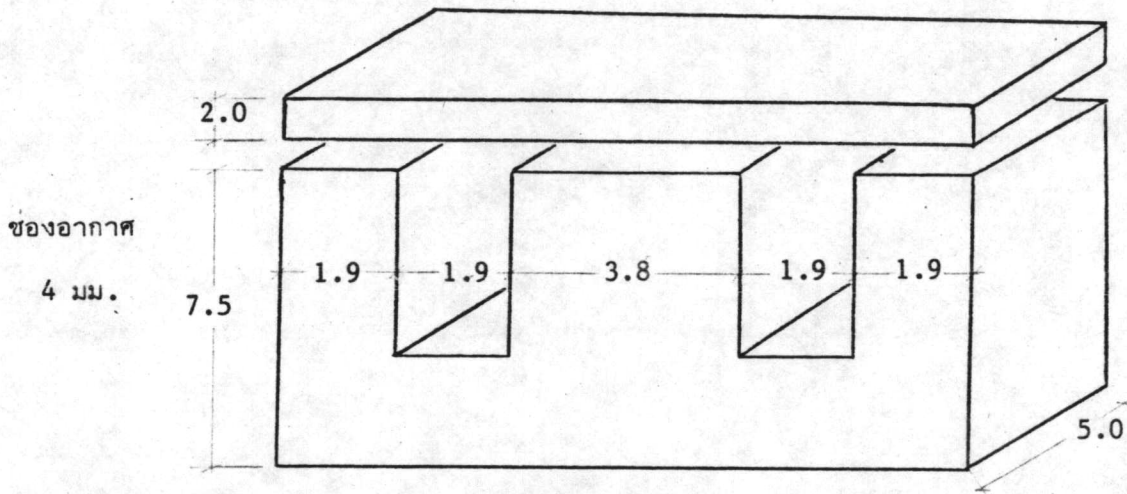
แรงดัน (โวลต์)	กระแส (แอมแปร์)	ค่ารีแอกแตนซ์ (โอห์ม)	ค่าความเหนี่ยวนำ (mH)
380	3.75	101	322
400	4.10	98	312
420	4.35	97	309
430	4.50	96	306
440	4.65	95	303
450	4.75	95	303
460	4.90	94	299

3 ตัวความเหนี่ยวนำ L_2 ของตัวกรอง

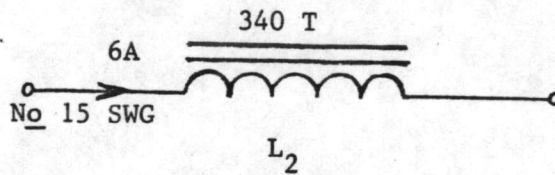
มีข้อกำหนด คือ

แรงดันคร่อม	110	โวลต์
กระแส	6	แอมแปร์
ความเหนี่ยวนำ	63.7	mH

ทำโดยใช้แกนรูป E-I ขนาดตามรูปที่ 7 ส่วนรูปที่ 8 แสดงขนาดขดลวด



รูปที่ 7 แกนตัวเหนี่ยวนำ L_2



รูปที่ 8 ตัวเหนี่ยวนำ L_2

ทดสอบหาค่าความเหนียวนำโดยวิธี Volt-Amp Method ได้ผลตามตารางที่ 2

ตารางที่ 2

แรงดัน (โวลต์)	กระแส (แอมแปร์)	ค่ารีแอกแตนซ์ (โอห์ม)	ค่าความเหนียวนำ (mH)
40	1.65	24.2	77.2
50	2.25	22.2	60.8
60	2.80	21.4	68.2
70	3.35	21.0	66.5
80	3.90	20.5	65.3
90	4.50	20.0	63.7
100	5.50	18.2	57.9
110	6.15	17.9	57.0

ภาคผนวก ค

ตารางที่ 5.1

ผลการทดสอบวงจรตัวกรอง โหลดมีตัวประจํากําลัง 100%

V_{IN} (โวลต์)	I_{IN} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	η (%)
360	3.05	60	236	0	0	0
360	3.00	160	232	0.50	115	71.9
360	3.05	292	230	1.00	226	77.4
360	3.10	406	226	1.50	336	82.8
360	3.25	536	224	2.00	448	83.6
360	3.35	636	220	2.50	544	85.5
360	3.55	752	216	3.00	652	86.7
360	3.75	856	210	3.50	736	86.0
360	4.00	960	204	4.00	816	85.0
360	4.25	1040	200	4.5	884	85.0

ตารางที่ 5.2

ผลการทดสอบตัวกรอง โหลดมีตัวประกอบกำลัง 80% ล้าหลัง

V_{IN} (โวลต์)	I_{IN} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	η (%)
360	3.05	60	236	0	0	0
360	2.90	148	234	0.50	88	59.5
360	2.75	236	234	1.00	180	76.3
360	2.65	234	238	1.50	276	85.2
360	2.60	432	240	2.00	380	88.0
360	2.55	520	240	2.50	468	90.0
360	2.55	620	240	3.00	568	91.6
360	2.63	720	240	3.50	660	91.7
360	2.75	820	240	4.00	752	91.7
360	2.93	924	240	4.50	852	92.2

ตารางที่ 5.3

ผลการทดสอบวงจรตัวกรอง โหลดมีตัวประกอบ 60% ล้าหลัง

V_{IN} (โวลต์)	I_{IN} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	η (%)
360	3.05	60	236	0	0	0
360	2.88	136	238	0.50	72	52.9
360	2.68	192	240	1.00	140	72.9
360	2.45	264	242	1.50	216	81.8
360	2.25	332	244	2.00	292	88.0
360	2.10	400	248	2.50	360	90.0
360	2.03	476	252	3.00	440	92.4
360	2.00	556	252	3.50	512	92.1
360	2.00	640	252	4.00	592	92.5
360	2.10	708	252	4.50	660	93.2

ตารางที่ 5.4

ผลการทดสอบวงจรตัวกรอง โหลดมีตัวประกอบกำลัง 80% นำหน้า

V_{IN} (โวลต์)	I_{IN} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	η (%)
360	3.05	60	236	0	0	0
360	3.25	160	232	0.50	80	50.0
360	3.45	240	224	1.00	152	63.3
360	3.70	352	216	1.50	208	59.1
360	3.88	388	208	2.00	264	68.0
360	4.13	460	198	2.50	308	67.0
360	4.35	516	188	3.00	348	67.4
360	4.55	564	178	3.50	376	66.7
360	4.70	593	168	4.00	403	68.0
360	4.90	625	158	4.50	427	68.3

ตารางที่ 5.5

ผลการทดสอบวงจรตัวกรอง โหลดมีตัวประกอบกำลัง 60% นำหน้า

V_{IN} (โวลต์)	I_{IN} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	η (%)
360	3.05	60	236	0	0	0
360	3.10	172	228	0.50	96	55.8
360	3.18	300	224	1.00	184	61.3
360	3.35	372	220	1.50	260	69.9
360	3.55	496	210	2.00	348	70.2
360	3.78	552	202	2.50	412	74.6
360	3.95	628	192	3.00	468	74.5
360	4.20	648	184	3.50	512	79.0
360	4.38	695	176	4.00	563	81.0
360	4.70	729	168	4.50	605	83.0

ตารางที่ 5.6

ผลการทดสอบอินเวอร์เตอร์ โหลดมีตัวประกอบกำลัง 100%

(ไม่ได้ต่อวงจรตัวกรอง)

ทางเข้า			ทางออก			η (%)
V_{DC} (โวลต์)	I_{DC} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	
72	0.7	50	260	0	0	0
72	4.2	302	260	1.00	250	82.7
72	6.1	439	258	1.50	380	86.5
72	9.0	648	250	2.25	570	88.0
72	11.4	821	244	3.00	720	87.7
72	13.3	972	244	3.50	850	87.4
72	15.1	1087	240	4.00	960	88.3
72	17.5	1260	236	4.55	1100	87.3

ตารางที่ 5.7

ผลการทดสอบอินเวอร์เตอร์ โทลด์มีตัวประกอบกำลัง 80% ล้าหลัง

(ไม่ได้ต่อวงจรตัวกรอง)

ทางเข้า			ทางออก			η (%)
V_{DC} (โวลต์)	I_{DC} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_{Lr} (วัตต์)	
72	0.7	50	260	0	0	0
72	3.8	274	260	1.00	220	80.4
72	5.5	396	258	1.50	320	80.8
72	7.8	562	254	2.25	470	83.7
72	10.2	734	252	3.00	610	83.1
72	10.9	785	250	3.50	670	85.4
72	13.6	978	246	4.00	800	81.7
72	15.5	1116	244	4.55	910	81.5

ตารางที่ 5.8

ผลการทดสอบอินเวอร์เตอร์ โหลดมีตัวประกอบกำลัง 60% ล้าหลัง

(ไม่ได้ต่อวงจรตัวกรอง)

ทางเข้า			ทางออก			η (%)
V_{DC} (โวลต์)	I_{DC} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	
72	0.7	50	260	0	0	0
72	3.3	238	260	1.00	160	67.3
72	4.7	338	260	1.50	250	73.9
72	6.7	482	260	2.25	370	76.7
72	9.0	648	260	3.00	490	75.6
72	10.4	749	260	3.50	580	77.5
72	12.0	864	260	4.00	670	77.5
72	13.7	986	260	4.55	760	77.0

ตารางที่ 5.9

ผลการทดสอบอินเวอร์เตอร์ โหลดมีตัวประกอบกำลัง 80% นำหน้า

(ไม่ได้ต่อวงจรตัวกรอง)

ทางเข้า			ทางออก			η (%)
V_{DC} (โวลต์)	I_{DC} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	
72	0.7	50.4	260	0	0	0
72	3.0	216	258	1.00	160	74.1
72	4.2	302	254	1.50	230	76.1
72	6.3	454	254	2.25	350	77.2
72	8.2	590	254	3.00	470	79.6
72	9.7	698	254	3.50	550	78.8
72	11.2	806	254	4.00	640	79.4
72	12.7	914	254	4.55	720	78.7

ตารางที่ 5.10

ผลการทดสอบอินเวอร์เตอร์ โหลดมีตัวประกอบกำลัง 60% นำหน้า

(ไม่ได้ต่อวงจรตัวกรอง)

ทางเข้า			ทางออก			η (%)
V _{DC} (โวลต์)	I _{DC} (แอมแปร์)	P _{IN} (วัตต์)	V _L (โวลต์)	I _L (แอมแปร์)	P _L (วัตต์)	
72	0.7	50.4	260	0	0	0
72	2.5	180	260	1.00	110	61.1
72	3.5	252	260	1.50	170	67.5
72	5.0	360	260	2.25	280	77.8
72	6.8	490	260	3.00	370	75.6
72	8.0	576	260	3.50	430	74.7
72	9.2	662	260	4.00	490	74.0
72	10.7	770	260	4.55	560	72.9

ตารางที่ 5.11

ผลการทดสอบอินเวอร์เตอร์ โหลดมีตัวประกอบกำลัง 100%

(มีวงจรตัวกรอง)

ทางเข้า			ทางออก			η (%)
V_{DC} (โวลต์)	I_{DC} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	
72	5.0	360	260	0	0	0
72	8.0	576	250	1.00	240	41.7
72	9.6	691	242	1.50	360	52.1
72	12.0	864	234	2.25	520	60.2
72	14.0	1008	220	3.00	660	65.5
72	15.5	1116	214	3.50	740	66.3
72	16.7	1202	210	4.00	800	66.5
72	18	1296	202	4.55	880	67.9

ตารางที่ 5.12

ผลการทดสอบอินเวอร์เตอร์ โหลดมีตัวประกอบกำลัง 80 % ล้าหลัง

(มีวงจรถ้ากรอง)

ทางเข้า			ทางออก			η (%)
V _{DC} (โวลต์)	I _{DC} (แอมแปร์)	P _{IN} (วัตต์)	V _L (โวลต์)	I _L	P _L	
72	5.0	360	260	0	0	0
72	7.0	504	260	1.00	220	43.7
72	8.0	576	258	1.50	300	52.1
72	9.4	677	250	2.25	450	66.5
72	10.5	756	238	3.00	560	74.1
72	11.4	821	228	3.50	630	76.8
72	12.2	878	216	4.00	680	77.4
72	13.3	958	208	4.55	750	78.3

ตารางที่ 5.13

ผลการทดสอบอินเวอร์เตอร์ โหลดมีตัวประกอบกำลัง 60% ล้าหลัง

(มีวงจรตัวกรอง)

ทางเข้า			ทางออก			η (%)
V_{DC} (โวลต์)	I_{DC} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	
72	5.0	360	260	0	0	0
72	6.3	454	260	1.0	160	35.3
72	6.7	482	258	1.5	230	47.7
72	7.5	540	254	2.25	340	63.0
72	8.1	583	240	3.0	430	73.7
72	8.6	619	230	3.5	480	77.5
72	9.0	648	224	4.0	500	77.2
72	10.0	720	218	4.55	570	79.2



ตารางที่ 5.14

ผลการทดสอบอินเวอร์เตอร์ โหลดมีตัวประกอบกำลัง 80% นำหน้า

(มีวงจรตัวกรอง)

ทางเข้า			ทางออก			η (%)
V _{DC} (โวลต์)	I _{DC} (แอมแปร์)	P _{IN} (วัตต์)	V _L (โวลต์)	I _L (แอมแปร์)	P _L (วัตต์)	
72	5.0	360	260	0	0	0
72	8.8	634	260	1.00	220	34.7
72	10.5	756	256	1.50	300	39.7
72	12.8	922	240	2.00	430	46.7
72	14.8	1066	240	2.25	530	49.7
72	16.0	1152	226	3.00	540	46.9
72	17.0	1224	218	3.50	610	49.8
72	18.5	1332	208	4.55	700	52.6

ตารางที่ 5.15

ผลการทดสอบอินเวอร์เตอร์ โหลดมีตัวประกอบกำลัง 60% นำหน้า

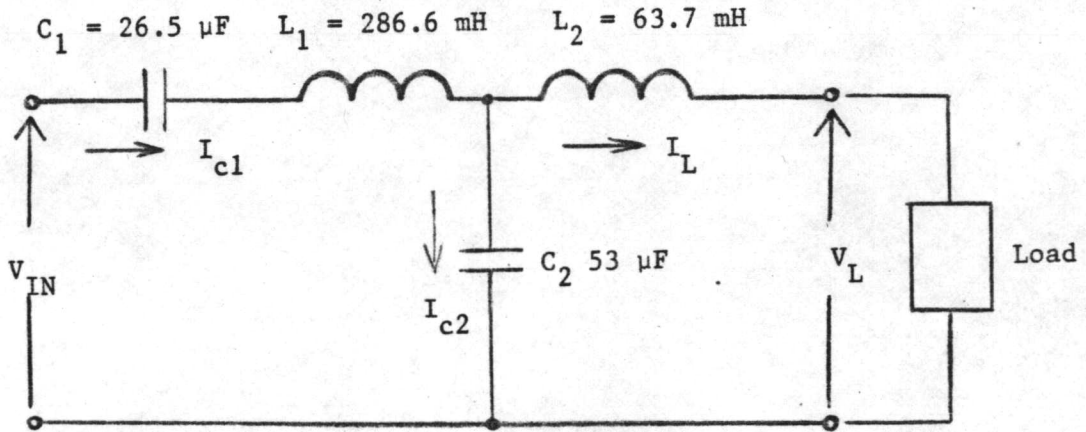
(มีวงจรตัวกรอง)

ทางเข้า			ทางออก			η (%)
V_{DC} (โวลต์)	I_{DC} (แอมแปร์)	P_{IN} (วัตต์)	V_L (โวลต์)	I_L (แอมแปร์)	P_L (วัตต์)	
72	5.0	360	260	0	0	0
72	8.5	612	262	1.0	170	27.8
72	10.0	720	260	1.50	240	33.3
72	12.0	864	252	2.25	340	39.4
72	13.7	986	240	3.00	420	42.6
72	14.8	1066	232	3.50	460	43.2
72	15.8	1138	224	4.00	500	43.9
72	16.7	1202	212	4.55	530	44.1

ภาคผนวก ง

การคำนวณหาค่าแรงดันคร่อม และกระแสไหลผ่าน

อุปกรณ์ตัวกรองแบบออก



V_{IN} = แรงดันรูปคลื่นสี่เหลี่ยม (ประกอบด้วยความถี่พื้นฐาน และฮาร์โมนิก)

V_L = แรงดันรูปคลื่นไซน์ 220 VAC, 50 Hz

ถ้าโหลดมีตัวประกอบกำลัง 80 % ล้าหลัง เราอาจคำนวณได้ว่า

$V_{IN(RMS)}$ ความถี่หลักมูล = 331.4 โวลต์

$V_{IN(RMS)}$ ฮาร์โมนิกที่ 3 = 110.5 โวลต์

$V_{IN(RMS)}$ ฮาร์โมนิกที่ 5 = 66.3 โวลต์

ค่าแรงดันเข้านี้ใช้เป็นพื้นฐานสำหรับคำนวณหาแรงดันคร่อม และกระแสไหลผ่านอุปกรณ์ตัว

กรอง เมื่อโหลดเปลี่ยนแปลงไป

ตารางที่ 16

ค่าแรงดันคร่อมและกระแสที่ไหลผ่านอุปกรณ์ตัวกรอง

(สภาพไร้ โหลด)

	ความถี่ 50 HZ (ความถี่ หลักมูล)	ความถี่ 150 HZ (ฮาร์โมนิกที่ 3)	ความถี่ 250 HZ (ฮาร์โมนิกที่ 5)
I_{c1} แอมแปร์ (%)	3.68 (100)	0.53 (14.4)	0.16 (4.35)
I_{c2} แอมแปร์ (%)	3.68 (100)	0.53 (14.4)	0.16 (4.35)
I_L แอมแปร์ (%)	0	0	0
V_{c1} โวลต์ (%)	442 (100)	21 (4.75)	3.84 (0.87)
V_{L1} โวลต์ (%)	331 (100)	143 (34.2)	72.1 (21.8)
V_{c2} โวลต์ (%)	220.7 (100)	10.5 (4.8)	1.92 (0.87)
V_{L2} โวลต์ (%)	0	0	0
V_L โวลต์ (%)	220.7 (100)	10.5 (4.75)	1.92 (0.87)

ตารางที่ 17

ค่าแรงดันคร่อมและกระแสที่ไหลผ่านอุปกรณ์ตัวกรอง

(โหลดมีตัวประกอบกำลัง 80% ล้าหลัง)

	ความถี่ 50 HZ (ความถี่ หลักมูล)	ความถี่ 150 HZ (ฮาร์โมนิกที่ 3)	ความถี่ 250 HZ (ฮาร์โมนิกที่ 5)
I_{c1} แอมแปร์ (%)	3.06 (100)	0.53 (17.3)	0.16 (5.23)
I_{c2} แอมแปร์ (%)	4.73 (100)	0.61 (12.9)	0.17 (3.59)
I_L แอมแปร์ (%)	4.55 (100)	0.08 (1.76)	0.08 (1.76)
V_{c1} โวลต์ (%)	367 (100)	12.24 (5.79)	3.81 (1.04)
V_{L1} โวลต์ (%)	275 (100)	143.3 (52.1)	71.6 (26.0)
V_{c2} โวลต์ (%)	295 (100)	12.17 (4.13)	1.99 (0.68)
V_{L2} โวลต์ (%)	91 (100)	4.64 (5.10)	0.80 (0.88)
V_L โวลต์ (%)	220 (100)	7.36 (3.35)	1.19 (0.54)

ตารางที่ 18

ค่าแรงดันคร่อมและกระแสที่ไหลผ่านอุปกรณ์ตัวกรอง

(โหลดมีตัวประกอบกำลัง 100%)

	ความถี่ 50 HZ (ความถี่ หลักมูล)	ความถี่ 150 HZ (ฮาร์โมนิกที่ 3)	ความถี่ 250 HZ (ฮาร์โมนิกที่ 5)
I_{c1} (%)	4.77 (100)	0.54 (11.3)	0.16 (4.02)
I_{c2} (%)	3.98 (100)	0.80 (20)	0.18 (4.52)
I_L (%)	4.55 (100)	0.21 (4.62)	0.005 (0.11)
V_{c1} (%)	573 (100)	21.7 (3.79)	3.83 (0.67)
V_{L1} (%)	430 (100)	146.4 (34.1)	71.6 (16.7)
V_{c2} (%)	255 (100)	16.0 (6.27)	2.11 (0.83)
V_{L2} (%)	90 (100)	12.5 (13.9)	0.46 (0.51)
V_L (%)	220.8 (100)	10.1 (4.57)	0.23 (0.10)



CD4013M/CD4013C dual D flip-flop

general description

The CD4013M/CD4013C dual D flip-flop is a monolithic complementary MOS (CMOS) integrated circuit constructed with N and P channel enhancement transistors. Each flip flop has independent data, set, reset, and clock inputs and, "Q" and "Q̄" outputs. These devices can be used for shift register applications, and, by connecting "Q̄" output to the data input, for counter and toggle applications. The logic level present at the "D" input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line respectively.

features

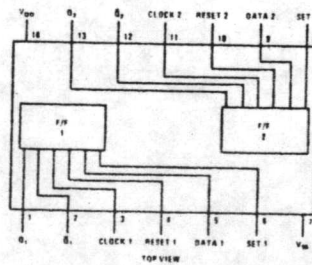
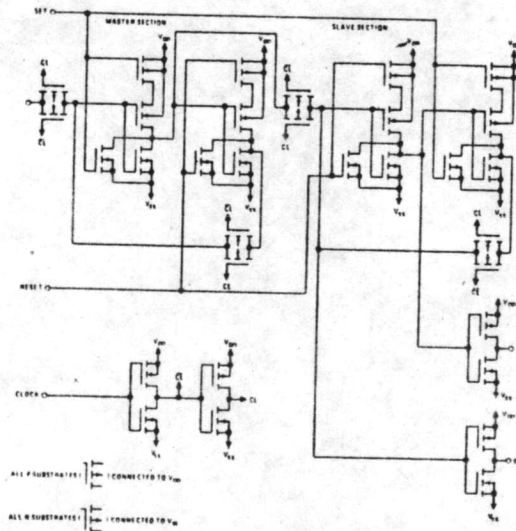
- Supply voltage range 3V to 15V

- Noise Immunity 0.45 V_{DD} (typ)
- Low power 50 nW (typ)
- Medium speed operation 10 MHz (typ) with 10 volt supply

applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm system
- Industrial electronics
- Remote metering
- Computers

schematic and connection diagrams





CD4027M/CD4027C dual JK master/slave flip-flop with set and reset

general description

These dual JK flip-flops are monolithic Complementary MOS (CMOS) integrated circuits constructed with N and P-channel enhancement mode transistors. Each flip-flop has independent J, K, set, reset and clock inputs and buffered Q and \bar{Q} outputs. These flip-flops are edge sensitive to the clock input and change state on the positive going transition of the clock pulses. Set or reset is independent of the clock and is accomplished by a high level on the respective input.

features

- Wide supply voltage range 3.0V to 15V
- Low power 50 nW typ

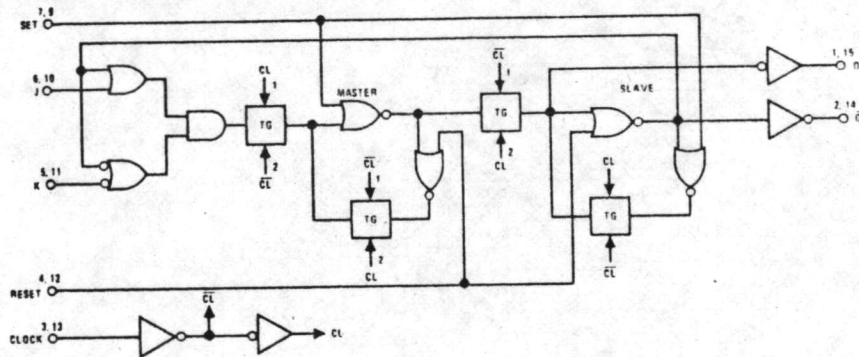
- Medium speed operation
- High noise immunity

8.0 MHz typ
with 10V supply
0.45 V_{CC} typ

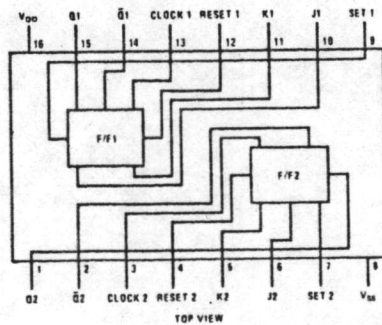
applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm systems
- Remote metering
- Computers

schematic diagram



connection diagram



truth table

* _{t_{n-1}} INPUTS						* _{t_n} OUTPUTS	
CL*	J	K	S	R	Q	Q	\bar{Q}
1	X	0	0	0	1	1	0
1	0	X	0	0	0	0	1
1	X	1	0	0	1	0	1
1	X	X	0	0	X	(No change)	
X	X	X	1	0	X	1	0
X	X	X	0	1	X	0	1
X	X	X	1	1	X	*	*

Where:

- 1 = High Level
- 0 = Low Level
- * = Level Change
- X = Don't Care
- * = Invalid Condition
- *_{t_{n-1}} refers to the time interval prior to the positive clock pulse transition
- *_{t_n} refers to the time intervals after the positive clock pulse transition

CD4025M/CD4025C



CD4025M/CD4025C triple 3-input NOR gate

general description

These NOR gates are monolithic complementary MOS (CMOS) integrated circuits. The N and P-channel enhancement mode transistors provide a symmetrical circuit with output swings essentially equal to the supply voltage. This results in high noise immunity over a wide supply voltage range. No dc power other than that caused by leakage current is consumed during static conditions. All inputs are protected against static discharge and latching conditions.

features

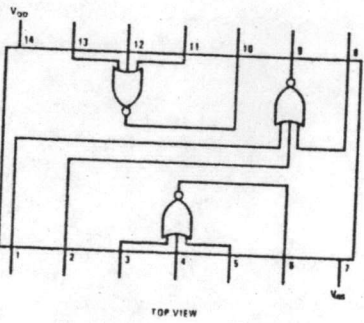
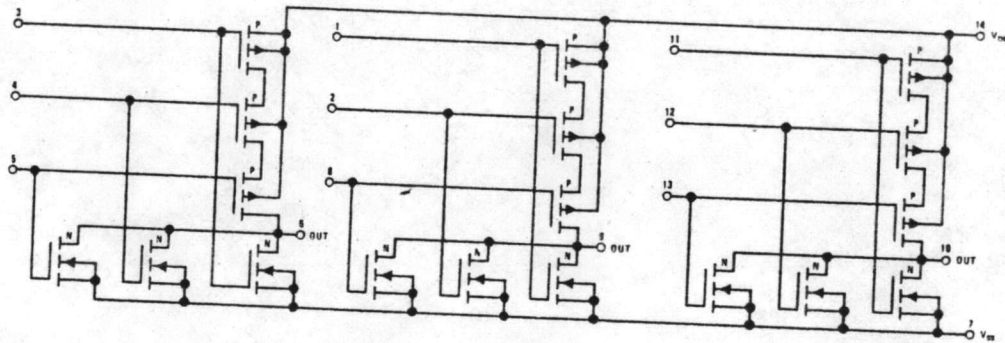
- Wide supply voltage range 3.0V to 15V
- Low power 10 nW (typ.)

- High noise immunity 0.45 V_{DD} (typ.)
- Medium speed operation $t_{PHL} = t_{PLH} = 25$ ns (typ.) at $C_L = 15$ pF

applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Industrial controls
- Remote metering
- Computers

logic and connection diagrams



CD4011M/CD4011C, CD4012M/CD4012C, CD4023M/CD4023C



CD4011M/CD4011C quad 2-input NAND gate
CD4012M/CD4012C dual 4-input NAND gate
CD4023M/CD4023C triple 3-input NAND gate

general description

These NAND gates are monolithic complementary MOS (CMOS) integrated circuits. The N and P channel enhancement mode transistors provide a symmetrical circuit with output swings essentially equal to the supply voltage. This results in high noise immunity over a wide supply voltage range. No DC power other than that caused by leakage current is consumed during static conditions. All inputs are protected against static discharge and latching conditions.

features

- Wide supply voltage range 3V to 15V

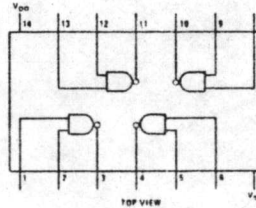
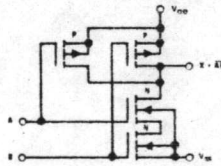
- Low power 10 nW (typical)
- High noise immunity 0.45 V_{DD} (typical)

applications

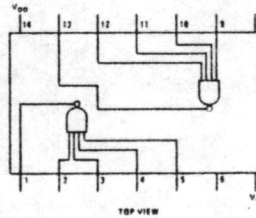
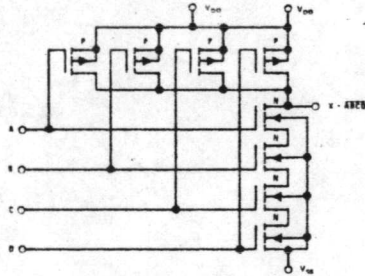
- Automotive
- Data Terminals
- Instrumentation
- Medical Electronics
- Alarm System
- Industrial Controls
- Remote Metering
- Computers

schematic and connection diagrams

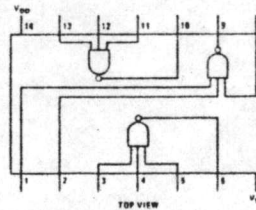
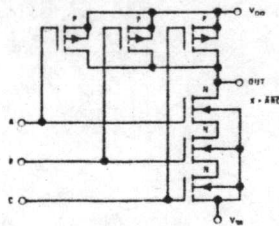
CD4011M/CD4011C SCHEMATIC



CD4012M/CD4012C SCHEMATIC



CD4023M/CD4023C SCHEMATIC



品名	電 氣 的 特 性										備 考	規 格 外 形			
	V _{max} (V)	V _{max} (V)	V _{max} (V)	P ₀ (W)	P ₀ (W)	I _{max} (A)	I _{max} (A)	V _{max} (V)	V _{max} (V)	V _{max} (V)			T _{max} (°C)	T _{max} (°C)	I _{max} (mA)
SH5H1A	150	100	100	0.5	0.5	5.0	5.0	10	5.0	5.0	-40	125	4.0	4.0	3.1
SH5H1A	300	200	200	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH5H1A	400	300	300	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH5H1A	500	400	400	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH5H1A	600	500	500	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH5J1A	720	600	600	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH5H12	150	100	100	0.5	0.5	5.0	5.0	10	5.0	5.0	-40	125	4.0	4.0	
SH5H12	300	200	200	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH5F12	400	300	300	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH5G12	500	400	400	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH5H12	600	500	500	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH5J12	720	600	600	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH10H1A	150	100	100	0.5	0.5	5.0	5.0	10	5.0	5.0	-40	125	4.0	4.0	
SH10H1A	300	200	200	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH10F1A	400	300	300	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH10G1A	500	400	400	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH10H1A	600	500	500	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH10J1A	720	600	600	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH10H12	150	100	100	0.5	0.5	5.0	5.0	10	5.0	5.0	-40	125	4.0	4.0	
SH10H12	300	200	200	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH10F12	400	300	300	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH10G12	500	400	400	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH10H12	600	500	500	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH10J12	720	600	600	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH20H1	300	200	200	0.5	0.5	5.0	5.0	10	5.0	5.0	-40	125	4.0	4.0	
SH20F1	400	300	300	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH20G1	500	400	400	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH20H1	600	500	500	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH20J1	720	600	600	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	
SH20H1	800	600	600	0.5	0.5	5.0	5.0	10	5.0	5.0	125	4.0	4.0	3.1	

SHARP 株式会社 製作所 東京都港区新橋三丁目

ประวัติผู้เขียน



ชื่อ นาย ประสิทธิ์ ศิทยพัฒน์

การศึกษา ประถมศึกษา

โรงเรียนวชิรชนูปถัมภ์ จังหวัดสุรินทร์

มัธยมศึกษา

โรงเรียนศิริศาสตร์ จังหวัดพระนครศรีอยุธยา

เตรียมอุดมศึกษา

โรงเรียนเตรียมอุดมศึกษา จังหวัดพระนครศรีอยุธยา

อุดมศึกษา

สอบเข้าได้ศึกษาที่คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์

มหาวิทยาลัย ปีพ.ศ. 2504 แล้วสอบได้ทุนแผนการ

โคลัมโบ (Columbo Plan) ไปศึกษาที่ประเทศ

ออสเตรเลีย สอบได้ Leaving Certificate ของ

รัฐ New South Wales จาก Sydney Technical

College ปี พ.ศ. 2505 เข้าศึกษา และได้

Bachelor of Engineering in Electrical

Engineering จาก University of New South

Wales ปี พ.ศ. 2510