

การออกแบบวงจรชนิดซีมอสกำลังสูญเสียต่ำโดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่



นางสาวภัชราภรณ์ ชูนาค

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2549
ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

LOW - POWER CMOS MULTIPLIER DESIGN BASED ON DUAL SUPPLY VOLTAGE
TECHNIQUE

Miss Patcharaporn Chunak

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering Program in Electrical Engineering

Department of Electrical Engineering

Faculty of Engineering

Chulalongkorn University

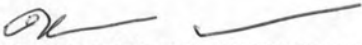
Academic Year 2006

Copyright of Chulalongkorn University

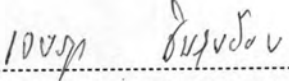
490630

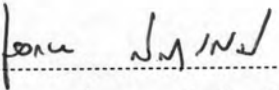
หัวข้อวิทยานิพนธ์	การออกแบบวงจรคูณชนิดซิมอสกำลังสูญเสียต่ำ โดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่
โดย	นางสาวภัชราภรณ์ ชูภาค
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	รองศาสตราจารย์ ดร.เอกชัย ลีลารัมย์
อาจารย์ที่ปรึกษาร่วม	อาจารย์ บุญช่วย ทรัพย์มันชัย

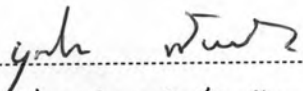
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้หัวข้อวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรบัณฑิต

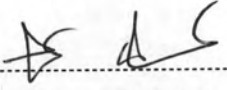

..... คณะบดีคณะวิศวกรรมศาสตร์
(ศาสตราจารย์ ดร.ดิเรก ลาวัณย์ศิริ)

คณะกรรมการสอบวิทยานิพนธ์


..... ประธานกรรมการ
(ผู้ช่วยศาสตราจารย์ ดร. เจษฎา ชินรุ่งเรือง)


..... อาจารย์ที่ปรึกษา
(รองศาสตราจารย์ ดร.เอกชัย ลีลารัมย์)


..... อาจารย์ที่ปรึกษาร่วม
(อาจารย์ บุญช่วย ทรัพย์มันชัย)


..... กรรมการ
(อาจารย์ ดร. สุรีย์ พุ่มรินทร์)

วิทยานิพนธ์ ชูนาถ : การออกแบบวงจรมคูณชนิดซีมอสกำลังสูญเสียต่ำ โดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่. (LOW-POWER CMOS MULTIPLIER DESIGN BASED ON DUAL SUPPLY VOLTAGE TECHNIQUE) อ. ที่ปรึกษา : รศ.ดร. เอกชัย ลีลารัมย์ อาจารย์ที่ปรึกษา : อ. บุญช่วย ทรัพย์มันชัย, 93 หน้า

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรมคูณกำลังสูญเสียต่ำที่มีโครงสร้างวงจรมคูณแบบโครงสร้างต้นไม้โดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ เทคนิคแรงดันแหล่งจ่ายไฟคู่ เป็นการแบ่งแรงดันออกเป็นแรงดันต่ำ 2.5 V และแรงดันสูง 3.3 V ในการออกแบบวงจรมคูณประกอบด้วยวงจรมคูณสองแบบ คือ วงจรมคูณที่ทำหน้าที่แรงดันสูงและวงจรมคูณที่ทำหน้าที่แรงดันต่ำ โดยให้วงจรมคูณที่ทำหน้าที่แรงดันสูงทำงานในวิถีวิกฤตของวงจรมคูณ ส่วนวงจรมคูณที่ทำหน้าที่แรงดันต่ำให้ทำงานในวิถีสอื่น ๆ ซึ่งขั้นตอนวิธีที่ได้จะเป็นการแบ่งส่วนและเลือกชนิดของวงจรมคูณที่จะนำมาใช้ในการออกแบบวงจรมคูณ เทคนิคนี้ช่วยลดกำลังสูญเสียของวงจรมคูณ โดยไม่ทำให้ค่าความหน่วงของวงจรมคูณลดลง การออกแบบลายวงจรมคูณแบบโครงสร้างต้นไม้ขนาด 16 X 16 บิต ใช้เทคโนโลยีซีมอส 0.25 ไมโครเมตร มีพื้นที่ของวงจรมคูณประมาณ 0.1619 ตารางมิลลิเมตร ผลการจำลองการทำงานของลายวงจรมคูณสามารถลดกำลังลงได้ 42.56 % เมื่อเทียบกับวงจรมคูณขนาด 16 X 16 บิต ที่ทำงานที่แรงดันสูง 3.3 V เพียงอย่างเดียว ซึ่งผลจากการจำลองลายวงจรมคูณที่ได้เป็นการยืนยันได้ว่าการออกแบบวงจรมคูณโดยใช้เทคนิคนี้สามารถลดกำลังของวงจรมคูณโดยไม่ทำให้ค่าความหน่วงของวงจรมคูณลดลง

ภาควิชา.....วิศวกรรมไฟฟ้า.....ลายมือชื่อนิสิต.....อ.ดร.นพ. นพ.
 สาขาวิชา.....วิศวกรรมไฟฟ้า.....ลายมือชื่ออาจารย์ที่ปรึกษา.....ผศ.ดร.
 ปีการศึกษา.....2549.....ลายมือชื่ออาจารย์ที่ปรึกษาร่วม.....อ.ดร.นพ.

4670714621 : MAJOR ELECTRICAL ENGINEERING

KEY WORD : FULL ADDER / TREE MULTIPLIER / LOW- POWER TECHNIQUE / DUAL SUPPLY VOLTAGE

PATCHARAPORN CHUNAK : LOW-POWER CMOS MULTIPLIER DESIGN BASED ON DUAL SUPPLY VOLTAGE TECHNIQUE. THESIS ADVISOR : ASSOC.PROF. EKACHAI LEELARASMEE, Ph.D. THESIS COADVISOR: BOONCHUAY SUPMONCHAI. , 93 pp

This thesis proposes a low-power tree multiplier design approach based on dual supply voltage technique. Our design consists of two types of full adder units, one with a higher voltage supply at 3.3 V and the other at 2.5 V. The 3.3 V full- adder units are used exclusively in the critical path of the multiplier to guarantee its best overall performance while the 2.5 V units are used in the region where the timing is not critical to reduce the power consumption. The algorithm to partition and select which type of full adder units to be used is described. The tree multiplier, designed with a 0.25 μm CMOS technology using our approach has achieved the circuit area of 0.1619 mm^2 . While reduce power consumption of tree multiplier up to 42.56 % in 16 X 16 bit multiplier without deteriorating its delay performance.

Department Electrical Engineering Student's signature *พชร ชูนาค*
 Field of study Electrical Engineering Advisor's signature *เอกชัย เล็ลารสมเ*
 Academic year 2006 Co-advisor's signature *บุญชาย สุปมอช*

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จล่วงไปได้ด้วยการช่วยเหลืออย่างดียิ่งของอาจารย์ที่ปรึกษา
วิทยานิพนธ์ อาจารย์ บุญช่วย ทรัพย์มันชัย ที่ได้ให้คำแนะนำและข้อคิดเห็นต่างๆที่เป็นประโยชน์
ในการวิจัยและรศ. ดร. เอกชัย ลีลาธรรมิ ที่ให้การสนับสนุนการทำวิจัยด้วยดีตลอดมา

ขอขอบคุณ คุณ โอมรินทร์ สาธุเสน สำหรับคำแนะนำและสอนการใช้โปรแกรมที่เป็นประ
โยชน์แก่งานวิจัยนี้ และคุณภาณุวัฒน์ ค่านกลาง สำหรับคำแนะนำต่างๆในงานวิจัยนี้

นอกจากนี้ยังมีเพื่อนๆ พี่ๆ และน้องๆ ทุกคนในห้องปฏิบัติการวิจัยออกแบบและประยุกต์
วงจรรวม (IDAR) ที่คอยห่วงใยให้การช่วยเหลือตลอดจนคำแนะนำที่ดีต่างๆมาโดยตลอด

ท้ายนี้ ผู้วิจัยใคร่ขอกราบขอบพระคุณ บิดา-มารดา ที่ให้การสนับสนุนทางการเงิน และ
ให้กำลังใจแก่ผู้วิจัยด้วยดีตลอดมา

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	ง
บทคัดย่อภาษาอังกฤษ.....	จ
กิตติกรรมประกาศ.....	ฉ
สารบัญ.....	ช
สารบัญตาราง.....	ญ
สารบัญภาพ.....	ฎ
บทที่ 1 บทนำ.....	1
1.1 แนวเหตุผลในการทำวิทยานิพนธ์.....	1
1.2 วัตถุประสงค์ของการวิจัย.....	2
1.3 ขอบเขตของงานวิจัย.....	2
1.4 วิธีดำเนินงานวิจัย.....	2
1.5 ประโยชน์ที่คาดว่าจะได้รับ.....	2
1.6 ลำดับขั้นตอนในการเสนอผลการวิจัย.....	3
บทที่ 2 โครงสร้างวงจรรคูณ.....	4
2.1 ปรีทรรศน์วรรณกรรม.....	4
2.2 วงจรรคูณแบบขนาน.....	5
2.2.1 วงจรรคูณแบบแถวลำดับ (Array multiplier).....	6
2.2.2 วงจรรคูณแบบเก็บตัวทด (Carry-save multiplier).....	7
2.2.3 วงจรรคูณแบบโครงสร้างต้นไม้ (Tree multiplier).....	7
2.3 วงจรบวกเต็มอัตรา 1 บิต (1-Bit Full Adder).....	9
2.4 สรุปท้ายบท.....	12
บทที่ 3 การออกแบบวงจรกำลังต่ำและเทคนิคแรงดันแหล่งจ่ายไฟคู่.....	14
3.1 การออกแบบวงจรกำลังต่ำ.....	14
3.1.1 แรงดันแหล่งจ่าย (V_{DD}).....	14
3.1.2 ความจุ (Capacitance).....	14
3.1.3 ลักษณะการสลับค่าของสัญญาณ (Switching activity).....	15
3.2 การออกแบบวงจรวกเต็มอัตรา 1 บิต กำลังต่ำ.....	15
3.2.1 การปรับขนาดของทรานซิสเตอร์ (Transistor sizing).....	15
3.3 การออกแบบวงจรรคูณแบบโครงสร้างต้นไม้.....	19
3.4 เทคนิคแรงดันแหล่งจ่ายไฟคู่สำหรับการออกแบบวงจรรคูณ.....	22

	3.4.1	การหาวิธีวิกฤติของวงจรคูณแบบโครงสร้างต้นไม้	22
	3.4.2	ขั้นตอนวิธีในการแบ่งส่วนและเลือกวงจรบวกเมื่อใช้เทคนิคแรงดัน แหล่งจ่ายไฟคู่	23
	3.4.3	การจำลองการทำงานของวงจรคูณแบบโครงสร้างต้นไม้จากแผน ภาพเค้าร่าง (Schematic)	30
	3.5	สรุปท้ายบท	31
บทที่	4	การวัดลายวงจรรวมและการจำลองวงจร	33
	4.1	ลายวงจรของวงจรบวกเต็มอัตรา 1 บิต	33
	4.2	ลายวงจร AND	34
	4.3	ลายวงจรตัวเปลี่ยนระดับ (Level Converter)	35
	4.4	ลายวงจรคูณแบบโครงสร้างต้นไม้	36
	4.4.1	การวางแรงดันแหล่งจ่าย	36
	4.4.2	การจัดวางลายวงจรคูณแบบโครงสร้างต้นไม้	37
	4.4.3	ลายวงจรคูณแบบโครงสร้างต้นไม้	37
	4.4.3.1	แรงดันแหล่งจ่ายเดียว	37
	4.4.3.2	แรงดันแหล่งจ่ายไฟคู่	38
	4.5	การจำลองลายวงจร	45
	4.5.1	การจำลองลายวงจรบวกเต็มอัตรา 1 บิต	45
	4.5.2	การจำลองลายวงจรคูณแบบโครงสร้างต้นไม้	45
	4.6	สรุปท้ายบท	46
บทที่	5	ข้อสรุปและข้อเสนอแนะ	47
	5.1	ข้อสรุป	47
	5.2	ข้อเสนอแนะ	48
		รายการอ้างอิง	49
		ภาคผนวก	51
		ภาคผนวก ก	
		การคำนวณค่าตัวเก็บประจุการะ	52
		ภาคผนวก ข	
		รายละเอียดกระบวนการผลิต TSMC 0.25 microns	54
		ภาคผนวก ค	
		การหาวิธีวิกฤติของวงจรคูณ	58
		ภาคผนวก ง	

โปรแกรมสร้างลำดับบิตสุ่มเทียมด้วยภาษา C++.....	86
ภาคผนวก จ	
บทความที่ได้รับการตีพิมพ์ในการประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 29.....	88
ประวัติผู้เขียนวิทยานิพนธ์.....	93

สารบัญตาราง

	หน้า
ตารางที่ 2-1 สรุปงานวิจัยเกี่ยวกับวงจรคูณ.....	4
ตารางที่ 2-2 การเปรียบเทียบความแตกต่างของจำนวนเซลล์วงจรบวกที่อยู่ในวิถีวิกฤติ และเซลล์วงจรบวกในแต่ละวิถีวิกฤติของโครงสร้างวงจรคูณ.....	8
ตารางที่ 2-3 การเปรียบเทียบความซับซ้อนของความหน่วงในแต่ละโครงสร้างวงจรคูณ.....	12
ตารางที่ 3-1 ค่าภาระที่แรงดันต่างๆ.....	17
ตารางที่ 3.2 ผลการจำลองวงจรบวกเต็มอัตรา 1 บิต.....	19
ตารางที่ 3.3 ผลการจำลองวงจรคูณแบบ โครงสร้างต้นไม้ที่แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 2.5 V).....	30
ตารางที่ 3.4 ผลการจำลองวงจรคูณแบบ โครงสร้างต้นไม้ที่แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 1.8 V).....	31
ตารางที่ 4-1 พื้นที่ลายวงจรคูณแบบ โครงสร้างต้นไม้ขนาดต่างๆ.....	38
ตารางที่ 4-2 ผลการจำลองลายวงจรบวกเต็มอัตรา 1 บิต.....	45
ตารางที่ 4-3 ผลการจำลองลายวงจรคูณแบบ โครงสร้างต้นไม้.....	46

สารบัญภาพ

	หน้า
รูปที่ 2-1 ตัวอย่างการคูณเลขฐานสอง	5
รูปที่ 2-2 การสร้างผลคูณย่อยในแถวที่ 2	6
รูปที่ 2-3 วงจรคูณแบบขนาน	8
รูปที่ 2-4 การแบ่งวงจรวกออกแบบเป็นส่วนๆ	9
รูปที่ 2-5 วงจรวกที่ออกแบบโดยใช้ทรานซิสเตอร์แบบต่างๆ.....	10
รูปที่ 2-6 การต่อวงจรวกเป็นแถวลำดับ (ก) ใช้บัฟเฟอร์ (ข) ใช้อินเวอร์เตอร์	11
รูปที่ 2-7 วงจรวกเต็มอัตรา 1 บิต (1 bit full adder) ที่คัดแปลงแล้ว	12
รูปที่ 3-1 ขนาดของทรานซิสเตอร์ในวงจรวกเต็มอัตรา 1 บิต	16
รูปที่ 3-2 (ก)วงจรวกเต็มอัตรา 1 บิต กำลังต่ำ ที่ $V_{DD} = 3.3 V$	17
รูปที่ 3-2 (ข)วงจรวกเต็มอัตรา 1 บิต กำลังต่ำ ที่ $V_{DD} = 2.5 V$	18
รูปที่ 3-2 (ค)วงจรวกเต็มอัตรา 1 บิต กำลังต่ำ ที่ $V_{DD} = 1.8 V$	18
รูปที่ 3-3 ผลคูณย่อยของวงจรมคูณขนาด 4 X 4 บิต	19
รูปที่ 3-4 วงจรคูณแบบ โครงสร้างต้นไม้ขนาด 4 X 4 บิต	20
รูปที่ 3-5 วงจรคูณแบบ โครงสร้างต้นไม้ขนาด 8 X 8 บิต	20
รูปที่ 3-6 วงจรคูณแบบ โครงสร้างต้นไม้ขนาด 16 X 16 บิต	21
รูปที่ 3-7 วงจรคูณแบบ โครงสร้างต้นไม้ขนาด 8 X 8 บิตที่สร้างเพื่อการหาวิถีวิกฤติ	23
รูปที่ 3-8 วิถีวิกฤติ (critical path) ของวงจรมคูณแบบ โครงสร้างต้นไม้ ขนาด 8 X 8บิต	23
รูปที่ 3-9 การหาวิถีวิกฤติ ในวงจรมคูณแบบ โครงสร้างต้นไม้ ขนาด 8 X 8 บิต เมื่อใช้เทคนิค แรงดันแหล่งจ่ายไฟคู่	24
รูปที่ 3-10 วงจรมคูณแบบ โครงสร้างต้นไม้ขนาด 8 X 8 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ ที่ $V_{DDH} = 3.3 V$ และ $V_{DDL} = 2.5 V$	25
รูปที่ 3-11 วงจรมคูณแบบ โครงสร้างต้นไม้ขนาด 4 X 4 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ ที่ $V_{DDH} = 3.3 V$ และ $V_{DDL} = 2.5 V$	25
รูปที่ 3-12 วงจรมคูณแบบ โครงสร้างต้นไม้ขนาด 16 X 16 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ ที่ $V_{DDH} = 3.3 V$ และ $V_{DDL} = 2.5 V$	26
รูปที่ 3-13 ตัวเปลี่ยนระดับ (level converter)	27
รูปที่ 3-14 วงจรมคูณแบบ โครงสร้างต้นไม้ขนาด 4 X 4 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ ที่ $V_{DDH} = 3.3 V$ และ $V_{DDL} = 1.8 V$	28
รูปที่ 3-15 วงจรมคูณแบบ โครงสร้างต้นไม้ขนาด 8 X 8 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ ที่ $V_{DDH} = 3.3 V$ และ $V_{DDL} = 1.8 V$	28

รูปที่ 3-16 วงจรคูณแบบ โครงสร้างต้นไม้ขนาด 16 X 16 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ ที่ $V_{DDH} = 3.3 \text{ V}$ และ $V_{DDL} = 1.8 \text{ V}$	29
รูปที่ 4-1 ลายวงจรบวกเต็มอัตรา 1 บิต ที่แรงดัน 3.3 V	34
รูปที่ 4-2 ลายวงจรบวกเต็มอัตรา 1 บิต ที่แรงดัน 2.5 V	34
รูปที่ 4-3 ลายวงจร Logic AND	35
รูปที่ 4-4 ลายวงจรตัวเปลี่ยนระดับ	35
รูปที่ 4-5 แผนภาพการจัดวางวงจรบวกแบบกระจกเงา.....	36
รูปที่ 4-6 แผนภาพการวาดลายวงจรที่แรงดันแหล่งจ่ายเดียว (Single supply voltage)	36
รูปที่ 4-7 แผนภาพการวาดลายวงจรที่แรงดันแหล่งจ่ายไฟคู่ (Dual supply voltage)	37
รูปที่ 4-8 แผนภาพการวางวงจรคูณแบบ โครงสร้างต้นไม้	37
รูปที่ 4-9 ลายวงจรคูณแบบ โครงสร้างต้นไม้ขนาด 4 X 4 บิต ที่แรงดันแหล่งจ่ายเดียว	39
รูปที่ 4-10 ลายวงจรคูณแบบ โครงสร้างต้นไม้ขนาด 4 X 4 บิต ที่แรงดันแหล่งจ่ายไฟคู่.....	40
รูปที่ 4-11 ลายวงจรคูณแบบ โครงสร้างต้นไม้ขนาด 8 X 8 บิต ที่แรงดันแหล่งจ่ายเดียว.....	41
รูปที่ 4-12 ลายวงจรคูณแบบ โครงสร้างต้นไม้ขนาด 8 X 8 บิต ที่แรงดันแหล่งจ่ายไฟคู่	42
รูปที่ 4-13 ลายวงจรคูณแบบ โครงสร้างต้นไม้ขนาด 16 X 16 บิต ที่แรงดันแหล่งจ่ายเดียว.....	43
รูปที่ 4-14 ลายวงจรคูณแบบ โครงสร้างต้นไม้ขนาด 16 X 16 บิต ที่แรงดันแหล่งจ่ายไฟคู่.....	44