หอสมุดกลาง ศูนย์วิทยทรัพยากร จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 2

โครงสร้างวงจรคูณ

2.1 ปริทรรศน์วรรณกรรม

ผู้วิจัยได้ทำการศึกษาการออกแบบโครงสร้างวงจรคูณและเทคนิคการลดกำลังในวงจรคูณจากงานวิจัยหลายๆงาน พบว่าโครงสร้างวงจรคูณมีหลายแบบและเทคนิคในการออกแบบวงจรคูณให้มีกำลังต่ำได้หลายเทคนิค

ตารางที่ 2-1 : สรุปงานวิจัยเกี่ยวกับวงจรคูณ

	Angel 1996 [5]	**Goldovsky** 2000 [6]	**Wang** 2001 [7]	**Huang** 2005 [8]
Multiplier Architecture	Carry save	Array	Array	Left-to-Right array
Technique	Radix-4 Booth	Radix-4 Booth	Radix-4 Booth, Multiplexer-based multiplication algorithm	Radix-4 Booth
Size	24 x 24 bits	16 x 16 bits	6 x 6 bits	32 x 32 bits
Supply	3.3 V	2.5 V	3.3 V	-
Process	0.6 µm	0.25 µm	TSRC 0.35 µm	TSMC 0.18 µm
Power	44 mW @10 MHz	0.11 mW/MHz	3.23 mW @250 MHz	41.30 mW @100 MHz
Area	-	0.126 mm^2	-	0.073 mm^2

หอสมุดกลาง ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

งานวิจัยของ Angel [5] ได้นำเสนอการออกแบบวงจรคูณโครงสร้างแบบเก็บตัวทด โดยใช้เทคนิคการคูณแบบ Booth ในระบบเลขฐานสี่ (Radix-4 Booth Technique) ทำให้จำนวนการบวกผลคูณย่อยของแต่ละหลักลดลง งานวิจัยของ Goldovsky [6] ใช้เทคนิคการคูณแบบ Booth ในระบบเลขฐานสี่เช่นเดียวกันแต่มีโครงสร้างเป็นแบบแถวลำดับ งานวิจัยของ Wang [7] เสนอวงจรคูณโครงสร้างแบบแถวลำดับ โดยใช้เทคนิคการคูณแบบ Booth ในระบบเลขฐานสี่ และในวงจรบวกครึ่งอัตรา (half adder) เป็นการออกแบบให้วงจรบวกครึ่งอัตรา 2 เซลล์ทำงานเป็นมัลติเพล็กเซอร์ขนาด 4:2 งานวิจัยของ Huang [8] เสนอวงจรคูณแบบแถวลำดับ โดยมีโครงสร้างวงจรเป็นแบบซ้ายไปขวา (Left-to-right structure) ข้อมูลเปรียบเทียบระหว่างงานวิจัยถูกแสดงไว้ในตารางที่ 2-1

จากการศึกษางานวิจัยการออกแบบวงจรคูณกำลังต่ำที่ผ่านมาพบว่ายังไม่มีการนำเอาเทคนิคแรงดันแหล่งจ่ายไฟคู่มาประยุกต์ใช้โดยตรง ดังนั้นวิทยานิพนธ์นี้จึงได้นำเอาเทคนิคแรงดันแหล่งจ่ายไฟคู่มาใช้ในการออกแบบวงจรคูณกำลังต่ำ

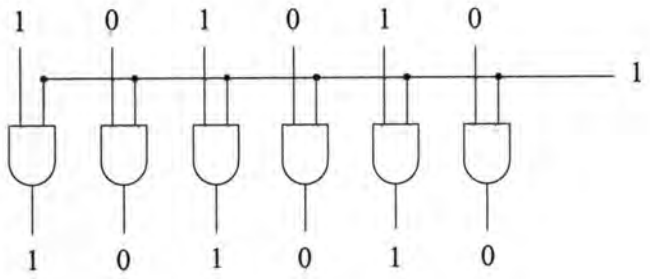
2.2 วงจรคูณแบบขนาน

การคูณสามารถแบ่งออกได้เป็น 3 ขั้นตอน คือ การสร้างผลคูณย่อย (Partial–product generation), การหาผลบวกของผลคูณย่อย (Partial–product accumulation) และ การหาผลบวกสุดท้าย (Final addition) [9] รูปที่ 2-1 เป็นการแสดงวิธีการคูณเลขฐานสองแบบขนานระหว่างตัวตั้ง (Multiplicand) กับตัวคูณ (Multiplier)

				1	0	1	0	1	0	ตัวตั้ง (Multiplicand)
x						1	0	[1]	1	ตัวคูณ (Multiplier)
				1	0	1	0	1	0	
			[1	0	1	0	1	0]		ผลคูณย่อย (Partial product)
		0	0	0	0	0	0			
+	1	0	1	0	1	0				
	1	1	1	0	0	1	1	1	0	ผลลัพธ์ (Result)

รูปที่ 2-1: ตัวอย่างการคูณเลขฐานสอง

- การสร้างผลคูณย่อยในแต่ละแถวทำได้โดยการ AND ตัวตั้งเข้ากับบิตของตัวคูณ ในลักษณะบิตต่อบิต ดังแสดงในรูปที่ 2-2 ซึ่งเป็นการ AND ตัวตั้งเข้ากับบิตที่ 2 ของตัวคูณในรูปที่ 2-1



รูปที่ 2-2 : การสร้างผลคูณย่อยในแถวที่ 2

- การหาผลบวกของผลคูณย่อยและการหาผลบวกสุดท้ายเป็นการรวมผลคูณย่อยทั้งหมดเข้าด้วยกันเพื่อหาผลลัพธ์ โครงสร้างวงจรบวกที่ใช้ในสองขั้นตอนนี้เป็นแบบขนาน ซึ่งแบ่งได้เป็น 3 แบบใหญ่ๆ คือ วงจรคูณแบบแถวลำดับ (Array multiplier) วงจรคูณแบบเก็บตัวทด (Carry-save multiplier) และวงจรคูณแบบโครงสร้างต้นไม้ (Tree multiplier)

รูปที่ 2-3 เป็นวงจรคูณแบบขนาน ซึ่งแบ่งเป็น 3 แบบ โดยเป็นวงจรคูณขนาด 4 X 4 บิต มีผลคูณย่อย 16 ค่า และมีสัญญาณด้านออกเป็น 8 บิต

2.2.1 วงจรคูณแบบแถวลำดับ (Array multiplier) เป็นวงจรคูณที่มีโครงสร้างการบวกแบบตัวทดเป็นระลอก (Ripple - carry structure) กล่าวคือ ตัวทดจะถูกบวกต่อเนื่องกันไปในวงจรบวกแถวเดียวกัน การคูณแบบนี้มีเวลาหน่วงการแพร่กระจาย (Propagation delay) ในระดับความซับซ้อน O(N) (หมายความว่าค่าความหน่วงจะแปรผันตามจำนวนบิต N) [9] รูปที่ 2-3 (ก) เป็นตัวอย่างของวงจรคูณแบบแถวลำดับขนาด 4 x 4 บิต ซึ่งประกอบด้วยวงจรบวกทั้งหมด 12 เซลล์ จำนวนเซลล์วงจรบวกจะแปรผันตามจำนวนบิตยกกำลังสอง ($O(N^2)$)

วิถีวิกฤติ (Critical path) คือ วิถีที่มีเซลล์มากที่สุด ซึ่งเป็นวิถีที่เป็นสีดำดังแสดงในรูปที่ 2-3 (ก) และเซลล์ที่เป็นสีดำเป็นเซลล์ที่อยู่ในวิถีวิกฤติ โดยสัญญาณออกของวงจรบวกทุกเส้นต้องมีค่าความหน่วงวิกฤติพอๆกัน ทั้งนี้เพราะวิถีวิกฤติขึ้นอยู่กับค่าความหน่วงของสัญญาณออกทุกเส้น โดยที่สัญญาณออกแต่ละเส้นก็มีความสัมพันธ์กัน ซึ่งถ้าเราลดค่าความหน่วงของสัญญาณออกเส้นใดเส้นหนึ่งจะไปเพิ่มค่าความหน่วงของสัญญาณออกเส้นอื่นๆของวงจรบวกตัวนั้น ทำให้วิถีวิกฤติที่ต้องผ่านสัญญาณออกนั้นมีค่าความหน่วงเพิ่มขึ้นกว่าเดิม จากรูปจะเห็นได้ว่าโครงสร้างการบวกแบบนี้มีหลายวิถีวิกฤติและทุกวิถีวิกฤติประกอบด้วยวงจรบวก 8 เซลล์ ซึ่งการปรับเซลล์ใดเซลล์หนึ่งเพื่อออกแบบวงจรคูณโดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่จะเกิดผลต่อวงจร โดยรวมเพราะแต่ละเซลล์มีความ สัมพันธ์กันคือวงจรบวกเกือบทุกเซลล์อยู่ในวิถีวิกฤติ จึงต้องปรับทั้งวงจรหรือใช้การปรับขนาดของทรานซิสเตอร์ในวงจร (Transistor sizing) เท่านั้น ดังนั้น ในการออกแบบวงจร

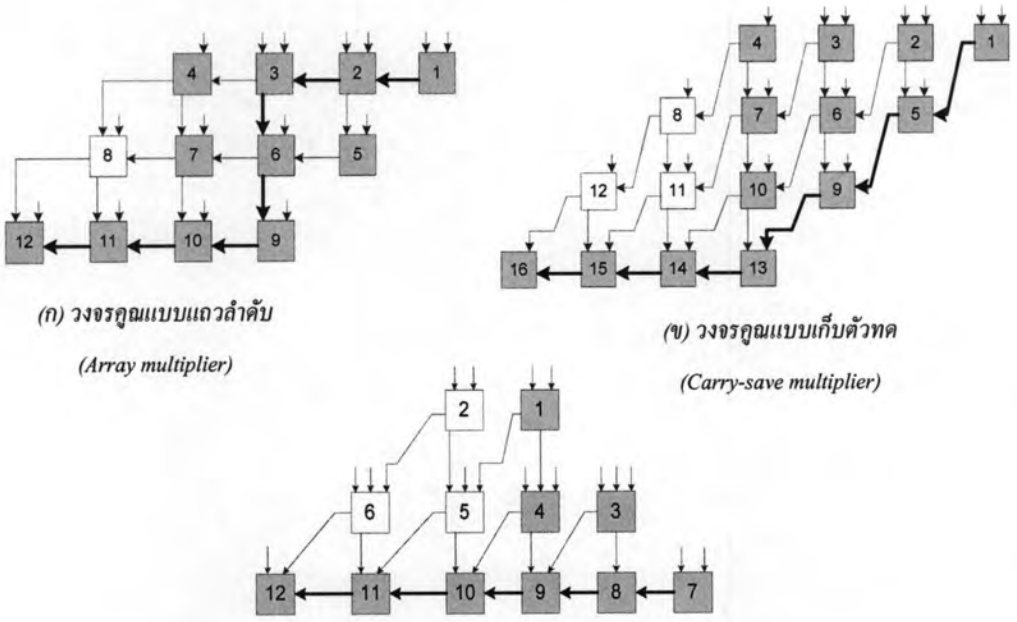
คูณกำลังต่ำโดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่จะไม่ได้ผลเท่าที่ควร

2.2.2 วงจรคูณแบบเก็บตัวทด (Carry-save multiplier) เป็นวงจรคูณที่มีโครงสร้างวงจรบวกแบบรวมเวกเตอร์ (Vector-merging adder) กล่าวคือจะไม่บวกตัวทดภายในวงจรบวกแถวเดียวกันแต่จะเก็บตัวทดไปบวกในวงจรบวกแถวลำดับถัดไป การคูณแบบนี้มีความซับซ้อนของเวลาหน่วงในระดับ O(N) และจำนวนเซลล์วงจรบวกจะแปรผันตามจำนวนบิตยกกำลังสอง ($O(N^2)$) เช่นเดียวกับวงจรคูณแบบแถวลำดับ [9]

รูปที่ 2-3 (ข) เป็นตัวอย่างของวงจรคูณแบบเก็บตัวทดขนาด 4 X 4 บิต ซึ่งประกอบด้วยวงจรบวกทั้งหมด 16 เซลล์ เซลล์ที่เป็นสีดำเป็นเซลล์ที่อยู่ในวิถีวิกฤติ ซึ่งจะเห็นได้ว่าจำนวนวิถีวิกฤติและเซลล์วงจรบวกในแต่ละวิถีวิกฤตินั้นน้อยกว่าวงจรคูณแบบแถวลำดับ ทุกวิถีวิกฤติมีวงจรบวกเท่ากับ 7 เซลล์ ในการปรับเซลล์วงจรบวกเพื่อออกแบบวงจรคูณกำลังต่ำโดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่จะให้ผลที่ดีกว่าวงจรคูณแบบแถวลำดับเพราะเซลล์วงจรบวกที่ไม่อยู่ในวิถีวิกฤติมีมากกว่า แต่ก็ยังไม่ดีเท่ากับวงจรคูณแบบโครงสร้างต้นไม้ (Tree multiplier) ซึ่งจะนำเสนอในหัวข้อถัดไป

2.2.3 วงจรคูณแบบโครงสร้างต้นไม้ (Tree multiplier) เป็นวงจรคูณที่สามารถจัดลำดับในการบวกผลคูณย่อยได้ ทำให้จำนวนวิถีวิกฤติ และเซลล์วงจรบวกในวิถีวิกฤติลดลง นอกจากนี้เวลาหน่วงของวงจรก็ลดลงด้วย การคูณแบบนี้มีความซับซ้อนของเวลาหน่วงในระดับ O(log (N)) จำนวนเซลล์วงจรบวกจะแปรผันตามจำนวนบิตยกกำลังสอง ($O(N^2)$) เช่นเดียวกับวงจรคูณแบบแถวลำดับและวงจรคูณแบบเก็บตัวทด [9]

รูปที่ 2-5 (ค) เป็นตัวอย่างของวงจรคูณแบบโครงสร้างต้นไม้ขนาด 4 X 4 บิต มีวงจรบวกทั้งหมด 12 เซลล์ เซลล์ที่เป็นสีดำเป็นเซลล์ที่อยู่ในวิถีวิกฤติ ซึ่งแต่ละวิถีวิกฤติมีวงจรบวกเท่ากับ 6 เซลล์ วงจรคูณแบบนี้มีจำนวนวิถีวิกฤติและจำนวนเซลล์วงจรบวกในแต่ละวิถีวิกฤตินั้นน้อยที่สุด เมื่อเปรียบเทียบกับวงจรคูณแบบแถวลำดับและวงจรคูณแบบเก็บตัวทด ในการปรับเซลล์วงจรบวกเพื่อออกแบบวงจรคูณทางด้านกำลังต่ำจะทำได้ดีกว่าวงจรคูณทั้งสองแบบที่กล่าวมา เพราะเซลล์วงจรบวกที่ไม่อยู่ในวิถีวิกฤติมีมากกว่า ซึ่งถ้าจำนวนบิตของวงจรคูณมากขึ้นก็จะเห็นความแตกต่างของจำนวนวิถีวิกฤติและจำนวนเซลล์วงจรบวกที่ไม่อยู่ในวิถีวิกฤติได้ชัดเจนมากขึ้น ดังแสดงในตารางที่2-2



(ก) วงจรคูณแบบแถวลำดับ

(Array multiplier)

(ข) วงจรคูณแบบเก็บตัวทด

(Carry-save multiplier)

(ค) วงจรคูณแบบโครงสร้างต้นไม้ (Tree multiplier)

รูปที่ 2-3 : วงจรคูณแบบขนาน

ตารางที่ 2-2: การเปรียบเทียบความแตกต่างของจำนวนเซลล์วงจรบวกที่อยู่ในวิถีวิกฤติและเซลล์วงจรบวกในแต่ละวิถีวิกฤติของโครงสร้างวงจรคูณ

โครงสร้างวงจรคูณ	วงจรคูณแบบแถวลำดับ			วงจรคูณแบบเก็บตัวทด			วงจรคูณแบบโครงสร้างต้นไม้		
จำนวนบิต (บิต)	4	8	16	4	8	16	4	8	16
จำนวนเซลล์วงจรบวกทั้งหมด	12	56	240	16	64	256	12	62	255
จำนวนเซลล์วงจรบวกที่อยู่ในวิถีวิกฤติ	11	41	149	13	43	151	9	18	34
จำนวนเซลล์วงจรบวกในแต่ละวิถีวิกฤติ	8	20	44	7	15	31	6	15	31

ในตารางที่ 2-2 เปรียบเทียบความแตกต่างของจำนวนเซลล์วงจรบวกที่อยู่ในวิถีวิกฤติและจำนวนเซลล์วงจรบวกในแต่ละวิถีวิกฤติของโครงสร้างวงจรคูณ ซึ่งโครงสร้างวงจรคูณแบบโครงสร้างต้นไม้มีเซลล์วงจรบวกที่อยู่ในวิถีวิกฤติน้อยกว่าวงจรคูณแบบแถวลำดับและวงจรคูณ

แบบเก็บตัวทด ทำให้โครงสร้างต้นไม้สามารถออกแบบให้มีกำลังต่ำได้ดีกว่าวงจรคูณทั้งสองแบบตามแนวคิดของเทคนิคแรงดันแหล่งจ่ายไฟคู่

2.3 วงจรบวกเต็มอัตรา 1 บิต (1-Bit Full Adder)

วงจรบวกเต็มอัตรา 1 บิต เป็นวงจรพื้นฐานในวงจรคูณ วงจรบวกเต็มอัตรา 1 บิต มีสัญญาณด้านเข้า คือ ตังตั้ง A, B และตัวทดเข้า C_{in} และมีสัญญาณด้านออก คือผลบวก Sum (S) และตัวทดออก C_{out} ความสัมพันธ์ระหว่างสัญญาณด้านเข้าและสัญญาณด้านออกของวงจรบวกเต็มอัตรา 1 บิต สามารถเขียนเป็นสมการตรรกะได้ดังนี้

$$S = (A \oplus B) \oplus C_{in} \tag{2-1}$$

$$C_{out} = A \cdot B + C_{in} \cdot (A \oplus B) \tag{2-2}$$

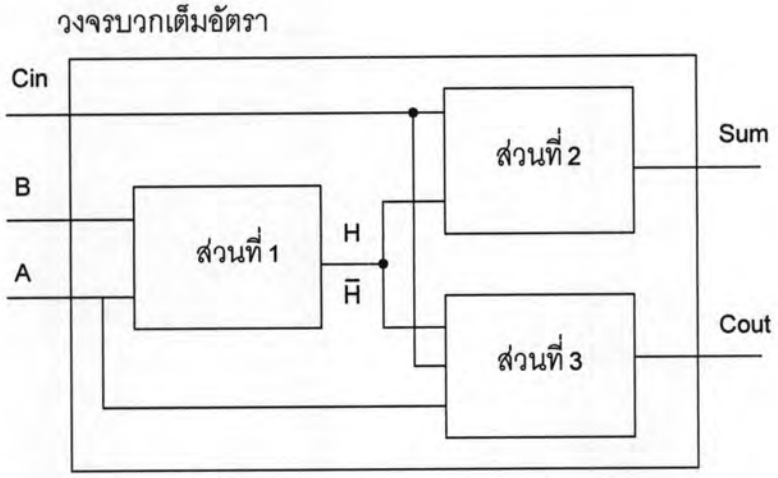
วงจรบวกที่สร้างจากเกตพื้นฐานตามสมการ (2-1) และ (2-2) จะเป็นวงจรที่มีขนาดใหญ่และใช้เกตจำนวนมาก (ทั้งนี้เนื่องจากความซับซ้อนของเกต XOR)

การลดทรัพยากรในการออกแบบวงจรคูณลงโดยตรงก็คือการลดจำนวนทรานซิสเตอร์ที่ใช้ในวงจร หลักการหนึ่งก็คือลดการใช้เกตซ้ำซ้อนกันและลดตัวดำเนินการ XOR ในสมการ (2-1) และ (2-2) ลงทำได้โดยการแบ่งวงจรออกเป็น 3 ส่วน (Module) [17] ตามสมการดังนี้

$$S = H \oplus C_{in} = H \cdot \overline{C_{in}} + \overline{H} \cdot C_{in} \tag{2-3}$$

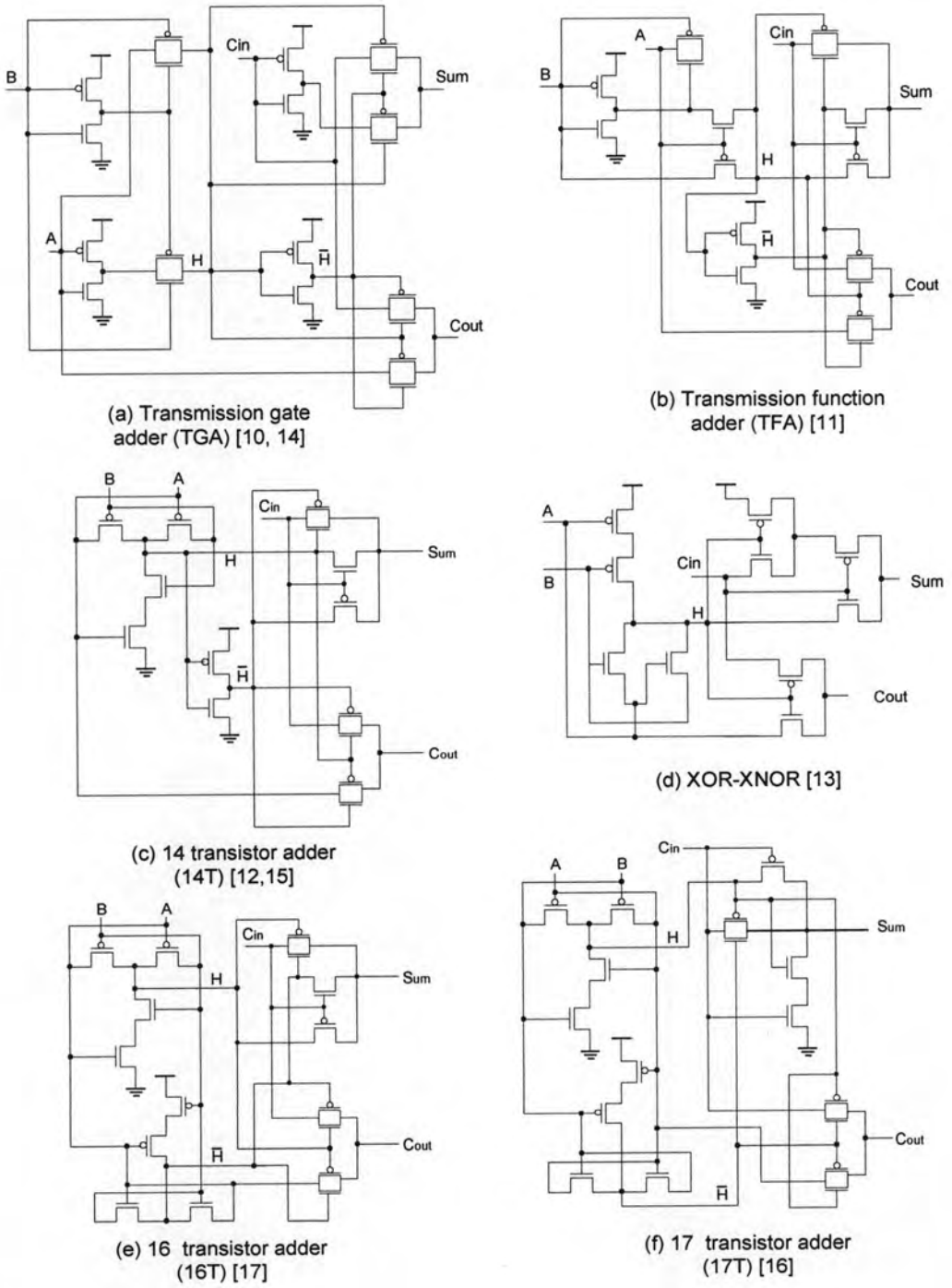
$$C_{out} = A \cdot \overline{H} + C_{in} \cdot H \tag{2-4}$$

โดยที่ $H = A \oplus B$ คือ วงจรบวกครึ่งอัตรา (half adder) ของ A และ B รูปที่ 2-4 แสดงผังโครงสร้างวงจรบวกที่ออกแบบด้วยหลักการนี้



รูปที่ 2-4 : การแบ่งวงจรบวกออกเป็นส่วนๆ

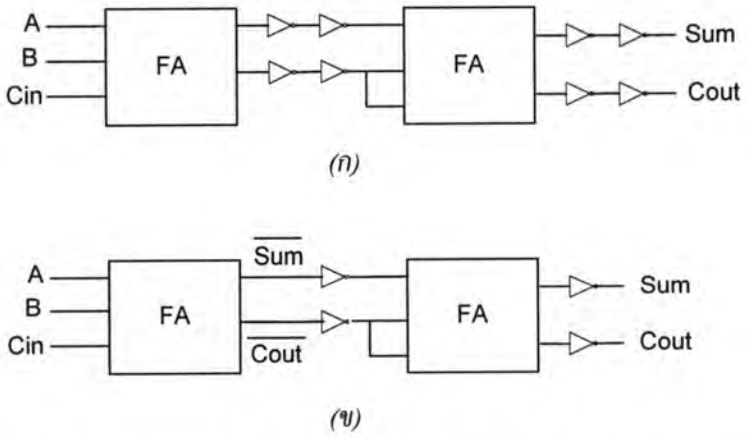
การออกแบบวงจรบวกโดยการแบ่งออกเป็นส่วนๆ มีข้อดีกว่าเมื่อเทียบกับวงจรขนาดใหญ่ คือ จำนวนทรานซิสเตอร์ลดลงทำให้กำลังของวงจรลดลงและง่ายต่อการออกแบบวงจรบวกให้มีค่าการหน่วงช้าที่สุด (Worst delay) ของสัญญาณออกผลบวก (Sum) และตัวทด (C_{out}) ให้มีค่าใกล้เคียงกัน โดยการปรับขนาดของทรานซิสเตอร์ (Transistor sizing) รูปที่ 2-5 คือ ตัวอย่างของวงจรบวกในระดับทรานซิสเตอร์ที่ใช้หลักการแบ่งออกเป็นส่วนๆ ซึ่งถูกอ้างอิงและใช้ในงานวิจัยหลายงาน [10-17]



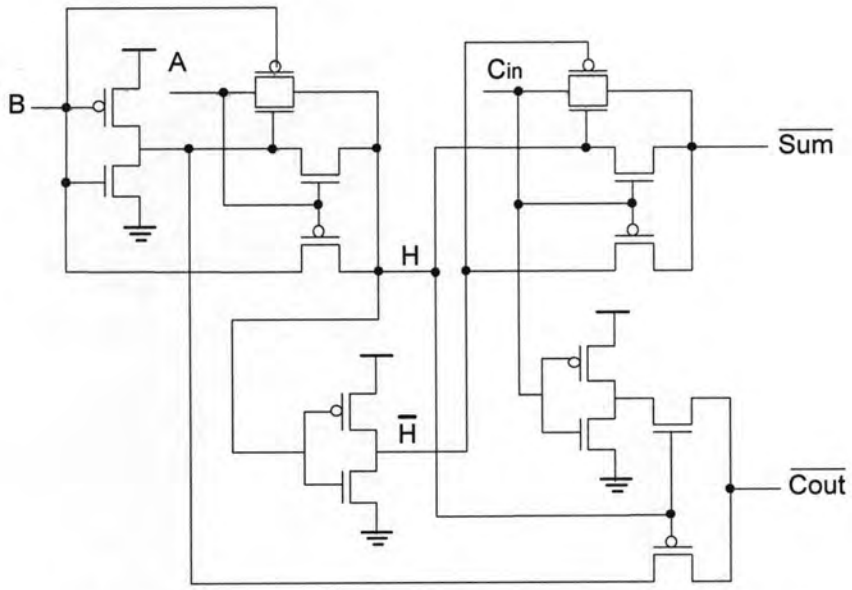
รูปที่ 2-5 : วงจรบวกที่ออกแบบโดยใช้ทรานซิสเตอร์แบบต่างๆ

โครงสร้างวงจรคูณในขั้นตอนที่ 2 และ 3 คือ การหาผลบวกของผลคูณย่อย (partial – product accumulation) และ การหาผลบวกสุดท้าย (final addition) นั้นเป็นการนำวงจรบวกเต็มอัตรา 1 บิต ในรูปที่ 2-5 มาเรียงต่อกันเป็นแถวลำดับดังรูปที่ 2-6 (ก) เมื่อนำวงจรบวกที่สร้างโดยหลักการแบ่งออกเป็นส่วนๆมาต่อเป็นแถวลำดับเราต้องใส่บัฟเฟอร์ที่สัญญาณด้านออกเพื่อป้องกันความผิดเพี้ยน เนื่องมาจากโครงสร้างวงจรบวกเหล่านี้มีลักษณะเป็นแบบ pass transistor จึงไม่มีกำลังขับพอเพียง [17] ทำให้จำนวนทรานซิสเตอร์ในเซลล์วงจรบวกเพิ่มขึ้น 8 ตัว (อินเวอร์เตอร์ 1 ตัว ใช้ทรานซิสเตอร์ 2 ตัว) เราอาจลดจำนวนทรานซิสเตอร์ที่ใช้ลงได้ โดยการออกแบบให้สัญญาณด้านออกเป็นส่วนกลับของผลบวก $\overline{Sum}$ และตัวทด $\overline{Cout}$ แทน ซึ่งในกรณีนี้การเชื่อมต่อวงจรบวกเข้าด้วยกันจะต้องการใช้อินเวอร์เตอร์เพียง 1 ตัวเท่านั้น แทนที่จะเป็น 2 ตัว ดังแสดงในรูปที่ 2-6 (ข)

รูปที่ 2-7 เป็นวงจรบวกที่ดัดแปลงจากวงจรบวกของ Shams [17] ซึ่งจะให้สัญญาณด้านออกเป็นส่วนกลับของผลบวก $\overline{Sum}$ และตัวทด $\overline{Cout}$ ตามแนวคิดดังกล่าว ซึ่งแก้ไขปัญหากำลังขับไม่เพียงพอได้ด้วยการหาขนาดของทรานซิสเตอร์ให้เหมาะสม เราจะใช้วงจรบวกที่ดัดแปลงนี้เป็นวงจรบวกพื้นฐานสำหรับการออกแบบวงจรคูณต่อไป



รูปที่ 2-6: การต่อวงจรบวกเป็นแถวลำดับ (ก) ใช้บัฟเฟอร์ (ข) ใช้อินเวอร์เตอร์



รูปที่ 2-7 : วงจรบวกเต็มอัตรา 1 บิต (1 bit full adder) ที่ดัดแปลงแล้ว

2.4 สรุปท้ายบท

วงจรคูณแบบโครงสร้างต้นไม้สามารถจัดลำดับการบวกได้ ทำให้วงจรไม่เป็นระเบียบแต่ก็มีข้อดีคือจำนวนของวิถีวิกฤติ (critical path) และเซลล์ของวงจรบวกในวิถีวิกฤติน้อยกว่า เมื่อเทียบกับวงจรคูณแบบแถวลำดับและวงจรคูณแบบเก็บตัวทด [9] ในตารางที่ 2-2 จะเห็นว่าวงจรคูณแบบโครงสร้างต้นไม้มีความเหมาะสมสำหรับการออกแบบให้มีกำลังต่ำได้ดีกว่าวงจรคูณทั้งสองแบบที่กล่าวมาเพราะมีเซลล์วงจรบวกที่ไม่อยู่ในวิถีวิกฤติมากกว่า ขณะเดียวกันความหน่วงวงจรคูณแบบโครงสร้างต้นไม้ก็มีค่าน้อยกว่าซึ่งสามารถดูได้จากตารางที่ 2-3 เป็นตารางเปรียบเทียบความซับซ้อนของความหน่วงในแต่ละโครงสร้างวงจรคูณ จะเห็นได้ว่าวงจรคูณแบบโครงสร้างต้นไม้มีค่าความหน่วงขึ้นอยู่กับจำนวนบิตของวงจรซึ่งอยู่ในระดับ O(log(N)) ทำให้วงจรทำงานเร็วขึ้น

ตารางที่ 2- 3: การเปรียบเทียบความซับซ้อนของความหน่วงในแต่ละโครงสร้างวงจรคูณ

โครงสร้างวงจรคูณ	วงจรคูณแบบแถวลำดับ	วงจรคูณแบบเก็บตัวทด	วงจรคูณแบบโครงสร้างต้นไม้
จำนวนเซลล์วงจรบวก	$O(N^2)$	$O(N^2)$	$O(N^2)$
จำนวนเซลล์วงจรบวกในวิถีวิกฤติ	$O(N^2)$	$O(N^2)$	O(N)
ความหน่วง	O(N)	O(N)	O(log(N))

สำหรับการคูณขั้นตอนที่ 3 คือการหาผลบวกสุดท้าย (Final addition) มักจะใช้วงจรบวกแบบพิเศษที่มีค่าการหน่วงของตัวทดเร็วกว่าผลบวก แต่ในวิทยานิพนธ์นี้มุ่งสนใจที่การออกแบบโดยใช้เซลล์วงจรบวกพื้นฐานแบบเดียวกันเพราะในวิทยานิพนธ์นี้ต้องการออกแบบให้วงจรบวกมีการหน่วงที่ช้าที่สุด (Worst delay) ทั้งทางด้านผลบวกและตัวทดมีค่าใกล้เคียงกัน และการวาดลายวงจรทำได้ง่าย ดังนั้นในส่วนของการหาผลบวกสุดท้ายในวิทยานิพนธ์นี้จึงใช้วงจรบวกเดียวกันกับการหาผลบวกของผลคูณย่อย (Partial-product accumulation)

ส่วนวงจรบวกพื้นฐานเราจะเลือกใช้วงจรบวกที่ดัดแปลงแล้ว ดังรูปที่ 2-7 เป็นหลักในการออกแบบวงจรบวกที่ระดับแรงดันแหล่งจ่ายต่างๆ ซึ่งจะสร้างต่อไปในบทที่ 3