การพัฒนาระบบสเกดาโดยใช้ไมโครคอมพิวเตอร์

นาย รณน สถิตย์ปัญญาพันธ์

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2541

ISBN 974-331-503-9

ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

I18943494

DEVELOPMENT OF A MICROCOMPUTER-BASED SCADA SYSTEM

Mr. Ranon Satitpanyapan

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering in Electrical Engineering

Department of Electrical Engineering

Graduate School

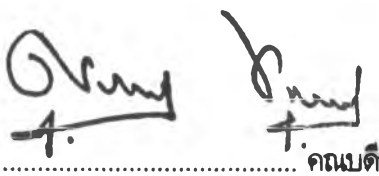
Chulalongkorn University

Academic Year 1998

ISBN 974-331-503-9

หัวข้อวิทยานิพนธ์	การพัฒนาระบบสเกดาโดยใช้ไมโครคอมพิวเตอร์
โดย	นาย รณน สถิตย์ปัญญาพันธ์
ภาควิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	รองศาสตราจารย์ กฤษดา วิศวธีรานนท์

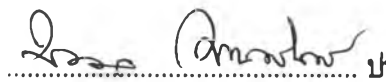
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต



..... คณบดีบัณฑิตวิทยาลัย

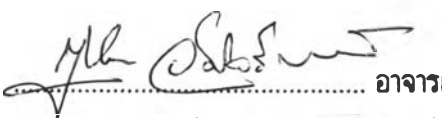
(ศาสตราจารย์ นายแพทย์ ศุภวัฒน์ ชุติวงศ์)

คณะกรรมการสอบวิทยานิพนธ์



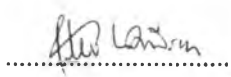
..... ประธานกรรมการ

(ศาสตราจารย์ ดร. มงคล เตชนครินทร์)



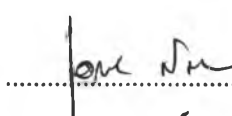
..... อาจารย์ที่ปรึกษา

(รองศาสตราจารย์ กฤษดา วิศวธีรานนท์)



..... กรรมการ

(อาจารย์ สุวิทย์ นาคพีระยุทธ)



..... กรรมการ

(รองศาสตราจารย์ ดร. เอกชัย ลีลารัศมี)

รณน สถิตย์ปัญญาพันธ์ : การพัฒนาระบบสเกดาโดยใช้ไมโครคอมพิวเตอร์ (Development of A Microcomputer-Based Scada System) อ. ที่ปรึกษา : รศ. กฤษดา วิศวธีรานนท์, 73 หน้า. ISBN 974-331-503-9.

การพัฒนาระบบสเกดาโดยใช้ไมโครคอมพิวเตอร์เป็นสถานีแม่ข่ายและมีสถานีลูกข่ายหลายตัวในระบบ โดย การนำเอาโปรโตคอลของ IEEE std 999-1992 มาศึกษาและทดลองเพื่อใช้ในการสื่อสารข้อมูลระหว่างสถานีแม่ข่ายและ สถานีลูกข่ายว่ามีความเหมาะสมเพียงใดในด้านการใช้งาน ในระบบได้นำเอาไมโครคอนโทรลเลอร์ของอินเทล เบอร์ 80C32 มาใช้ในการสร้างสถานีลูกข่ายรวมทั้งวงจรเข้ารหัสและวงจรถอดรหัสของโปรโตคอลนี้ และใช้ ซอฟต์แวร์วิชวลเบสิกในการพัฒนาสเกดาซอฟต์แวร์บนสถานีแม่ข่ายเพื่อรวบรวมข้อมูลและแสดงผลบนจอมอนิเตอร์ ของไมโครคอมพิวเตอร์ จากการทดลองสร้างพบว่าระบบสเกดาที่ใช้โปรโตคอลของ IEEE std 999-1992 นี้พบว่า สามารถใช้ในการรับส่งข้อมูลได้ดี และจากการใช้การเข้ารหัสและถอดรหัสเพื่อแก้ไขความผิดพลาดในการส่งข้อมูล ทำ ให้ช่วยเพิ่มประสิทธิภาพของการรับส่งข้อมูลที่ใช้ในการวิจัยนี้ ระบบนี้สามารถที่จะพัฒนาได้ง่าย, มีต้นทุนต่ำ ใช้โปรโตคอลที่เป็นมาตรฐานทำให้ต่อเชื่อมกับอุปกรณ์อื่นๆ ได้ง่าย

ภาควิชา วิศวกรรมไฟฟ้า ลายมือชื่อนิสิต .....

สาขาวิชา EDL ลายมือชื่ออาจารย์ที่ปรึกษา .....

ปีการศึกษา 2541 ลายมือชื่ออาจารย์ที่ปรึกษาร่วม .....

C815639 : MAJOR EDL
KEY WORD:
SCADA / PROTOCOL

RANON SATTIPANYAPAN : DEVELOPMENT OF A MICROCOMPUTER-BASED SCADA SYSTEM. THESIS ADVISOR : ASSOC. PROF. KRISADA VISAVATEERANON.

73 PP. ISBN 974-331-603-9.

The Development of a microcomputer-based SCADA system composed of a microcomputer as a master station and many microcontroller based remote stations. The SCADA system use an IEEE std 999-1992 protocol to implement the data communication between a master station and many remote stations. The Intel 80C32 microcontroller was applied for a remote station, encoder and decoder circuits. The SCADA software was developed on the master station by using Visual BASIC to acquisted the data and display on the CRT monitor of the microcomputer. The experiment on IEEE std 999-1992 protocol found that the data communication work very well. The encoder and decoder circuits can detect error and correct the data, these increase efficiency of data transmission. The SCADA system by using IEEE std 999-1992 protocol is easy to develop, low cost system and easy to interface to other equipment's.

ภาควิชา วิศวกรรมไฟฟ้า ลายมือชื่อนิสิต .....

สาขาวิชา EDL ลายมือชื่ออาจารย์ที่ปรึกษา .....

ปีการศึกษา 2541 ลายมือชื่ออาจารย์ที่ปรึกษาร่วม .....

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยความช่วยเหลืออย่างดียิ่งของ รองศาสตราจารย์ กฤษดา วิศวธีรานนท์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งท่านได้ให้ความช่วยเหลือและแนะนำ ตลอดจนจัดหาเอกสารอ้างอิงที่เป็นข้อมูลอย่างดียิ่งในการทำวิจัย จึงใคร่ขอกราบขอพระคุณมา ณ ที่นี้

ข้าพเจ้าขอขอบคุณ เพื่อนนิสิตปริญญาโทห้องปฏิบัติการออกแบบอิเล็กทรอนิกส์ (EDL)ทุกท่าน ที่ให้ความช่วยเหลือต่างๆ เป็นอย่างดี

ท้ายนี้ ข้าพเจ้าใคร่ขอกราบขอบพระคุณ บิดา-มารดา ของข้าพเจ้าซึ่งให้การสนับสนุน และให้กำลังใจแก่ข้าพเจ้าเสมอมาจนสำเร็จการศึกษา

รณน สถิตย์ปัญญาพันธ์

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง

บทคัดย่อภาษาอังกฤษ ..... จ

กิตติกรรมประกาศ ..... ฉ

สารบัญ ..... ช

สารบัญตาราง ..... ฌ

สารบัญภาพ ..... ญ

บทที่

1. บทนำ 1

1.1 ความเบื้องต้น 1

1.2 วัตถุประสงค์การวิจัย 1

1.3 ขอบเขตการวิจัย 2

1.4 ขั้นตอนการดำเนินงาน 2

1.5 ประโยชน์ที่คาดว่าจะได้รับ 2

2. ระบบสเกดา 3

2.1 ระบบสเกดาคือ 3

2.2 องค์ประกอบของระบบสเกดา 5

2.3 โปรโตคอลที่ใช้ในระบบสเกดา 5

2.4 การตรวจสอบการและแก้ไขบิตที่ส่งผิดพลาด 15

3. ระบบสเกดาที่ใช้โปรโตคอล IEEE std 999-1992 21

3.1 แนวคิดและการออกแบบระบบ 21

3.2 บล็อกไดอะแกรม 22

3.2.1 บล็อกไดอะแกรมของ ระบบ 22

3.2.2 บล็อกไดอะแกรมของ RTU 23

3.2.3 บล็อกไดอะแกรมของ วงจรเข้ารหัสและถอดรหัส 25

3.3 ซอฟต์แวร์โมดูลไดอะแกรม 26

3.3.1 ซอฟต์แวร์โมดูลของ ระบบ 28

3.3.2 ซอฟต์แวร์โมดูลของ RTU 30

3.3.3 ซอฟต์แวร์โมดูลของวงจรเข้ารหัสและถอดรหัส 32

4. การทดสอบระบบ 36

4.1 ขั้นตอนการพัฒนา 36

4.2 การวัดค่าหน่วงเวลาและผลการทดสอบระบบ 43

สารบัญ (ต่อ)

หน้า

5. สรุปและข้อเสนอแนะ 46
5.1 สรุปผลการวิจัย 46
5.2 วิจารณ์และข้อเสนอแนะ 47
รายการอ้างอิง 48
ภาคผนวก
ภาคผนวก ก. ตารางของสมาชิกใน $GF(2^8)$ 50
ภาคผนวก ข. ผังงานของโปรแกรมสถานีแม่ข่าย 55
ภาคผนวก ค. ผังงานของโปรแกรมสถานีลูกข่าย 59
ภาคผนวก ง. วงจรเข้ารหัสและวงจรถอดรหัส 66
ภาคผนวก จ. วงจรภายในของ RTU 70
ประวัติผู้วิจัย 73

สารบัญตาราง

หน้า

ตารางที่ 2.1 ข้อเปรียบเทียบระหว่าง HDLC กับ IEEE std999-1992 14

สารบัญภาพ

หน้า

รูปที่ 2.1 แสดงระบบสเกดา 3
รูปที่ 2.2 แสดงรายละเอียดภายในเฟรมข้อมูลของ HDLC โปรโตคอล 7
รูปที่ 2.3 แสดงฟิลด์ส่วนควบคุมที่ระบุเป็นเฟรมข้อมูล 7
รูปที่ 2.4 แสดงฟิลด์ส่วนควบคุมที่ระบุเป็นเฟรมซูเปอร์ไวซอรี 8
รูปที่ 2.5 แสดงฟิลด์ส่วนควบคุมที่ระบุเป็นเฟรมไม่ระบุจำนวน 8
รูปที่ 2.6 แสดงโครงสร้างของลำดับการส่งข้อมูล IEEE std999-1992 9
รูปที่ 2.7 แสดงรายละเอียดในส่วนของข้อมูลเริ่มต้น 9
รูปที่ 2.8 แสดงจำนวนออกเทตในส่วนของข้อมูลที่ต้องการส่ง 10
รูปที่ 2.9 แสดงจำนวนออกเทตในส่วนของข้อมูลที่ต้องการส่ง 10
รูปที่ 2.10 แสดงรายละเอียดในส่วนของข้อมูลที่ส่งจากสถานีแม่ข่ายไปสถานีลูกข่าย 11
รูปที่ 2.11 แสดงรายละเอียดในส่วนของข้อมูลที่ส่งจากสถานีลูกข่ายไปสถานีแม่ข่าย 11
รูปที่ 2.12 แสดงรายละเอียดส่วนข้อมูลที่ส่งจริงของ HDLC จากสถานีแม่ข่าย ไป สถานีลูกข่าย .. 13
รูปที่ 2.13 แสดงรายละเอียดส่วนข้อมูลที่ส่งจริงของ HDLC จากสถานีลูกข่าย ไป สถานีแม่ข่าย .. 13
รูปที่ 2.14 แสดงบล็อกไดอะแกรมพื้นฐานของ ระบบเข้ารหัสและถอดรหัส 15
รูปที่ 3.1 แสดงบล็อกไดอะแกรมของระบบสเกดา 22
รูปที่ 3.2 แสดงบล็อกไดอะแกรมของสถานีลูกข่าย 23
รูปที่ 3.3 แสดงบล็อกไดอะแกรมในส่วนของการเข้ารหัสและถอดรหัส 25
รูปที่ 3.4 แสดงการเข้ารหัสของ BCH(255,239) 26
รูปที่ 3.5 แสดงการหาร r(x) ด้วย minimal polynomial $\phi_1(X)$ 27
รูปที่ 3.6 แสดงการหาร r(x) ด้วย minimal polynomial $\phi_3(X)$ 27
รูปที่ 3.7 โมดูลไดอะแกรมของสถานีแม่ข่าย 28
รูปที่ 3.8 โมดูลไดอะแกรมของสถานีลูกข่าย 31
รูปที่ 3.9 โมดูลไดอะแกรมของ วงจรเข้ารหัส 32
รูปที่ 3.10 โมดูลไดอะแกรมของ วงจรถอดรหัส 34
รูปที่ 4.1 แสดงภาพด้านหน้าของอุปกรณ์ของ RTU และ วงจรเข้ารหัสและถอดรหัส 35
รูปที่ 4.2 แสดงภาพด้านมุมของอุปกรณ์ RTU และ วงจรเข้ารหัสและถอดรหัส 36
รูปที่ 4.3 แสดงภาพบอร์ดต่างๆภายในอุปกรณ์ RTU 37
รูปที่ 4.4 แสดงภาพรายละเอียดตำแหน่งของบอร์ดต่างๆ ภายใน RTU 37
รูปที่ 4.5 แสดงภาพรายละเอียดของคอนเนคเตอร์ต่างๆ ของ RTU 38
รูปที่ 4.6 แสดงการเชื่อมต่อระบบ1 39
รูปที่ 4.7 แสดงการเชื่อมต่อระบบ2 39
รูปที่ 4.8 แสดงการเชื่อมต่อระหว่าง RTU 40
รูปที่ 4.9 แสดงการเชื่อมต่อระหว่างคอมพิวเตอร์กับอุปกรณ์ วงจรเข้ารหัสและถอดรหัส 40

สารบัญภาพ (ต่อ)

หน้า

รูปที่ 4.10 แสดงภาพทดสอบหาค่าหน่วงเวลาของ วงจรเข้ารหัสและถอดรหัส 41
รูปที่ 4.11 แสดงภาพของมอนิเตอร์ของสถานีแม่ข่าย 42
รูปที่ 4.12 แสดงแอนะลอกเอาต์พุตของสถานีลูกข่ายตัวที่หนึ่ง 44
รูปที่ 4.13 แสดงแอนะลอกเอาต์พุตของสถานีลูกข่ายตัวที่สอง 44
รูปที่ 4.14 แสดงแอนะลอกอินพุตช่องที่ 1 ของสถานีลูกข่ายตัวที่หนึ่ง 45
รูปที่ 4.15 แสดงแอนะลอกอินพุตช่องที่ 1 ของสถานีลูกข่ายตัวที่สอง 45