รายการอ้างอิง

ภาษาไทย

คาร์ดคิม สุวรรณมงคล, มนูญ โคเมท, มงคล เอกปัญญาพงศ์, วิเชียร สิริแสงทักษิณ, การออกแบบและจำลองสถาปัตยกรรม R4000, โครงงานวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์ จุฬาลงกรณ์มหาวิทยาลัย, 2540.

ภาษาอังกฤษ

D. E. Thomas, P. R.Moorby, The Verilog Hardware Description Language, Kluwer Academic Publishers, 1994.

G. Kane, J. Heinrich, MIPS RISC Architecture, Prentice Hall International Edition, 1992.

H. S.Stone, High – Performance Computer Architecture, 3rd ed., Addison – Wesley Puublishing Company, 1993 , pp. 63-70.

IBM Microelectronic, Symchronous DRAMs : The DRAM of the future, < http://www.chips.ibm.com/products/memory/sdramart/sdramart.html >, IBM, Jan 1996.

J. Heinrich, MIPS R4000 User's Manual, Prentice Hall International Edition, 1993.

J. L. Hennessy, D. A. Patterson, Computer Organization and Design, Morgan Kaufmann Publishers, 1994, p. 458.

K. I. Farkas, N. P. Jouppi, P. Chow. How Useful Are Non-blocking Loads. Stream Buffers and Speculative Execution in Multiple Issue Processor?, Proceedings First IEEE Symposium On High-Performance Computer Architecture, (Jan 1995) : 78-89.

M.J. Charmey, T.R. Puzak, Prefetching and memory system behavior of the SPEC95 benchmark suit, IBM Journal of Research and Development, Volume 41, Number 3, (May 1997) : 265-286.

P. Milligan, K. Kuchcinski, W. Grunewald, T. Ungerer, Towards extremely fast context switching in a block-multithreaded processor, EUROMICRO 96, (Sep 1996) : 592-599.

P. Taechashong, P. Chongstitvatana, A VLSI Design of a Load/Store Unit for a RISC Processor, The Second Annal National Symposium on Computational Science and Engineering (ANSCSE'98), National Science and Technology Development Angency (NSTDA), (March 1998), 244-248.

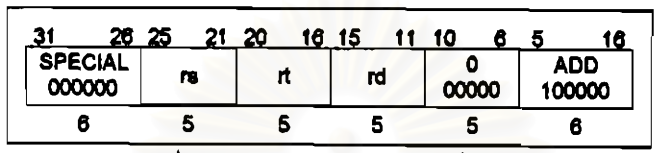
ภาคผนวก

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ก
รายละเอียดของคำสั่ง

การทำงานของ LSU ในงานวิจัยนี้ สามารถประมวลผลคำสั่งได้ 13 คำสั่ง ซึ่งเป็นคำสั่งที่ใช้ในการประมวลผลของ MIPS R4000 โดยแบ่งออกได้เป็น 3 หมวด ได้แก่

1. Add



รูปที่ ก.1 frame format ของคำสั่ง ADD

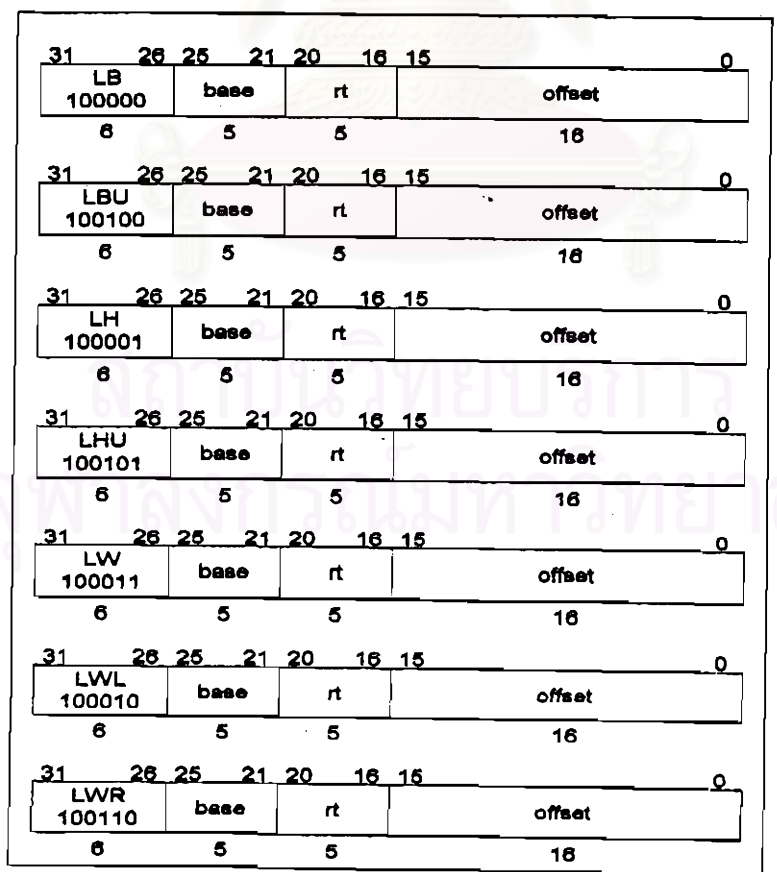
รูปแบบการใช้

ADD rd,rs,rt

การทำงาน

GPR[rd] = GPR[rs] + GPR[rt]

2. Load



รูปที่ ก.2 frame format ของคำสั่ง load

รูปแบบการใช้

LB rt,offset(base)

LBU rt,offset(base)

LH rt,offset(base)

LHU rt,offset(base)

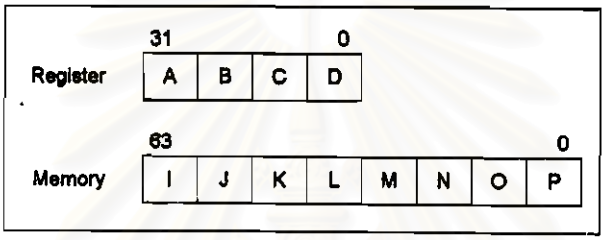
LW rt,offset(base)

LWL rt,offset(base)

LWR rt,offset(base)

การทำงาน

vAddr = offset + GPR(base)



$vAddr_{2..0}$	destination						
	LB	LBU	LH	LHU	LW	LWL	LWR
0	SSSP	000P	SSOP	00OP	MNOP	PBCD	MNOP
1	SSSO	000O				OPCD	AMNO
2	SSSN	000N	SSMN	00MN		NOPD	ABMN
3	SSSM	000M				MNOP	ABCM
4	SSSL	000L	SSKL	00KL	IJKL	LBCD	IJKL
5	SSSK	000K				KLCD	AIJK
6	SSSJ	000J	SSIJ	00IJ		JKLD	ABIJ
7	SSSI	000I				IJKL	ABCI

ตารางที่ ก.1 แสดงค่าของ register target หลังประมวลผลคำสั่ง load

3. Store

รูปแบบการใช้

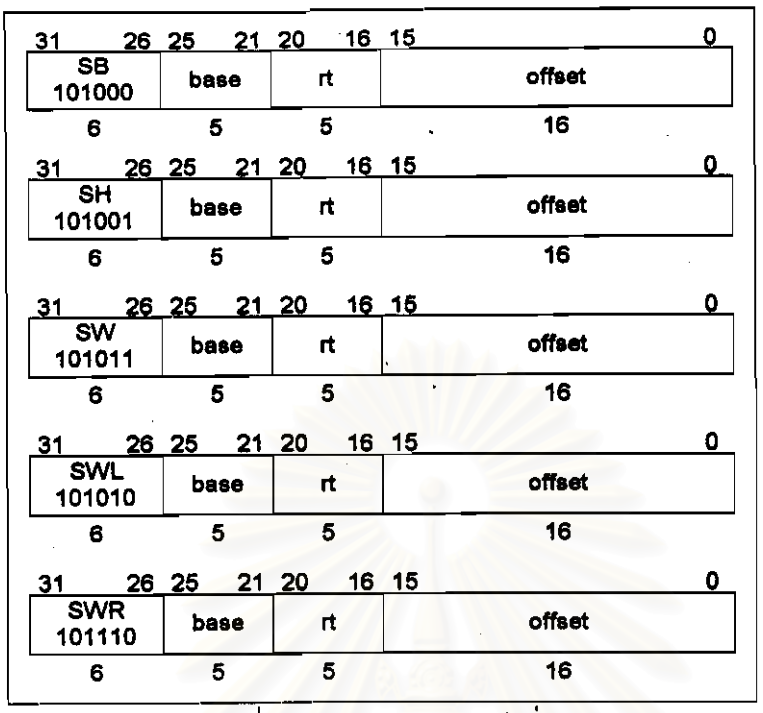
SB rt,offset(base)

SH rt,offset(base)

SW rt,offset(base)

SWL rt,offset(base)

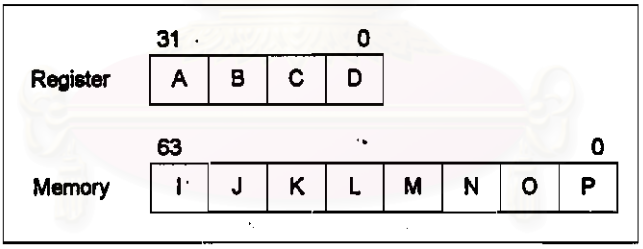
SWR rt,offset(base)



รูปที่ ก.3 frame format ของคำสั่ง store

การทำงาน

vAddr = offset + GPR(base)



$vAddr_{2..0}$	destination				
	SB	SH	SW	SWL	SWR
0	IJKLMNOD	IJKLMNCD	IJKLABCD	IJKLMNOA	IJKLABCD
1	IJKLMNDP			IJKLMNAB	IJKLBCDP
2	IJKLMDOP	IJKLCDOP		IJKLMABC	IJKLCDOP
3	IJKLDNOP			IJKLABCD	IJKLDNOP
4	IJKDMNOP	IJCDMNOP	ABCDMNOP	IJKAMNOP	ABCDMNOP
5	IJDLMNOP			IJABMNOP	BCDLMNOP
6	IDKLMNOP	CDKLMNOP		IABCMNOP	CDKLMNOP
7	DJKLMNOP			ABCDMNOP	DJKLMNOP

ตารางที่ ก.2 แสดงข้อมูลที่ต้องการเขียนลงหน่วยความจำหลังประมวลผลคำสั่ง store

ภาคผนวก ข
วิธีการที่ใช้ในการสร้าง Trace

เนื่องจากงานวิจัยนี้ใช้ชุดคำสั่งของไมโครโพรเซสเซอร์ในตระกูล MIPS ซึ่งเป็นไมโครโพรเซสเซอร์บนเครื่อง Siligon Graphic ดังนั้นในการสร้าง Trace สำหรับการทดลอง จึงจำเป็นต้องใช้เครื่องคอมพิวเตอร์ของบริษัท Siligon Graphic เพื่อ generate ชุดคำสั่งที่เป็นภาษา assembly ของเครื่องดังกล่าว แต่เราไม่สามารถ compile โปรแกรมให้ได้ภาษา assembly ของเครื่องนำมาใช้ได้โดยตรง เนื่องจากไมโครโพรเซสเซอร์ของงานวิจัยนี้ ไม่สามารถประมวลผลคำสั่งประเภท jump หรือ loop ได้ (สามารถประมวลผลได้เฉพาะ คำสั่งจำพวก load, store และคำสั่ง add เท่านั้น) ดังนั้นจึงจำเป็นต้องทราบว่าโปรแกรมหนึ่งๆ ทำงานที่คำสั่งใดบ้าง แล้วเก็บ assembly code เป็นไฟล์นำไปใช้กับการทดลอง

งานวิจัยนี้ได้ใช้ GNU Debugger (GDB) ในการตรวจสอบว่า การทำงานของโปรแกรมในเวลาหนึ่งๆ วิ่งไปทำงานที่คำสั่งใดบ้าง โดยคำสั่งที่ใช้กับ GDB ที่จำเป็นต้องรู้มีดังนี้

1. set arg <arg1> <arg2> ... <arg n>

   ใช้ในการกำหนดค่าของ argument ของโปรแกรมที่ต้องการสร้าง benchmark

2. set width <width>

   ใช้ในการกำหนดจำนวนตัวอักษรที่มากที่สุดที่ GDB จะแสดงได้ใน 1 บรรทัด

3. display/i $pc

   ใช้สำหรับสั่งให้ GDB แสดง instruction ในระดับ assembly ตลอดการรัน

4. print <register>

   ใช้ในการแสดงค่าที่ register นั้นเก็บอยู่ โดยแสดงเพียงครั้งเดียว

5. b main

   ใช้ในการ set breakpoint ให้ไปหยุดที่จุดเริ่มต้นของโปรแกรม ก็คือ function main()

6. run

   ใช้สั่งให้ GDB เริ่มรันโปรแกรมที่ต้องการ debug

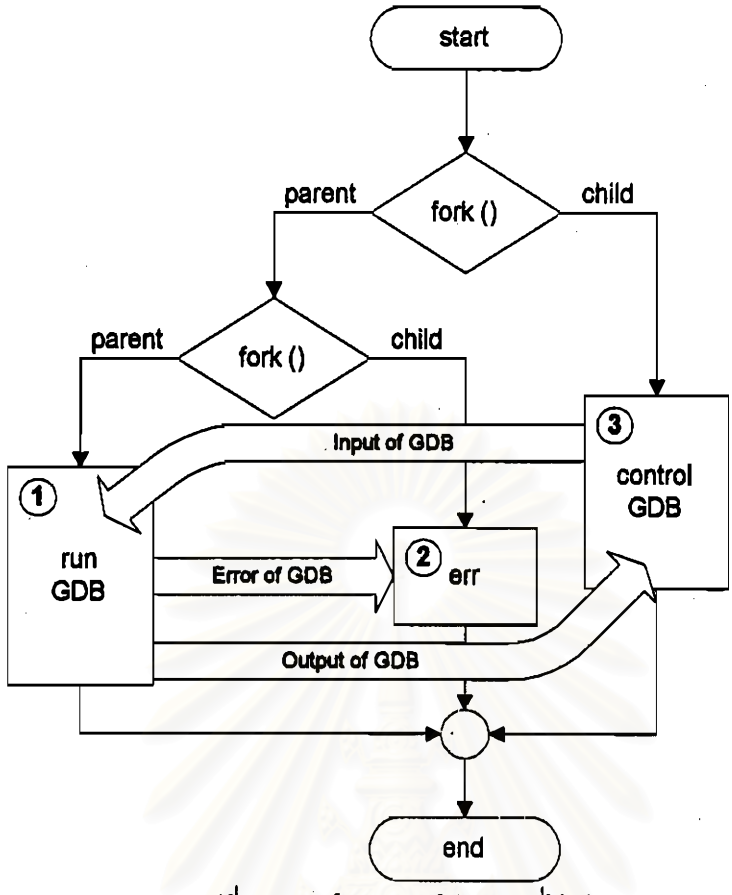
7. si

   ใช้สั่งให้ GDB ประมวลผลที่ละคำสั่งในระดับภาษา assembly โดยจะเข้าไปทำงานใน function และ procedure ด้วย

8. quit

   ใช้จบการทำงานของ GDB

งานวิจัยนี้ได้เขียนโปรแกรมภาษา C เพื่อติดต่อกับ process ของ GDB โดยมีลักษณะการทำงานดังรูปที่ ข.1



รูปที่ ข.1 การทำงานของโปรแกรมที่ใช้สร้าง Trace

ในตอนเริ่มต้นการทำงาน โปรแกรมทำการ "fork" Process ได้ออกมาเป็น parent process กับ child process ซึ่งทำงานใน process ที่ 3 ส่วนตัว parent นั้นทำการ fork process อีกครั้งหนึ่งได้ออกมาเป็น parent ซึ่งทำงานใน process ที่ 1 และ child ทำงานใน process ที่ 2 โดยแต่ละ process มีหน้าที่ดังนี้

process หมายเลข 1 ทำหน้าที่เรียกโปรแกรม GDB ขึ้นมาทำงาน

process หมายเลข 2 ทำหน้าที่รับข้อมูลที่เป็น error จาก GDB ไปทิ้ง

process หมายเลข 3 ทำหน้าที่ติดต่อกับ process GDB เพื่อรับเอาท์พุตจาก GDB มาประมวลผลว่าควรจะเก็บส่วนใดลงในไฟล์ benchmark และตรวจสอบด้วยว่าควรจะส่งคำสั่งใดไปสั่ง GDB ต่อ

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ค.
ข้อมูลที่ได้จากการทดลอง

ในการทดลองวัดสมรรถนะการทำงานของ LSU ที่ออกแบบ แบ่งได้ 3 กลุ่มของแต่ละ Benchmark ดังต่อไปนี้

กลุ่มที่ 1 กำหนดตัวคงที่คือ ขนาดของบัฟเฟอร์ในหน่วย SHC เป็น 1 และขนาดของ FIFO ในหน่วย SMC เป็น 4 doubleword และมีโหมดการเขียนเป็น Write Back แล้วทดลองโดยการจัดแคชเป็นแบบ Direct-Map ขนาดของแคช 1K, 2K, 4K และ 8Kbytes และการจัดแคชเป็นแบบ 2-Way Set Associative ขนาดของแคช 2K, 4K, 8K และ 16Kbytes

กลุ่มที่ 2 เหมือนในกลุ่มแรกแต่มีโหมดการเขียนเป็นแบบ Write Through

กลุ่มที่ 3 กำหนดตัวคงที่คือ การจัดแคชเป็นแบบ Direct-Map ขนาด 1Kbyte และโหมดการเขียนเป็นแบบ Write Back และทดลองโดยการเปลี่ยนขนาดของบัฟเฟอร์ในหน่วย SHC และขนาดของ FIFO ในหน่วย SMC ดังขนาดต่อไปนี้คือ (ขนาดของบัฟเฟอร์-ขนาดของ FIFO) 1-2D, 1-2W, 1-4D, 1-4W, 1-8D, 1-8W, 2-2D, 4-2D และ 8-2D

โดยแต่ละการทดลองได้ผลจากการรันดังนี้

Load Hit	จำนวนครั้งที่ประมวลผลคำสั่ง Load แล้วได้ผลเป็น Hit
Load Miss (not WB)	จำนวนครั้งที่ประมวลผลคำสั่ง Load แล้วได้ผลเป็น Miss และ WB bit = '0'
Load Miss (WB)	จำนวนครั้งที่ประมวลผลคำสั่ง Load แล้วได้ผลเป็น Miss และ WB bit = '1'
Load Miss (cut initial)	จำนวนครั้งที่ประมวลผลคำสั่ง Load แล้วได้ผลเป็น Miss แต่ตัดส่วนของ cache initialization
Store Hit	จำนวนครั้งที่ประมวลผลคำสั่ง Store แล้วได้ผลเป็น Hit
Store Miss	จำนวนครั้งที่ประมวลผลคำสั่ง Store แล้วได้ผลเป็น Miss
stall1p	จำนวนเหตุการณ์ "STALL" pipeline ภายใน LSU เนื่องจากสาเหตุที่ 1 (กล่าวถึงสาเหตุการเกิด stall แล้วในบทที่ 4)
stall3p	จำนวนเหตุการณ์ "STALL" pipeline ภายใน LSU เนื่องจากสาเหตุที่ 2
stall4p	จำนวนเหตุการณ์ "STALL" pipeline ภายใน LSU เนื่องจากสาเหตุที่ 3
stall5p	จำนวนเหตุการณ์ "STALL" pipeline ภายใน LSU เนื่องจากสาเหตุที่ 4
stall6p	จำนวนเหตุการณ์ "STALL" pipeline ภายใน LSU เนื่องจากสาเหตุที่ 5
stall7p	จำนวนเหตุการณ์ "STALL" pipeline ภายใน LSU เนื่องจากสาเหตุที่ 6 ซึ่งเป็นผลมาจากหน่วย SHC
stall8p	จำนวนเหตุการณ์ "STALL" pipeline ภายใน LSU เนื่องจากสาเหตุที่ 7 ซึ่งเป็นผลมาจากหน่วย SMC
stall9p	จำนวนเหตุการณ์ "STALL" pipeline ภายใน LSU เนื่องจากสาเหตุที่ 8

Stall10p	จำนวนเหตุการณ์ "STALL" pipeline ภายใน LSU เนื่องจากสาเหตุที่ 9
stallLM	จำนวนเหตุการณ์ "STALL" pipeline อันเนื่องมาจากหน่วย LMC
LsuStallp	จำนวนเหตุการณ์ "STALL" pipeline อันเนื่องมาจากหน่วย LSU ทั้งหมด
CWBWait	จำนวนครั้งที่ State Machine ของ LMC อยู่ที่ "WBWait" State (กล่าวถึง State Machine ของ LMC แล้วในบทที่ 4)
CWBPRO	จำนวนครั้งที่ State Machine ของ LMC อยู่ที่ "WBPRO" State
CEXR0	จำนวนครั้งที่ State Machine ของ LMC อยู่ที่ "EXR0" State
CEXR1	จำนวนครั้งที่ State Machine ของ LMC อยู่ที่ "EXR1" State ซึ่งมีค่าเท่ากับ "EXR2" State และ "EXR3" State
$time	เวลาที่ใช้ในการรัน ซึ่งในการทดลองใช้ clock cycle เท่ากับ 10 หน่วยของเวลา
MEM dword	จำนวนครั้งที่มีการเขียนข้อมูลลงแคชเป็นแบบ doubleword

จากนั้นนำผลที่ได้มาคำนวณโดยแบ่งตามกลุ่มดังนี้

กลุ่มที่ 1

Load miss ratio (no cut)	ได้จาก (Load Miss(WB) + Load Miss (not WB)) / Load Instruction
Load miss ratio (%)	ได้จาก Load Miss (cut initial) / Load Instruction
Stall (non-blocking load)	ได้จาก stallLM
Stall (blocking load)	ได้จาก CWBWait + CWBPRO + CEXR0 + (3*CEXR1)
Reduce (%)	ได้จาก (stall (blocking) – stall (non-blocking)) / stall (blocking)
Stall miss ratio (no cut)	ได้จาก Store Miss / Store Instruction

กลุ่มที่ 2

Load miss ratio (no cut)	ได้จาก Load Miss (not WB) / Load Instruction
Load miss ratio (%)	ได้จาก Load Miss (cut initial) / Load Instruction
Stall (non-blocking load)	ได้จาก stallLM
Stall (blocking load)	ได้จาก CEXR0 + (3*CEXR1)
Reduce (%)	ได้จาก (stall (blocking) – stall (non-blocking)) / stall (blocking)

กลุ่มที่ 3

Stall8p*1000 / store miss	ได้จาก stall8p*1000 / store miss
Stall7p*1000 / stall hit	ได้จาก stall7p*1000 / stall hit
LsuStallp*1000 / Inst	ได้จาก LsuStallp*1000 / all Instruction

Program : gzip3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write back

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	44885	49127	51698	52595	49955	52259	53313	54132
Load Miss (not WB)	7789	4164	2360	1568	4353	2154	1326	708
Load Miss (WB)	2822	1805	1025	877	774	680	399	208
Load Miss (cut initial)	10379	5905	3257	2191	5063	2706	1469	449
Store Hit	12584	13400	14807	15653	13958	14678	15667	16372
Store Miss	12589	11753	10346	9500	11195	10475	9486	8781
stall1p	51598	27970	14839	10534	21969	11361	6643	3422
stall3p	3880	1909	990	671	1417	715	360	163
stall4p	10411	5969	3385	2445	5127	2834	1725	914
stall5p	1178	842	230	228	497	358	197	149
stall6p	781	701	584	582	781	701	584	582
stall7p	4483	4305	4545	4652	4735	4566	4576	4586
stall8p	1	0	0	0	1	0	0	0
stall9p	2724	2521	2495	2531	2667	2500	2464	2505
stall10p	52765	28970	15508	11098	22705	11988	7042	3670
stallLM	57756	31660	16724	11980	24553	13018	7572	3956
LsuStallp	65601	38765	23746	18971	32012	19975	14351	10565
CWBWait	572	376	148	111	103	101	24	14
CWBPRO	10488	7220	4100	3508	3096	2720	1596	824
CEXR0	39744	22765	13073	9233	20983	11321	6970	3753
CEXR1	10411	5969	3385	2445	5127	2834	1725	914
$time	3394541	3115771	2954211	2901951	3039331	2914831	2850001	2807501
MEM dword	10784	7430	4181	3583	3193	2788	1632	854
load miss ratio (no cut)	18.89%	10.83%	6.14%	4.44%	9.30%	5.14%	3.13%	1.66%
load miss ratio (%)	18.83%	10.71%	5.91%	3.97%	9.18%	4.91%	2.66%	0.81%
stall (non-blocking load)	57756	31660	16724	11980	24553	13018	7572	3956
stall (blocking load)	82037	48268	27476	20187	39563	22644	13765	7333
reduce (%)	29.60%	34.41%	39.13%	40.65%	37.94%	42.51%	44.99%	46.05%
store miss ratio (no cut)	49.97%	46.73%	41.13%	37.77%	44.51%	41.65%	37.71%	34.91%
SHC reduce (%)	64.38%	67.87%	69.31%	70.28%	66.08%	68.89%	70.79%	71.99%
(store hit-stall7p)/store hit								

Program : gunzip3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write back

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	17517	18929	19798	20539	19156	19994	20709	20981
Load Miss (not WB)	3446	2271	1528	895	2242	1496	839	573
Load Miss (WB)	596	359	233	125	161	69	11	5
Load Miss (cut Initial)	4010	2566	1633	787	2339	1437	594	180
Store Hit	3863	4419	4910	5082	4635	4999	5229	5243
Store Miss	1715	1159	668	496	943	579	349	335
stall1p	19839	12314	7958	4225	10702	6691	3325	2236
stall3p	1412	843	528	224	681	431	191	115
stall4p	4042	2630	1761	1020	2403	1565	850	578
stall5p	257	123	38	38	125	32	2	6
stall6p	166	58	53	53	166	58	53	53
stall7p	1807	1740	1761	1688	1963	1737	1659	1540
stall8p	0	0	1	0	0	0	0	0
stall9p	838	803	827	828	880	822	844	849
stall10p	20237	12618	8213	4412	11019	6919	3485	2345
stallLM	21891	13581	8774	4667	11801	7374	3676	2464
LsuStallp	24851	16259	11373	7170	14778	9965	6131	4796
CWBWait	78	35	10	8	4	0	0	0
CWBPRO	2384	1436	932	500	644	276	44	20
CEXR0	16252	10770	7197	4297	10079	6627	3655	2487
CEXR1	4042	2630	1761	1020	2403	1565	850	578
$time	1144671	1056541	1005191	981511	1040001	990501	950131	936111
MEM dword	2565	1537	1002	556	722	319	81	55
load miss ratio (no cut)	18.75%	12.20%	8.17%	4.73%	11.15%	7.26%	3.94%	2.68%
load miss ratio (%)	18.60%	11.90%	7.57%	3.65%	10.85%	6.67%	2.76%	0.83%
stall (non-blocking load)	21891	13581	8774	4667	11801	7374	3676	2464
stall (blocking load)	30840	20131	13422	7865	17936	11598	6249	4241
reduce (%)	29.02%	32.54%	34.63%	40.66%	34.20%	36.42%	41.17%	41.90%
store miss ratio (no cut)	30.75%	20.78%	11.98%	8.89%	16.91%	10.38%	6.26%	6.01%
SHC reduce (%)	53.22%	60.62%	64.13%	66.78%	57.22%	65.25%	68.27%	70.63%
(store hit-stall7p)/store hit								

Program : diff3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write back

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	21635	23783	24742	25761	23919	25115	25916	26436
Load Miss (not WB)	4289	2554	1825	989	2799	1703	1003	547
Load Miss (WB)	1083	660	420	237	289	169	68	4
Load Miss (cut initial)	5320	3140	2117	979	3004	1744	817	137
Store Hit	6058	7603	8040	8483	7787	8427	8673	8844
Store Miss	3826	2281	1844	1401	2097	1457	1211	1040
stall1p	25214	14939	10037	5174	13181	8118	4533	2204
stall3p	2020	1016	686	326	1015	569	284	122
stall4p	5352	3204	2245	1226	3068	1872	1071	551
stall5p	1034	323	222	54	391	125	59	32
stall6p	194	69	64	55	194	69	64	55
stall7p	3150	3336	3403	3293	3569	3485	3293	3261
stall8p	8	0	0	0	0	0	0	0
stall9p	1106	1107	1080	1025	1142	1111	1066	1070
stall10p	25901	15373	10402	5422	13651	8401	4706	2315
stallLM	28848	16707	11299	5805	14986	9081	5040	2463
LsuStallp	33505	21418	15958	10288	19856	13752	9472	6782
CWBWait	292	122	75	58	30	11	2	0
CWBPRO	4252	2600	1680	948	1076	676	272	16
CEXR0	20516	12454	8808	4873	12318	7493	4394	2327
CEXR1	5352	3204	2245	1226	3068	1872	1071	551
$time	1426151	1297591	1239611	1180121	1280741	1215171	1169931	1141081
MEM dword	5075	3038	2075	1265	1515	981	541	243
load miss ratio (no cut)	19.83%	11.87%	8.32%	4.54%	11.37%	6.94%	3.97%	2.04%
load miss ratio (%)	19.71%	11.64%	7.84%	3.63%	11.13%	6.46%	3.03%	0.51%
stall (non-blocking load)	28848	16707	11299	5805	14986	9081	5040	2463
stall (blocking load)	41116	24788	17298	9557	22628	13796	7881	3996
reduce (%)	29.84%	32.60%	34.68%	39.26%	33.77%	34.18%	36.05%	38.36%
store miss ratio (no cut)	38.71%	23.08%	18.66%	14.17%	21.22%	14.74%	12.25%	10.52%
SHC reduce (%)	48.00%	56.12%	57.67%	61.18%	54.17%	58.64%	62.03%	63.13%
(store hit-stall7p)/store hit								

Program : cc3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write back

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	242116	254747	268109	274218	257847	267059	273773	278324
Load Miss (not WB)	36442	26206	16524	11345	27840	18850	12430	8156
Load Miss (WB)	8211	5816	2136	1206	1082	860	566	289
Load Miss (cut initial)	44621	31958	18532	12295	28858	19582	12740	7933
Store Hit	81835	85022	90654	92338	91159	92334	92777	93296
Store Miss	12702	9515	3883	2199	3378	2203	1760	1241
stall1p	224030	156671	78895	50541	121381	79921	49085	30493
stall3p	14647	9573	4499	2333	7317	4384	2257	1222
stall4p	44653	32022	18660	12551	28922	19710	12996	8445
stall5p	3543	1785	897	326	1299	555	264	87
stall6p	1690	1630	1550	1543	1690	1630	1550	1543
stall7p	25336	25498	26073	25887	26959	26863	26176	25639
stall8p	1	0	0	0	1	0	0	0
stall9p	17770	17351	16888	16906	16517	16749	16806	17025
stall10p	224226	157692	81230	52381	124823	82515	51061	31943
stallLM	245931	170932	86554	55015	133158	87338	53537	33241
LsuStallp	291418	215211	131355	99143	180408	133152	98107	76846
CWBWait	5968	3117	200	75	127	59	51	12
CWBPRO	32844	23264	8544	4824	4328	3440	2264	1156
CEXR0	175982	127286	78086	53874	123041	84937	57093	37426
CEXR1	44653	32022	18660	12551	28922	19710	12996	8445
Stime	13593841	12795471	11936361	11595291	12454051	11952621	11588421	11360021
MEM dword	34648	24581	9096	5018	4742	3649	2418	1235
load miss ratio (no cut)	15.57%	11.17%	6.51%	4.38%	10.09%	6.87%	4.53%	2.94%
load miss ratio (%)	15.56%	11.14%	6.46%	4.29%	10.06%	6.83%	4.44%	2.77%
stall (non-blocking load)	245931	170932	86554	55015	133158	87338	53537	33241
stall (blocking load)	348753	249733	142810	96426	214262	147566	98396	63929
reduce(%)	29.48%	31.55%	39.39%	42.95%	37.85%	40.81%	45.59%	48.00%
store miss ratio (no cut)	13.44%	10.06%	4.11%	2.33%	3.57%	2.33%	1.86%	1.31%
SHC reduce (%)	69.04%	70.01%	71.24%	71.96%	70.43%	70.91%	71.79%	72.52%

Program : compress3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write back

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	581637	631503	652704	672025	628703	657645	670837	691661
Load Miss (not WB)	141446	96311	78162	60459	106872	77843	64367	43222
Load Miss (WB)	12720	7989	4937	3319	228	315	599	920
Load Miss (cut initial)	154134	104236	82971	63522	107036	78030	64710	43630
Store Hit	133231	177328	184278	189133	179087	189308	192245	195708
Store Miss	136302	92205	85255	80400	90466	80225	77288	73825
stall1p	737093	495436	392637	301144	476731	360358	299463	203271
stall3p	60427	35488	27622	20899	37624	25496	20528	13409
stall4p	154166	104300	83099	63778	107100	78158	64966	44142
stall5p	8195	4150	2081	1949	596	216	102	85
stall6p	10380	156	92	9	10380	156	92	9
stall7p	9537	37227	39366	40696	59014	40321	41113	41701
stall8p	4	0	0	0	0	0	0	0
stall9p	6582	8601	7717	7185	15781	7028	7409	7298
stall10p	741462	497658	393868	301912	482656	360678	299646	203376
stallLM	811520	536433	423167	324456	520771	386352	320259	216866
LsuStallp	856019	593474	479589	379474	601545	443699	377010	271360
CWBWait	4457	188	130	100	8	2	2	18
CWBPRO	50880	31956	19748	13276	912	1260	2396	3680
CEXR0	625846	440200	356564	275713	459739	343439	286538	195300
CEXR1	154166	104300	83099	63778	107100	78158	64966	44142
$time	33986731	31211961	30024031	28962211	31283221	29656701	28968401	27874491
MEM dword	94133	63853	49494	41551	32054	29534	29747	30449

load miss ratio (no cut)	20.95%	14.17%	11.29%	8.67%	14.56%	10.62%	8.83%	6.00%
load miss ratio (%)	20.95%	14.17%	11.28%	8.63%	14.55%	10.60%	8.79%	5.93%
stall (non-blocking load)	811520	536433	423167	324456	520771	386352	320259	216866
stall (blocking load)	1143681	785244	625739	480423	781959	579175	483834	331424
reduce(%)	29.04%	31.69%	32.37%	32.46%	33.40%	33.29%	33.81%	34.57%
store miss ratio (no cut)	50.57%	34.21%	31.63%	29.83%	33.56%	29.76%	28.67%	27.39%
SHC reduce (%)	92.84%	79.01%	78.64%	78.48%	87.04%	78.70%	78.61%	78.69%
(store hit-stall7p)/store hit								

Program : uncompress3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write back

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	534521	631438	675312	699007	589854	666347	707832	732443
Load Miss (not WB)	191869	103213	63067	40317	152643	77122	35668	11098
Load Miss (WB)	17444	9183	5455	4510	1337	365	334	293
Load Miss (cut initial)	209281	112332	68394	44571	153916	77359	35748	10879
Store Hit	100960	172993	182035	195224	153234	194654	204019	224731
Store Miss	163022	90989	81947	68758	110748	69328	59963	39251
stall1p	873825	376578	227537	156404	572245	238453	112315	39313
stall3p	61661	14532	6683	4322	38448	7404	2223	651
stall4p	209313	112396	68522	44827	153980	77487	36002	11391
stall5p	1256	427	113	28	1031	227	47	8
stall6p	3334	1903	1322	837	3334	1903	1322	837
stall7p	10211	12206	12894	12910	14017	15639	14827	14886
stall8p	22	18	18	8	7	0	0	0
stall9p	10697	10650	10424	10543	12401	10432	10488	11160
stall10p	923739	416614	251567	171308	615322	268166	125856	42995
stallLM	985561	431633	258337	175652	663783	275575	128084	43656
LsuStallp	1058439	491575	301331	207780	722337	328626	162085	66940
CWBWait	1039	2573	616	365	0	2	26	34
CWBPRO	69776	36732	21820	18040	5348	1460	1336	1172
CEXR0	813992	444328	274617	178519	608477	314687	146871	46332
CEXR1	209313	112396	68522	44827	153980	77487	36002	11391
$time	39816071	34029831	31681961	30505901	36243951	32004291	29948141	28754881
MEM dword	69897	36829	21844	18063	5385	1473	1346	1182

load miss ratio (no cut)	28.14%	15.11%	9.21%	6.03%	20.70%	10.42%	4.84%	1.53%
load miss ratio (%)	28.14%	15.10%	9.19%	5.99%	20.69%	10.40%	4.81%	1.46%
stall (non-blocking load)	985561	431633	258337	175652	663783	275575	128084	43656
stall (blocking load)	1512746	820821	502619	331405	1075765	548610	256239	81711
reduce (%)	34.85%	47.41%	48.60%	47.00%	39.23%	49.77%	50.01%	46.57%

Program : gzip3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write Through

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	44685	49127	51698	52595	50874	52789	53761	54170
Load Miss (not WB)	10411	5969	3385	2445	4217	2294	1331	877
Load Miss (WB)	0	0	0	0	0	0	0	0
Load Miss (cut initial)	10379	5905	3257	2191	4153	2166	1075	412
Store Hit	12584	13400	14807	15653	13903	14808	15811	16369
Store Miss	25153	25153	25153	25153	25153	25153	25153	25153
stall1p	45003	23955	12776	6833	16471	7917	4404	2853
stall3p	3880	1909	990	671	1251	570	285	159
stall4p	10411	5969	3385	2445	4217	2294	1331	877
stall5p	1083	792	180	174	528	385	160	143
stall6p	781	701	584	582	781	701	584	582
stall7p	4353	4280	4502	4601	4605	4463	4532	4565
stall8p	0	0	0	0	0	0	0	0
stall9p	2382	2292	2310	2343	2550	2399	2354	2376
stall10p	46325	25029	13474	9411	17273	8539	4789	3117
stallLM	51053	27571	14607	10221	18938	9415	5203	3392
LsuStallp	58877	34741	21638	17218	26162	16185	11867	9981
CWBWait	0	0	0	0	0	0	0	0
CWBPRO	0	0	0	0	0	0	0	0
CEXR0	42855	25140	14453	10514	17973	9918	5823	3875
CEXR1	10411	5969	3385	2445	4217	2294	1331	877
$time	3317291	3065991	2927131	2879761	2974731	2869881	2821751	2800601
MEM dword	1044	1010	970	969	1011	1004	989	992

load miss ratio (no cut)	18.89%	10.83%	6.14%	4.44%	7.65%	4.16%	2.41%	1.59%
load miss ratio (%)	18.83%	10.71%	5.91%	3.97%	7.53%	3.93%	1.95%	0.75%
stall (non-blocking load)	51053	27571	14607	10221	18938	9415	5203	3392
stall (blocking load)	74088	43047	24608	17849	30624	16800	9816	6506
reduce (%)	31.09%	35.95%	40.64%	42.74%	38.16%	43.96%	46.99%	47.86%

Program : gunzip3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write Through

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	17517	18929	19798	20539	19346	20090	20677	20966
Load Miss (not WB)	4042	2630	1761	1020	2213	1469	882	593
Load Miss (WB)	0	0	0	0	0	0	0	0
Load Miss (cut initial)	4010	2566	1633	787	2149	1341	626	195
Store Hit	3863	4419	4910	5082	4426	4828	5160	5225
Store Miss	5578	5578	5578	5578	5578	5578	5578	5578
stall1p	17989	11306	7390	3949	9411	6058	3467	2298
stall3p	1412	843	528	224	662	392	202	119
stall4p	4042	2630	1761	1020	2213	1469	882	593
stall5p	219	95	36	36	101	58	23	11
stall6p	166	58	53	53	166	58	53	53
stall7p	1744	1686	1701	1650	1837	1623	1632	1540
stall8p	0	0	0	0	0	0	0	0
stall9p	730	721	765	797	831	785	812	827
stall10p	18433	11647	7654	4139	9717	6275	3629	2406
stallLM	20014	12561	8209	4390	10457	6711	3848	2533
LsuStallp	22915	15198	10758	6883	13290	9181	6275	4862
CWBWait	0	0	0	0	0	0	0	0
CWBPRO	0	0	0	0	0	0	0	0
CEXR0	16671	11076	7454	4457	9336	6296	3806	2579
CEXR1	4042	2630	1761	1020	2213	1469	882	593
$time	1125031	1045541	998831	958221	1024811	982471	951711	936781
MEM dword	326	299	293	285	310	305	294	301

load miss ratio (no cut)	18.75%	12.20%	8.17%	4.73%	10.26%	6.81%	4.09%	2.75%
load miss ratio (%)	18.60%	11.90%	7.57%	3.65%	9.97%	6.22%	2.90%	0.90%
stall (non-blocking load)	20014	12561	8209	4390	10457	6711	3848	2533
stall (blocking load)	26797	18966	12737	7517	15975	10703	6452	4358
reduce (%)	30.50%	33.77%	35.55%	41.60%	34.54%	37.30%	40.36%	41.88%

Program : diff3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write Through

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	21635	23783	24742	25761	24054	25430	26049	26430
Load Miss (not WB)	5352	3204	2245	1226	2933	1557	938	557
Load Miss (WB)	0	0	0	0	0	0	0	0
Load Miss (cut initial)	5320	3140	2117	979	2869	1429	684	143
Store Hit	6058	7603	8040	8483	7399	8270	8620	8843
Store Miss	9884	9884	9884	9884	9884	9884	9884	9884
stall1p	22386	13215	9004	4631	11751	6291	3652	2225
stall3p	2020	1016	686	326	1005	439	240	123
stall4p	5352	3204	2245	1226	2933	1557	938	557
stall5p	929	249	166	50	424	130	72	32
stall6p	194	69	64	55	194	69	64	55
stall7p	3007	3285	3335	3227	3326	3236	3255	3285
stall8p	0	0	0	0	0	0	0	0
stall9p	879	977	1001	979	1003	978	1000	1031
stall10p	23162	13697	9394	4892	12234	6549	3840	2338
stallLM	25921	14912	10215	5259	13579	7093	4138	2487
LsuStallp	30467	19601	14831	9698	18268	11513	8510	6810
CWBWait	0	0	0	0	0	0	0	0
CWBPRO	0	0	0	0	0	0	0	0
CEXR0	21509	13173	9261	5146	11990	6478	3915	2350
CEXR1	5352	3204	2245	1226	2933	1557	938	557
$time	1393391	1278861	1227971	1174081	1264361	1192151	1160131	1141301
MEM dword	1198	1081	1047	1030	1088	1056	1026	1006
load miss ratio (no cut)	19.83%	11.87%	8.32%	4.54%	10.87%	5.77%	3.48%	2.06%
load miss ratio (%)	19.71%	11.64%	7.84%	3.63%	10.63%	5.30%	2.53%	0.53%
stall (non-blocking load)	25921	14912	10215	5259	13579	7093	4138	2487
stall (blocking load)	37585	22785	15996	8824	20789	11149	6729	4021
reduce (%)	31.00%	34.55%	36.14%	40.40%	34.68%	36.38%	38.50%	38.15%

Program : cc3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write through

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	242116	254747	268109	274218	263913	271760	276974	280244
Load Miss (not WB)	44853	32022	18660	12551	22856	15009	9795	6525
Load Miss (WB)	0	0	0	0	0	0	0	0
Load Miss (cut initial)	44621	31958	18532	12295	22792	14881	9539	6013
Store Hit	81835	85022	90854	92338	89473	91173	92560	93098
Store Miss	94537	94537	94537	94537	94537	94537	94537	94537
stall1p	195993	138254	73713	47523	92098	58327	34023	21871
stall3p	14647	9573	4499	2333	5929	2828	1387	684
stall4p	44853	32022	18660	12551	22856	15009	9795	6525
stall5p	2546	1292	661	249	1359	632	331	88
stall6p	1690	1630	1550	1543	1690	1630	1550	1543
stall7p	24820	25188	25618	25740	25982	25847	25625	25363
stall8p	0	0	0	0	0	0	0	0
stall9p	15293	15814	16359	16668	16288	16577	16767	16995
stall10p	200602	141688	76318	49486	95280	58753	35820	22976
stallLM	217184	152245	81328	52015	102216	62050	37460	23727
LsuStallp	262453	196420	125914	96041	147526	106576	81280	66807
CWBWait	0	0	0	0	0	0	0	0
CWBPRO	0	0	0	0	0	0	0	0
CEXR0	184847	134166	80636	55241	97719	66054	44007	29759
CEXR1	44853	32022	18660	12551	22856	15009	9795	6525
Stime	13298681	12804011	11879001	11562201	12105111	11676551	11410001	11253121
MEM dword	6328	6033	5426	5237	5513	5342	5184	5152

load miss ratio (no cut)	15.57%	11.17%	6.51%	4.38%	7.97%	5.23%	3.42%	2.28%
load miss ratio (%)	15.56%	11.14%	6.46%	4.29%	7.95%	5.19%	3.33%	2.10%
stall (non-blocking load)	217184	152245	81328	52015	102216	62050	37460	23727
stall (blocking load)	318806	230232	136616	92894	166287	111081	73392	49334
reduce(%)	31.88%	33.87%	40.47%	44.01%	38.53%	44.14%	48.96%	51.91%

Program : compress3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write Through

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	581637	631503	652704	672025	638649	658257	674227	692375
Load Miss (not WB)	154166	104300	83099	63778	97154	77546	61576	43428
Load Miss (WB)	0	0	0	0	0	0	0	0
Load Miss (cut initial)	154134	104236	82971	63522	97090	77418	61320	42916
Store Hit	133231	177328	184278	189133	175285	185336	190366	194382
Store Miss	269533	269533	269533	269533	269533	269533	269533	269533
stall1p	697047	473011	378462	291494	444755	355368	281990	198678
stall3p	60427	35488	27622	20899	34358	26009	19976	13633
stall4p	154166	104300	83099	63778	97154	77546	61576	43428
stall5p	7968	4034	2015	1891	943	422	193	133
stall6p	10380	156	92	9	10380	156	92	9
stall7p	9509	37206	39350	40682	46172	39307	40871	41491
stall8p	0	0	0	0	0	0	0	0
stall9p	4961	7066	6845	6730	14655	6724	6772	7000
stall10p	704721	475352	379778	292331	446921	356181	282418	198880
stallLM	771247	513891	408927	314747	481812	382418	302509	212606
LsuStallp	816776	571435	465604	369857	548608	438260	357972	266421
CWBWait	0	0	0	0	0	0	0	0
CWBPRO	0	0	0	0	0	0	0	0
CEXR0	643653	451404	363073	279765	418579	338550	270952	192254
CEXR1	154166	104300	83099	63778	97154	77546	61576	43428
$time	33690241	31000971	29889501	28888741	30742841	29803381	28769001	27823081
MEM dword	46066	44953	44363	43983	44901	44350	43966	

load miss ratio (no cut)	20.95%	14.17%	11.29%	8.67%	13.20%	10.54%	8.37%	5.90%
load miss ratio (%)	20.95%	14.17%	11.28%	8.63%	13.20%	10.52%	8.33%	5.83%
stall (non-blocking load)	771247	513891	408927	314747	481812	382418	302509	212606
stall (blocking load)	1106151	764304	612370	471099	710041	571188	455680	322538
reduce(%)	30.28%	32.76%	33.22%	33.19%	32.14%	33.05%	33.61%	34.08%
store miss ratio (no cut)	100.00%	100.00%	100.00%	100.00%	100.00%	100.00%	100.00%	100.00%
SHC reduce (%)	92.86%	79.02%	78.65%	78.49%	73.66%	78.79%	78.53%	78.65%
(store hit-stall7p)/store hit								

Program : uncompress3.asm

Buffer-FIFO : 1 buffer, 4DW FIFO

Write policy : Write Through

Cache Size	D-1K	D-2K	D-4K	D-8K	2W-1K	2W-2K	2W-4K	2W-8K
Load Hit	534521	631438	675312	699007	631237	679030	714194	734839
Load Miss (not WB)	209313	112396	68522	44827	112597	64804	29640	8995
Load Miss (WB)	0	0	0	0	0	0	0	0
Load Miss (cut initial)	209281	112332	68394	44571	112533	64676	29384	8483
Store Hit	100960	172993	182035	195224	163693	184706	195854	219627
Store Miss	263982	263982	263982	263982	263982	263982	263982	263982
stall1p	827465	363073	220534	150912	385504	204778	97471	30888
stall3p	61661	14532	6683	4322	19372	5519	1793	511
stall4p	209313	112396	68522	44827	112597	64804	29640	8995
stall5p	1247	423	109	28	1081	246	56	9
stall6p	3334	1903	1322	837	3334	1903	1322	837
stall7p	10173	12171	12870	12882	13566	13792	14198	14393
stall8p	0	0	0	0	0	0	0	0
stall9p	10621	10380	10152	10262	12281	10427	10418	10896
stall10p	877506	403583	244642	165834	422474	228835	107842	33718
stallLM	939190	418124	251330	170156	441855	234354	109635	34229
LsuStallp	1012046	478028	294255	202205	501339	278303	138977	55849
CWBWait	0	0	0	0	0	0	0	0
CWBPRO	0	0	0	0	0	0	0	0
CEXR0	825108	454467	280676	183562	452327	264613	121914	37318
CEXR1	209313	112396	68522	44827	112597	64804	29640	8995
$time	39219531	33738401	31518541	30372421	33871921	31349111	29630701	28621081
MEM dword	198	190	188	172	185	178	171	171

load miss ratio (no cut)	28.14%	15.11%	9.21%	6.03%	15.14%	8.71%	3.98%	1.21%
load miss ratio (%)	28.14%	15.10%	9.19%	5.99%	15.13%	8.69%	3.95%	1.14%
stall (non-blocking load)	939190	418124	251330	170156	441855	234354	109635	34229
stall (blocking load)	1463047	791655	486242	318043	790118	459025	210834	64303
reduce (%)	35.36%	47.18%	48.31%	46.50%	44.08%	48.95%	48.00%	46.77%

Program : gzip3.asm

Cache Size : 1K direct

Write policy : Write back

Buffer-FIFO size	1-2D	1-2W	1-4D	1-4W	1-8D	1-8W	2-2D	4-2D	8-2D
Load Hit	44685	44685	44685	44685	44685	44685	44685	44685	44685
Load Miss (not WB)	7789	7789	7789	7789	7789	7789	7789	7789	7986
Load Miss (WB)	2622	2622	2622	2622	2622	2622	2622	2622	2426
Load Miss (cut initial)	10379	10379	10379	10379	10379	10379	10379	10379	10379
Store Hit	12584	12584	12584	12584	12584	12584	12584	12584	12584
Store Miss	12569	12569	12569	12569	12569	12569	12569	12569	12569
stall1p	51576	51575	51598	51598	51598	51598	51585	51595	51080
stall3p	3880	3880	3880	3880	3880	3880	3880	3880	3880
stall4p	10411	10411	10411	10411	10411	10411	10411	10411	10411
stall5p	1178	1178	1178	1178	1178	1178	1177	1178	1178
stall6p	781	781	781	781	781	781	781	781	781
stall7p	4483	4483	4483	4483	4483	4483	3870	4118	4499
stall8p	334	677	1	16	0	0	334	334	330
stall9p	2718	2718	2724	2724	2724	2724	3859	1978	2211
stall10p	52757	52760	52766	52765	52765	52765	52749	52755	52313
stallLM	57746	57749	57756	57756	57756	57756	57748	57759	57277
LsuStallp	65908	66243	65601	65616	65600	65600	66439	64644	64490
CWBWait	570	570	572	572	572	572	580	585	455
CWBPRO	10488	10488	10488	10488	10488	10488	10488	10488	9700
CEXR0	39734	39734	39744	39744	39744	39744	39731	39735	40051
CEXR1	10411	10411	10411	10411	10411	10411	10411	10411	10411
$time	3396761	3396701	3394541	3394601	3394531	3394531	3401541	3383781	3380481
MEM dword	10777	10488	10784	10488	10784	10488	10780	10780	9992
stall8p*1000/store miss	26.67	53.86	0.08	1.27	0.00	0.00			
stall7p*1000/store hit	356.26						307.53	327.24	357.52
LsuStallp*1000/Inst(L/S/A)	820.98	825.15	817.15	817.34	817.14	817.14	827.59	805.23	803.31

Program : gunzip3.asm

Cache Size : 1K direct

Write policy : Write back

Buffer-FIFO size	1-2D	1-2W	1-4D	1-4W	1-8D	1-8W	2-2D	4-2D	8-2D
Load Hit	17517	17517	17517	17517	17517	17517	17517	17517	17517
Load Miss (not WB)	3446	3446	3446	3446	3446	3446	3446	3446	3448
Load Miss (WB)	596	596	596	596	596	596	596	596	594
Load Miss (cut initial)	4010	4010	4010	4010	4010	4010	4010	4010	4010
Store Hit	3863	3863	3863	3863	3863	3863	3863	3863	3863
Store Miss	1715	1715	1715	1715	1715	1715	1715	1715	1715
stall1p	19828	19828	19839	19839	19839	19839	19828	19828	19827
stall3p	1412	1412	1412	1412	1412	1412	1412	1412	1412
stall4p	4042	4042	4042	4042	4042	4042	4042	4042	4042
stall5p	257	257	257	257	257	257	257	257	257
stall6p	166	166	166	166	166	166	166	166	166
stall7p	1807	1807	1807	1807	1807	1807	1451	1558	1586
stall8p	106	289	0	12	0	0	106	106	106
stall9p	838	838	838	838	838	838	1035	486	522
stall10p	20228	20233	20237	20237	20237	20237	20223	20223	20224
stallLM	21881	21886	21891	21891	21891	21891	21876	21876	21877
LsuStallp	24938	25106	24851	24863	24851	24851	24766	24277	24298
CWBWait	72	72	78	78	78	78	72	72	72
CWBPRO	2384	2384	2384	2384	2384	2384	2384	2384	2376
CEXR0	16247	16247	16252	16252	16252	16252	16247	16249	16256
CEXR1	4042	4042	4042	4042	4042	4042	4042	4042	4042
$time	1145101	1145621	1144671	1144791	1144671	1144671	1143671	1138451	1138631
MEM dword	2557	2384	2565	2384	2565	2384	2599	2559	2550
stall8p*1000/store miss	61.81	168.51	0.00	7.00	0.00	0.00			
stall7p*1000/store hit	467.77						375.61	403.31	410.56
LsuStallp*1000/inst(L/S/A)	915.90	922.07	912.70	913.14	912.70	912.70	909.58	891.62	892.39
stall8p*100/store miss	6.18	16.85	0.00	0.70	0.00	0.00			
stall7p*100/store hit	46.78						37.56	40.33	41.06

Program : diff3.asm

Cache Size : 1K direct

Write policy : Write back

Buffer-FIFO size	1-2D	1-2W	1-4D	1-4W	1-8D	1-8W	2-2D	4-2D	8-2D
Load Hit	21635	21635	21635	21635	21635	21635	21635	21635	21635
Load Miss (not WB)	4289	4289	4289	4289	4289	4289	4289	4289	4286
Load Miss (WB)	1063	1063	1063	1063	1063	1063	1063	1063	1066
Load Miss (cut initial)	5320	5320	5320	5320	5320	5320	5320	5320	5320
Store Hit	6058	6058	6058	6058	6058	6058	6058	6058	6058
Store Miss	3826	3826	3826	3826	3826	3826	3826	3826	3826
stall1p	25200	25200	25214	25216	25214	25216	25203	25217	25223
stall3p	2020	2020	2020	2020	2020	2020	2020	2020	2020
stall4p	5352	5352	5352	5352	5352	5352	5352	5352	5352
stall5p	1034	1034	1034	1034	1034	1034	1043	1043	1043
stall6p	194	194	194	194	194	194	194	194	194
stall7p	3150	3150	3150	3150	3150	3150	2716	2783	2804
stall8p	135	1004	8	22	0	0	137	137	137
stall9p	1106	1106	1106	1106	1106	1106	1198	612	695
stall10p	25889	25891	25901	25903	25901	25903	25881	25895	25901
stallLM	28834	28836	28848	28850	28848	28850	28839	28853	28859
LsuStallp	33613	34445	33505	33521	33497	33499	33327	32820	32838
CWBWait	290	290	292	292	292	292	310	310	310
CWBPRO	4252	4252	4252	4252	4252	4252	4252	4252	4264
CEXR0	20508	20508	20516	20518	20516	20518	20500	20510	20504
CEXR1	5352	5352	5352	5352	5352	5352	5352	5352	5352
$time	1426611	1428911	1426151	1426251	1426101	1426121	1424231	1419111	1419281
MEM dword	5073	4252	5075	4252	5075	4252	5071	5071	5083
stall8p*1000/store miss	35.28	262.42	2.09	5.75	0.00	0.00			
stall7p*1000/store hit	519.97						448.33	459.39	462.86
LsuStallp*1000/Inst(L/S/A)	910.80	933.34	907.87	908.31	907.65	907.71	903.05	889.31	889.80

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Program : cc3.asm

Cache Size : 1K direct

Write policy : Write back

buffer-FIFO size	1-2D	1-2W	1-4D	1-4W	1-8D	1-8W	2-2D	4-2D	8-2D
Load Hit	242116	242116	242116	242116	242116	242116	242116	242116	242116
Load Miss (not WB)	36442	36442	36442	36442	36442	36442	36442	36442	36447
Load Miss (WB)	8211	8211	8211	8211	8211	8211	8211	8211	8206
Load Miss (cut initial)	44621	44621	44621	44621	44621	44621	44621	44621	44621
Store Hit	81835	81835	81835	81835	81835	81835	81835	81835	81835
Store Miss	12702	12702	12702	12702	12702	12702	12702	12702	12702
stall1p	223993	224008	224030	224058	224030	224064	223962	224000	223981
stall3p	14647	14647	14647	14647	14647	14647	14647	14647	14647
stall4p	44653	44653	44653	44653	44653	44653	44653	44653	44653
stall5p	3543	3543	3543	3543	3545	3547	3544	3544	3539
stall6p	1690	1690	1690	1690	1690	1690	1690	1690	1690
stall7p	25337	25336	25336	25336	25336	25336	18386	19545	19829
stall8p	419	1817	1	41	0	0	423	423	422
stall9p	17770	17772	17770	17770	17770	17770	19985	9369	9475
stall10p	224198	224221	224226	224255	224226	224261	224163	224198	224165
stallLM	245903	245926	245931	245960	245933	245970	245868	245903	245885
LsuStallp	291759	293071	291416	291486	291419	291456	285627	275593	274925
CWBWait	5968	5968	5968	5968	5968	5968	5968	5968	5962
CWBPRO	32844	32844	32844	32844	32844	32844	32844	32844	32824
CEXR0	175947	175975	175982	176012	175984	176022	175906	175936	175928
CEXR1	44653	44653	44653	44653	44653	44653	44653	44653	44653
$time	13595261	13599631	13593841	13594331	13593851	13594221	13547691	13437921	13431311
MEM dword	34627	32844	34648	32844	34648	32844	34623	34624	34610

stall8p*1000/store miss	32.99	143.05	0.08	3.23	0.00	0.00	33.30	33.30	33.22
stall7p*1000/store his	309.61	309.60	309.60	309.60	309.60	309.60	224.67	238.83	239.86
LsuStallp*1000/inst(L/S/A)	764.21	767.65	763.32	763.50	763.32	763.42	748.67	721.87	720.12

Program : compress3.asm

Cache Size : 1K direct

Write policy : Write back

Buffer-FIFO size	1-2D	1-2W	1-4D	1-4W	1-8D	1-8W	2-2D	4-2D	8-2D
Load Hit	581637	581637	581637	581637	581637	581637	581637	581637	581637
Load Miss (not WB)	141446	141446	141446	141446	141446	141446	141446	141446	141446
Load Miss (WB)	12720	12720	12720	12720	12720	12720	12720	12720	12720
Load Miss (cut initial)	154134	154134	154134	154134	154134	154134	154134	154134	154134
Store Hit	133231	133231	133231	133231	133231	133231	133231	133231	133231
Store Miss	136302	136302	136302	136302	136302	136302	136302	136302	136302
stall1p	737091	737016	737093	737093	737093	737093	737601	737620	737620
stall3p	60427	60427	60427	60427	60427	60427	60427	60427	60427
stall4p	154166	154166	154166	154166	154166	154166	154166	154166	154166
stall5p	8195	8195	8195	8195	8195	8195	8195	8195	8195
stall6p	10380	10380	10380	10380	10380	10380	10380	10380	10380
stall7p	9537	9537	9537	9537	9537	9537	6197	6249	6258
stall8p	10348	57159	4	25	0	0	10348	10348	10348
stall9p	6582	6582	6582	6582	6582	6582	6400	2526	2551
stall10p	742275	742262	741462	741462	741462	741462	742502	742520	742520
stallLM	812333	812320	811520	811520	811520	811520	812560	812578	812578
LsuStallp	866903	907729	856019	856037	856015	856015	865482	861692	861700
CWBWait	4457	4457	4457	4457	4457	4457	4457	4457	4457
CWBPRO	50880	50880	50880	50880	50880	50880	50880	50880	50880
CEXR0	625844	625844	625846	625846	625846	625846	625829	625837	625837
CEXR1	154166	154166	154166	154166	154166	154166	154166	154166	154166
$time	34025301	34132231	33966731	33966851	33966721	33966721	34017581	33979611	33979681
MEM dword									

stall8p*1000/store miss	75.92	419.36	0.03	0.18	0.00	0.00			
stall7p*1000/store hit	71.58						46.51	46.90	46.97
LsuStallp*1000/Inst(L/S/A)	31838.66	33338.07	31438.92	31439.58	31438.78	31438.78	31786.47	31647.27	31647.57

stall8p*100/store miss	7.59	41.94	0.00	0.02	0.00	0.00			
stall7p*100/store hit	7.16						4.65	4.69	4.70

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Program : uncompress3.asm

Cache Size : 1K direct

Write policy : Write back

Buffer-FIFO size	1-2D	1-2W	1-4D	1-4W	1-8D	1-8W	2-2D	4-2D	8-2D
Load Hit	534521	534521	534521	534521	534521	534521	534521	534521	534521
Load Miss (not WB)	191869	191869	191869	191869	191869	191869	191869	191869	191870
Load Miss (WB)	17444	17444	17444	17444	17444	17444	17444	17444	17443
Load Miss (cut initial)	209281	209281	209281	209281	209281	209281	209281	209281	209281
Store Hit	100960	100960	100960	100960	100960	100960	100960	100960	100960
Store Miss	163022	163022	163022	163022	163022	163022	163022	163022	163022
stall1p	873823	873823	873825	873825	873825	873825	873821	873826	873826
stall3p	61661	61661	61661	61661	61661	61661	61661	61661	61661
stall4p	209313	209313	209313	209313	209313	209313	209313	209313	209313
stall5p	1256	1256	1256	1256	1256	1256	1256	1256	1256
stall6p	3334	3334	3334	3334	3334	3334	3334	3334	3334
stall7p	10211	10211	10211	10211	10211	10211	9894	9925	9938
stall8p	5117	5244	22	38	0	0	5117	5117	5117
stall9p	10697	10697	10697	10697	10697	10697	14895	7398	7429
stall10p	923737	923737	923739	923739	923739	923739	923734	923738	923738
stallLM	985559	985559	985561	985561	985561	985561	985556	985560	985560
LsuStallp	1063529	1063656	1058439	1058456	1058417	1058417	1069300	1062044	1062056
CWBWait	1039	1039	1039	1039	1039	1039	1039	1039	1039
CWBPRO	69776	69776	69776	69776	69776	69776	69776	69776	69772
CEXR0	813990	813990	813992	813992	813992	813992	813983	813987	813989
CEXR1	209313	209313	209313	209313	209313	209313	209313	209313	209313
$time	39829171	39829601	39816071	39816141	39815971	39815971	39887461	39814891	39815021
MEM dword	69894	69776	69897	69776	69897	69776	69894	69894	69890

stall8p*1000/store miss	31.39	32.17	0.13	0.23	0.00	0.00			
stall7p*1000/store hit	101.14						98.00	98.31	98.44
LsuStallp*1000/inst(L/S/A)	1054.12	1054.24	1049.07	1049.09	1049.05	1049.05	1059.84	1052.65	1052.66

ประวัติผู้เขียน

นางสาว ไปรมาศ เตชัสหงส์ เกิดวันอังคารที่ 8 เมษายน พ.ศ. 2518 ที่โรงพยาบาลจุฬา เขตปทุมวัน กรุงเทพมหานคร สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตร์บัณฑิต สาขาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเกษตรศาสตร์ในปีการศึกษา 2538 และเข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตร์มหาบัณฑิต ภาควิชาวิศวกรรมคอมพิวเตอร์ จุฬาลงกรณ์มหาวิทยาลัย เมื่อปีการศึกษา 2539

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย